

特性

1.25 GHz、2.5 Gbps数据速率

带高阻抗和反射箝位电路的3电平驱动器

窗口比较器和差分比较器

有源可编程负载: ± 25 mA

范围为 -1.5 V至 $+4.5$ V的每引脚参数测量单元(PPMU)

低漏电流模式: < 5 nA (典型值)

集成16位DAC和偏置/增益校正

功耗: 1.2 W (每通道) (ADATE320)

功耗: 1.3 W (每通道) (ADATE320-1)

驱动器

电压范围: -1.5 V至 $+4.5$ V

精密调整端接: 50.0 Ω

无端接摆幅: 50 mV最小值至6.0 V最大值

脉冲宽度: 400 ps (最小值), 1.0 V编程摆幅

25 ps确定性抖动

比较器

差分 and 单端窗口模式

100 ps等效输入上升/下降时间(ERT/EFT)

250 mV电流模式逻辑(CML)输出(ADATE320)

400 mV CML输出(ADATE320-1)

负载

每引脚PPMU (PPMU)

驱动电压/顺从电压范围: -1.5 V至 $+4.5$ V

5个电流范围

± 40 mA, ± 1 mA, ± 100 μ A, ± 10 μ A, ± 2 μ A

专用Go/No-Go比较器

直流电平

完全集成的专用16位DAC

搭载自动加/乘功能的片内增益和偏置校准寄存器

84引脚10 mm \times 10 mm LFCSP封装 (0.4 mm间距)

应用

自动测试设备(ATE)

半导体/电路板测试系统

仪器仪表和表征设备

概述

ADATE320是一款完整的单芯片ATE解决方案,用于执行驱动器、比较器和有源负载(DCL)、四象限每引脚参数测量单元(PPMU)的引脚电子功能。集成片内校准寄存器的专用16位数模转换器(DAC)可提供器件工作所需的所有直流电平。

这款驱动器提供三种有源模式:高、低和端接模式以及高阻抗抑制模式。当驱动器未对此线路进行有源端接时,抑制模式以及集成动态箝位有利于传输线路反射的显著衰减。开路驱动能力为 -1.5 V至 $+4.5$ V,支持各种标准自动测试设备(ATE)和仪器仪表应用。

ADATE320可用作双通道单端引脚通道或单个差分通道。除了每通道高速窗口比较器之外,ADATE320提供适合差分ATE信号应用的可编程阈值差分比较器。

用于DCL和PPMU功能的所有直流电平都由专用片内16位DAC产生。为了支持精确的电平编程,ADATE320集成校准功能,可校正每个功能模块的增益和偏置误差。校正系数可以存储在片内,写入DAC的任何值都会利用适当的校正系数进行自动调整。

ADATE320使用串行可编程接口(SPI)总线对所有功能模块、DAC和片内校准常数进行编程。它还有一个片内温度传感器和过压/欠压故障箝位电路,用于监控和报告器件温度,以及工作期间可能发生的任何输出引脚或PPMU的瞬间电压故障。

ADATE320提供两种版本:标准版本具有输出摆幅为250 mV的高速比较器输出。ADATE320-1具有400 mV输出摆幅。更多信息请参考“订购指南”。

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2015-2016 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com/cn

目录

特性	1	热特性	25
应用	1	测试等级说明	25
概述	1	ESD警告	25
修订历史	2	用户信息和真值表	26
功能框图	3	引脚配置和功能描述	28
规格	4	典型性能参数	30
电气规格	4	工作原理	50
驱动器规格	5	串行可编程接口(SPI)	50
反射箝位规格	7	电平设置DAC	52
常规窗口比较器(NWC)规格	8	警报功能	59
差分模式比较器(DMC)规格	10	应用信息	62
有源负载规格	11	电源、接地与典型去耦策略	62
PPMU规格	13	上电顺序	64
PPMU Go/No-Go比较器规格	18	详细功能框图	65
PPMU外部感应引脚规格	18	SPI寄存器存储器映射及详解	71
VREF、VREFGND和DUTGND基准输入引脚规格	19	存储器映射	71
温度监控器规格	19	寄存器详解	74
警报功能规格	19	默认测试条件	80
串行可编程接口(SPI)规格	20	外部器件	81
SPI时序规格	20	外形尺寸	82
SPI时序图	21	订购指南	82
绝对最大额定值	25		

修订历史

2016年9月—修订版A至修订版B

更改表2时间常数1参数和时间常数2参数	7
更改表6 IOx偏置参数和IOHx偏置参数	11
更改AGND引脚编号栏	29
更改“SPI复位序列和 $\overline{\text{RST}}$ 引脚”一节的内容	50
更改“SPI时钟周期和 $\overline{\text{BUSY}}$ 引脚”一节的内容	51
更改表24	54
更改图137	65

2015年10月—修订版A：初始版

规格

$V_{CC} = 8.0\text{ V}$, $V_{DD} = 1.8\text{ V}$, $V_{EE} = -5.0\text{ V}$, $V_{TTCx} = V_{TTDx} = 1.2\text{ V}$, $V_{REF} = 2.500\text{ V}$, $V_{REFGND} = 0.000\text{ V}$ 。所有默认测试条件如表30中所定义。除非另有说明, 否则所有额定值均在 $T_j = 60^\circ\text{C}$ 条件下测量, 其中 T_j 对应于典型内部温度传感器读数 (VTHERM引脚)。温度系数在 $T_j = 40^\circ\text{C}$ 、 60°C 、 80°C 和 100°C 左右测得。典型值基于设计的统计均值、仿真分析和/或有限基准评估数据。典型值未经过测试, 不提供担保。测试等级代码在“测试等级说明”部分定义。

电气规格

表1.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
DUTx引脚特性						
输出漏电流						
DCL禁用						
PPMU范围E	-10.0	+5.0	+10.0	nA	P	$-1.5\text{ V} < V_{DUTx} < +4.5\text{ V}$, PPMU和DCL禁用, PPMU范围为E, $V_{CLx} = -2.5\text{ V}$, $V_{CHx} = +7.5\text{ V}$
PPMU范围A到范围D		5.0		nA	C _T	$-1.5\text{ V} < V_{DUTx} < +4.5\text{ V}$, PPMU和DCL禁用, PPMU范围A、范围B、范围C、范围D, $V_{CLx} = -2.5\text{ V}$, $V_{CHx} = +7.5\text{ V}$
驱动器高阻态模式	-0.4		+0.4	μA	P	$-1.5\text{ V} < V_{DUTx} < +4.5\text{ V}$, PPMU禁用且DCL启用, RCV有效, $V_{CLx} = -2.5\text{ V}$, $V_{CHx} = +7.5\text{ V}$
电容		0.4		pF	S	驱动VITx = 0.0 V
电压范围	-1.5		+4.5	V	D	
电源						功率在DUTx引脚高阻态、10 K至0.0 V条件下测得
正DCL电源, V_{CC}	7.6	8.0	8.4	V	D	定义直流电源抑制(PSR)条件
负DCL电源, V_{EE}	-5.25	-5.0	-4.75	V	D	定义直流PSR条件
数字电源, V_{DD}	1.7	1.8	1.9	V	D	
比较器端接, V_{TTCx}	0.5	1.2	1.8	V	D	VTTC0未与VTTC1电气连接
驱动器端接, V_{TTDx}	0.0	1.2	1.8	V	D	VTTD0未与VTTD1电气连接
正DCL电源电流, I_{CC}						负载和PPMU关断
ADATE320	145	169	185	mA	P	
ADATE320-1	145	169	185	mA	P	
负DCL电源电流, I_{EE}						负载和PPMU关断
ADATE320	190	222	235	mA	P	
ADATE320-1	220	247	265	mA	P	
数字内核电源电流, I_{DD}	-125	+10	+125	μA	P	静态 (SPI是静态的)
比较器端接电源电流, V_{TTCx}						$0.5\text{ V} \leq V_{TTCx} \leq 1.8\text{ V}$
ADATE320		41		mA	C _T	
ADATE320-1		66		mA	C _T	
驱动器端接电源电流, V_{TTDx}		0		mA	C _T	$0.0\text{ V} \leq V_{TTDx} \leq 1.8\text{ V}$, $(\overline{\text{DATx}} + \overline{\text{DATx}})/2 = (\overline{\text{RCVx}} + \overline{\text{RCVx}})/2 = V_{TTDx}$
总功耗						负载和PPMU关断
ADATE320	2.10	2.52	2.75	W	P	
ADATE320-1	2.25	2.66	2.90	W	P	

驱动器规格

$V_{IH} - V_{IL} \geq 100 \text{ mV}$ ，符合直流和交流性能规格。

表2.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
直流规格						
高速差分输入特性						
高速输入端接电阻： DATx/DATx, RCVx/RCVx	48	50	52	Ω	P	VTTDx与对应DATx和RCVx引脚之间的阻抗；向每个引脚强制施加4 mA，测量VTTDx的电压；计算电阻($\Delta V/\Delta I$)
输入电压范围： DATx/DATx, RCVx/RCVx	0.0		1.8	V	P _F	
输入电压差分	0.2	0.4	1.0	V	P _F	$ \overline{\text{DATx}} - \overline{\text{DATx}} $, $ \overline{\text{RCVx}} - \overline{\text{RCVx}} $
输出特性						
输出范围						
高(V _{IH})	-1.4		+4.5	V	D	
低(V _{IL})	-1.5		+4.4	V	D	
输出端接范围, V _{IT}	-1.5		+4.5	V	D	
功能幅度(V _{IH} - V _{IL})	0.05		6.0	V	D	
直流输出限流						
源输出	75		120	mA	P	驱动为高电平, V _{IH} = +4.5V, V _{DUTx} = -2.0V, 测量电流
灌电流	-120		-75	mA	P	驱动为低电平, V _{IL} = -1.5V, V _{DUTx} = 5.0V, 测量电流
输出电阻, $\pm 40 \text{ mA}$	46	48.5	52	Ω	P	$\Delta V_{DUTx}/\Delta I_{DUTx}$; 源电流: V _{IHx} = 3.0V, I _{DUTx} = 1 mA, 40 mA; 灌电流: V _{IL} = 0.0V, I _{DUTx} = -1 mA, -40 mA
直流精度						
V _{IH} 、V _{IL} 、V _{IT}						
偏置误差	-500		+500	mV	P	在DAC代码0x4000 (0.0 V)下测量, 未校准
偏置温度系数(TC)		± 200		$\mu\text{V}/^\circ\text{C}$	C _T	
增益	1.0		1.1	V/V	P	增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的值; 基于理想的DAC转换函数(见表24)
增益TC		± 50		ppm/ $^\circ\text{C}$	C _T	
微分非线性(DNL)		± 250		μV	C _T	经过两点增益/偏置校准后; 校准点位于0x4000 (0.0 V)输出; 0x8CCC (3.0 V); 在整个额定输出范围内测量
积分非线性(INL)集中范围	-5		+5	mV	P	经过两点增益/偏置校准后; 校准点位于0x4000 (0.0 V)和0x8CCC (3.0 V); 在-0.5 V至+3.5 V输出范围内测得
INL全范围	-20		+20	mV	P	经过两点增益/偏置校准后; 校准点位于0x4000 (0.0 V)和0x8CCC (3.0 V); 在整个额定输出范围内测量
分辨率		153		μV	D	
DUTGND电压精度	-5	± 1	+5	mV	P	超过 $\pm 0.1 \text{ V}$ 范围; 在-0.5 V至+3.5 V驱动器输出范围内测得
直流电平交互作用						
V _{IH} 与V _{IL}		± 1.0		mV	C _T	在V _{IH} = +4.5 V下监控交互作用; 扫描V _{IL} = -1.5 V至+4.4 V, V _{IT} = +1.0 V
V _{IH} 与V _{IT}		± 1.0		mV	C _T	在V _{IH} = +4.5 V下监控交互作用; 扫描V _{IT} = -1.5 V至+4.5 V, V _{IL} = 0.0 V
V _{IL} 与V _{IH}		± 1.0		mV	C _T	在V _{IL} = -1.5 V条件下监控交互作用; 扫描V _{IH} = -1.4 V至+4.5 V, V _{IT} = +1.0 V

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
VIL与VIT		±1.0		mV	C _T	在VIL = -1.5 V条件下监控交互作用；扫描VIT = -1.5 V至+4.5 V, VIH = +2.0 V
VIT与VIH		±2.0		mV	C _T	在VIT = 1.0 V条件下监控交互作用；扫描VIH = -1.4 V至+4.5 V, VIL = -1.5 V
VIT与VIL		±2.0		mV	C _T	在VIT = 1.0 V条件下监控交互作用；扫描VIL = -1.5 V至+4.4 V, VIH = +4.5 V
总电压精度集中范围		±5		mV	C _T	VIH - VIL ≥ 100 mV; 校准后的INL总和、直流交互作用、DUTGND和±5°C温度系数误差
VIH、VIL、VIT DC PSR		+15		mV/V	C _T	在校准点测量，电源范围见表1
交流规格						所有交流规格测定均在直流校准后执行
上升/下降时间						切换DATx, VIL = 0.0 V, 已端接
0.2 V编程摆幅						
t _{RISE}		150		ps	C _B	20%至80%, VIH = 0.2 V
t _{FALL}		170		ps	C _B	20%至80%, VIH = 0.2 V
0.5 V编程摆幅						
t _{RISE}		150		ps	C _B	20%至80%, VIH = 0.5 V
t _{FALL}		170		ps	C _B	20%至80%, VIH = 0.5 V
1.0 V编程摆幅						
t _{RISE}		150		ps	C _B	20%至80%, VIH = 1.0 V
t _{FALL}		170		ps	C _B	20%至80%, VIH = 1.0 V
2.0 V编程摆幅						
t _{RISE}	120	160	230	ps	P	20%至80%, VIH = 2.0 V
t _{FALL}	120	180	230	ps	P	20%至80%, VIH = 2.0 V
4.0 V编程摆幅						
t _{RISE}		320		ps	C _B	10%至90%, VIH = 4.0 V, 未端接
t _{FALL}		320		ps	C _B	10%至90%, VIH = 4.0 V, 未端接
t _{RISE} 至t _{FALL} 失配		-20		ps	C _B	一个通道内t _{RISE} - t _{FALL} (20%至80%), VIH = 2.0 V, VIL = 0.0 V, 已端接
Trailing Edge时间误差						切换DATx
编程摆幅						VIL = 0.0 V, 已端接, 400 ps ≤ 脉冲宽度 (PW) ≤ 10 ns
0.2 V		±15		ps	C _B	VIH = 0.2 V
0.5 V		±15		ps	C _B	VIH = 0.5 V
1.0 V		±15		ps	C _B	VIH = 1.0 V
2.0 V		±15		ps	C _B	VIH = 2.0 V
最大反转率						切换DATx
编程摆幅						VIL = 0.0 V, 端接幅度损失 ≤10%
0.2 V		2.8		Gbps	C _B	VIH = 0.2 V
0.5 V		3.2		Gbps	C _B	VIH = 0.5 V
1.0 V		3.2		Gbps	C _B	VIH = 1.0 V
2.0 V		2.8		Gbps	C _B	VIH = 2.0 V
动态性能						切换DATx, 驱动VIL至VIH或从VIH驱动至VIL
传播延迟						VIH = 2.0 V, VIL = 0.0 V, 已端接
时间		750		ps	C _B	
TC		2		ps/°C	C _T	
延迟匹配						VIH = 2.0 V, VIL = 0.0 V, 已端接
边沿到边沿		10		ps	C _B	t _{LH0} - t _{HL0} ; t _{LH1} - t _{HL1}
通道到通道		35		ps	C _B	t _{LH0} - t _{LH1} ; t _{HL0} - t _{HL1}
延迟变化vs占空比		±7		ps	C _B	VIH = 2.0 V, VIL = 0.0 V, 已端接, 1 MHz, 5%至95%
过冲和欠冲		50		mV	C _B	VIH = 2.0 V, VIL = 0.0 V, 已端接, 最小驱动器CLC
建立时间 (VIH到VIL)						切换DATx
达到最终值的3%以内		1		ns	C _B	VIH = 2.0 V, VIL = 0.0 V, 自50%交叉, 已端接
达到最终值的1%以内		10		ns	C _B	VIH = 2.0 V, VIL = 0.0 V, 自50%交叉, 已端接

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
动态性能						
驱动有效至VIT或从VIT						切换RCVx, VIH = 2.0V, VIT = 1.0V, VIL = 0.0V, 已端接
驱动至有效						
转换时间						20%至80%
有效至VIT		200		ps	CB	
VIT至有效		170		ps	CB	
传播延迟		1.0		ns	CB	
TC		2		ps/°C	CT	
驱动有效至抑制或从抑制						切换RCVx, VIH = 1.0V, VIL = -1.0V, 已端接
制驱动至有效						
转换时间						20%至80%
抑制至有效		250		ps	CB	
有效至抑制		850		ps	CB	
传播延迟						
抑制至VIH		2.1		ns	CB	
抑制至VIL		2.5		ns	CB	
匹配抑制至VIL与		0.4		ns	CB	
抑制至VIH						
VIH至抑制		2.5		ns	CB	
VIL至抑制		2.1		ns	CB	
输入/输出尖峰		125		mV p-p	CB	VIH = 0.0 V, VIL = 0.0 V, 已端接, 切换RCVx
电缆损耗补偿(CLC)						VIH = 2.0 V, VIL = 0.0 V, 已端接
幅度		20		%	CB	最大CLC设置
分辨率		3		位	D	
时间常数1		400		ps	S	最大CLC设置
时间常数2		1.5		ns	S	最大CLC设置

反射箝位规格

箝位精度规格仅适用于VCHx - VCLx > 0.8 V时。

表3.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
VCH						
工作范围	-0.5		+5.0	V	D	
偏置误差	-300		+300	mV	P	驱动器高阻, 灌电流1 mA, 在DAC代码0x4000 (0.0 V)下测量, 未校准
偏置TC		±0.25		mV/°C	CT	
增益	1.0		1.1	V/V	P	驱动器高阻, 灌电流1 mA, 增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的结果, 基于理想的DAC转换函数 (见表24)
增益TC		±25		ppm/°C	CT	
分辨率		153		μV	D	
DNL		±250		μV	CT	驱动器高阻, 灌电流1 mA, 两点增益/偏置校准后; 校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处, 在功能范围内测量
INL	-20		+20	mV	P	驱动器高阻, 灌电流1 mA, 两点增益/偏置校准后; 校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处, 在功能范围内测量
VCL						
工作范围	-2.0		+3.5	V	D	
偏置误差	-300		+300	mV	P	驱动器高阻, 源电流1 mA, 在DAC代码0x4000 (0.0 V)下测量, 未校准
偏置TC		±0.25		mV/°C	CT	

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
增益	1.0		1.1	V/V	P	驱动高阻，源电流1 mA，增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的结果，基于理想的DAC转换函数（见表24）
增益TC		±25		ppm/°C	C _T	
分辨率		153		μV	D	
DNL		±250		μV	C _T	驱动高阻，源电流1 mA，两点增益/偏置校准后；校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处，在功能范围内测量
INL	-20		+20	mV	P	驱动高阻，源电流1 mA，两点增益/偏置校准后；校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处，在功能范围内测量
直流箝位限流						驱动高阻
VCHx	-105		-60	mA	P	VCHx = -1.0V, VCLx = -2.0V, V _{DUTx} = 4.5V
VCLx	+60		+105	mA	P	VCHx = 5.0V, VCLx = 4.0V, V _{DUTx} = -1.5V
DUTGND电压精度	-10	±2	+10	mV	P	±0.1 V范围，在VCHx和VCLx有效范围的端点测量

常规窗口比较器(NWC)规格

表4.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
直流规格						
输入电压范围	-1.5		+4.5	V	D	
差分电压范围	±0.1		±6.0	V	D	
输入偏置电压	-250		+250	mV	P	在DAC代码0x4000 (0.0 V)下测量；未校准
输入偏置电压TC		±150		μV/°C	C _T	
增益	1.0		1.1	V/V	P	增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的值；基于理想的DAC转换函数（见表24）
增益TC		±10		ppm/°C	C _T	
阈值分辨率		153		μV	D	
阈值DNL		±0.25		mV	C _T	经过两点增益/偏置校准后，在-1.5 V至+4.5 V功能范围内测量；校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处
阈值INL						经过两点增益/偏置校准后；校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处
集中范围	-5		+5	mV	P	在-0.5 V至+3.5 V范围下测得
整个范围	-7		+7	mV	P	在-1.5 V至+4.5 V范围下测得
DUTGND电压精度	-5	±1	+5	mV	P	超过±0.1 V范围；在-0.5 V至+3.5 V集中NWC输入范围下测得
不确定带		10		mV	C _B	V _{DUTx} = 0.0 V，扫描比较器阈值以确定不确定带
可编程迟滞		100		mV	C _B	
迟滞分辨率		4		位	D	
DC PSR		±5		mV/V	C _T	在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)校准点测得
数字输出特性						
内部上拉电阻至比较器，V _{TTc} x	46	50	54	Ω	P	来自高电平状态下输出引脚的1 mA和10 mA源电流，测量ΔV以计算电阻；R = ΔV/9 mA；对所有输出引脚重复执行以上过程

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
共模电压						相对于 V_{TTCx} 测量, 差分端接为100 Ω
ADATE320		-250		mV	C_T	
ADATE320-1		-400		mV	C_T	
差分模式电压						差分测量
100 Ω 差分端接						
ADATE320		250		mV	C_T	
ADATE320-1		400		mV	C_T	
无外部端接						
ADATE320	450	500	550	mV	P	
ADATE320-1	700	800	900	mV	P	
交流规格						除非另有规定, 否则, 所有交流测试均在直流电平校准后进行; 输入跃迁时间: 50 ps 20%至80%; 输出端接50 Ω 至0.0 V; 比较器CLC设置为 $\frac{1}{4}$ 量程(010)
上升/下降时间, 20%至80%		100		ps	C_B	在50 Ω 至0.0 V下测量
传播延迟		580		ps	C_B	$V_{DUTx} = 0.0 V$ 至1.0 V摆幅, 驱动端接模式, $V_{IT} = 0.0 V$, 比较器阈值=0.5 V
传播延迟TC		1		ps/ $^{\circ}C$	C_T	$V_{DUTx} = 0.0 V$ 至1.0 V摆幅, 驱动端接模式, $V_{IT} = 0.0 V$, 比较器阈值=0.5 V
传播延迟匹配, 高跃迁到低跃迁		10		ps	C_B	$V_{DUTx} = 0.0 V$ 至1.0 V摆幅, 驱动端接模式, $V_{IT} = 0.0 V$, 比较器阈值=0.5 V
传播延迟匹配, 高到低比较器		10		ps	C_B	$V_{DUTx} = 0.0 V$ 至1.0 V摆幅, 驱动端接模式, $V_{IT} = 0.0 V$, 比较器阈值=0.5 V
传播延迟散布						驱动端接模式, $V_{IT} = 0.0 V$
压摆率: 400 ps与1.0 ns (20%至80%)		20		ps	C_B	$V_{DUTx} = 0.0 V$ 至0.5 V摆幅, 比较器阈值=0.25 V
过驱: 250 mV与1.0 V		25		ps	C_B	对于250 mV: V_{DUTx} : 0.0 V至0.50 V摆幅; 对于1.0 V: V_{DUTx} : 0.0 V至1.25 V摆幅, 比较器阈值=0.25 V
1.0 V脉冲宽度: 0.4 ns、0.5 ns、1 ns、5 ns、10 ns		25		ps	C_B	$V_{DUTx} = 0.0 V$ 至1.0 V摆幅, 32 MHz, 比较器阈值=0.5 V
0.5 V脉冲宽度: 0.4 ns、0.5 ns、1 ns、5 ns、10 ns		25		ps	C_B	$V_{DUTx} = 0.0 V$ 至0.5 V摆幅, 32 MHz, 比较器阈值=0.25 V
占空比: 5%至95%		10		ps	C_B	$V_{DUTx} = 0.0 V$ 至1.0 V摆幅, 32 MHz, 比较器阈值=0.5 V
最小可检测脉冲宽度		200		ps	C_B	$V_{DUTx} = 0.0 V$ 至1.0 V摆幅, 32 MHz, 输出差分幅度大于50%
输入等效上升/下降时间, 1.0 V, 已端接		110		ps	C_B	$V_{DUTx} = 0.0 V$ 至1.0 V摆幅, 驱动端接模式, $V_{IT} = 0.0 V$, CLC = 010, 从数字化曲线图测量, 数字化曲线图的20%至80%跃迁时间为输入等效上升/下降的方根(RSS), 50 ps输入激励
输入等效上升/下降时间, 2.0 V, 未端接		500		ps	C_B	$V_{DUTx} = 0.0 V$ 至2.0 V摆幅, 驱动高阻, 从数字化曲线图测量, 数字化曲线图的20%至80%跃迁时间为输入等效上升/下降的方根(RSS), 50 ps输入激励
电缆损耗补偿(CLC)						$V_{DUTx} = 0.0 V$ 至1.0 V摆幅, 驱动端接模式, $V_{IT} = 0.0 V$, 最大CLC设置
CLC幅度		20		%	C_B	
CLC分辨率		3		位	D	
CLC时间常数1		280		ps	S	
CLC时间常数2		4.8		ns	S	

差分模式比较器(DMC)规格

表5.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
直流规格						VOHx测试在VOLx = -1.5 V, VOLx测试在VOHx = 1.5 V下进行
输入电压范围	-1.5		+4.5	V	D	
功能差分范围	±0.05		±1.1	V	D	
最大差分输入			±6.0	V	D	
输入偏置电压	-250		+250	mV	P	用插值算法从DAC代码0x2666 (-1.0 V)和DAC代码0x5999 (1.0 V)的测量值算出偏置, $V_{CM} = 0.0 V$
输入偏置电压TC		±150		$\mu V/^{\circ}C$	C_T	
增益	1.0		1.1	V/V	P	增益来自在DAC代码0x2666 (-1.0 V)和DAC代码0x5999 (1.0 V)下测量的值; 基于理想的DAC转换函数 (见表24)
增益TC		±40		ppm/ $^{\circ}C$	C_T	
VOHx, VOLx分辨率		153		μV	D	
VOHx, VOLx DNL		±250		μV	C_T	经过两点增益/偏置校准后; $V_{CM} = 0.0 V$; 校准点位于DAC代码0x2666 (-1.0 V)和DAC代码0x5999 (1.0 V)
VOHx, VOLx INL	-8		+8	mV	P	经过两点增益/偏置校准后; $V_{CM} = 0.0 V$; 校准点位于DAC代码0x2666 (-1.0 V)和DAC代码0x5999 (1.0 V)处, 在-1.1 V至+1.1 V的VOHx/VOLx范围内测量
不确定带		11		mV	C_B	$V_{DUTx} = 0.0 V$, 扫描比较器阈值以确定不确定带
可编程迟滞		200		mV	C_B	
迟滞分辨率		4		位	D	
共模抑制比(CMRR)	-1.0		+1.0	mV/V	P	Δ 偏置在 $V_{CM} = -1.5 V$ 和 $+4.5 V$ 且 $V_{DM} = 0.0 V$ 条件下测得
DC PSR		±5		mV/V	C_T	Δ 偏置在 $V_{CM} = 0.0 V$ 且 $V_{DM} =$ 校准点DAC代码0x2666 (-1.0 V)和DAC代码0x5999 (1.0 V)下测得
交流规格						所有交流测试均在直流电平校准后进行; 输入跃迁时间= 50 ps 20%至80%; 输出端接50 Ω 至VTTCx, 比较器CLC设置为 $\frac{1}{4}$ 量程(010)
传播延迟		580		ps	C_B	$V_{DUT0} = 0.0 V$, $V_{DUT1} = -0.5 V$ 至 $+0.5 V$ 摆幅, 驱动端接模式, $V_{IT} = 0.0 V$, 比较器阈值= 0.0 V, 在VDUTx输入反序下重复执行
传播延迟TC		2		ps/ $^{\circ}C$	C_T	$V_{DUT0} = 0.0 V$, $V_{DUT1} = -0.5 V$ 至 $+0.5 V$ 摆幅, 驱动端接模式, $V_{IT} = 0.0 V$, 比较器阈值= 0.0 V, 在VDUTx输入反序下重复执行
传播延迟匹配, 高跃迁到低跃迁		15		ps	C_B	$V_{DUT0} = 0.0 V$, $V_{DUT1} = -0.5 V$ 至 $+0.5 V$ 摆幅, 驱动端接模式, $V_{IT} = 0.0 V$, 比较器阈值= 0.0 V, 在VDUTx输入反序下重复执行
传播延迟匹配, 高到低比较器		15		ps	C_B	$V_{DUT0} = 0.0 V$, $V_{DUT1} = -0.5 V$ 至 $+0.5 V$ 摆幅, 驱动端接模式, $V_{IT} = 0.0 V$, 比较器阈值= 0.0 V, 在VDUTx输入反序下重复执行
传播延迟散布						$V_{DUT0} = 0.0 V$, $V_{IT} = 0.0 V$, 驱动端接模式, 在VDUTx输入反序下重复执行
压摆率: 400 ps与1 ns (20%至80%)		30		ps	C_B	$V_{DUT1} = -0.5 V$ 至 $+0.5 V$ 摆幅, 比较器阈值= 0.0 V
过驱: 250 mV与750 mV		25		ps	C_B	对于250 mV: $V_{DUT1} = 0.0 V$ 至 $0.5 V$ 摆幅; 对于750 mV: $V_{DUT1} = 0.0 V$ 至 $1.0 V$ 摆幅, 比较器阈值= $-0.25 V$, 在VDUTx输入反序且比较器阈值= $+0.25 V$ 条件下重复执行
1.0 V脉冲宽度: 0.7 ns、1.0 ns、5.0 ns、10 ns		25		ps	C_B	$V_{DUT1} = -0.5 V$ 至 $+0.5 V$ 摆幅, 32 MHz, 比较器阈值= 0.0 V
0.5 V脉冲宽度: 0.6 ns、1.0 ns、5.0 ns、10 ns		25		ps	C_B	$V_{DUT1} = -0.25 V$ 至 $+0.25 V$ 摆幅, 32 MHz, 比较器阈值= 0.0 V

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
占空比: 5%至95%		5		ps	C _B	V _{DUT1} = -0.5 V至+0.5 V摆幅, 32 MHz, 比较器阈值= 0.0 V
最小可检测脉冲宽度		200		ps	C _B	V _{DUT0} = 0.0 V, V _{DUT1} = -0.5 V至+0.5 V摆幅, 32 MHz, 驱动端接模式, VIT = 0.0 V, 比较器阈值= 0.0 V, 输出差分幅度大于50%, 在VDUTx输入反序下重复执行
输入等效上升/下降时间		110		ps	C _B	V _{DUT0} = 0.0 V, V _{DUT1} = -0.5 V至+0.5 V摆幅, 驱动端接模式, VIT = 0.0 V, 比较器阈值= 0.0 V, CLC = ¼量程, 从数字化曲线图测量, $t = \sqrt{(t_{CMP}^2 - t_{IN}^2)}$
电缆损耗补偿(CLC)						V _{DUT0} = 0.0 V, V _{DUT1} = -0.8 V至+0.8 V摆幅, 驱动端接模式, VIT = 0.0 V, 比较器阈值= 0.0 V, 比较器CLC设为最大值, 在VDUTx输入反序下重复执行
CLC幅度		20		%	C _B	
CLC分辨率		3		位	D	
CLC时间常数1		280		ps	S	
CLC时间常数2		4.8		ns	S	

有源负载规格

表6.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
直流规格						负载处于有效开启状态, RCVx有效
输入特性						
有源负载换向电压 (VCOMx)范围	-1.5		+4.5	V	D	IOHx = IOLx = 1 mA, VDUTx开路
VCOMx偏置	-200		+200	mV	P	在DAC代码0x4000 (0.0 V)下测量, 未校准
VCOMx偏置TC		±100		μV/°C	C _T	
VCOMx增益	1.0		1.1	V/V	P	增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的值
VCOMx增益TC		±20		ppm/°C	C _T	
VCOMx分辨率		153		μV	D	
VCOMx DNL		±250		μV	C _T	经过两点增益/偏置校准后, IOHx = IOLx = 12.5 mA; 在-1.5 V至+4.5 V的VCOMx范围内测量; 校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处
VCOMx INL						IOHx = IOLx = 12.5 mA; 经过两点增益/偏置校准后; 校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处
集中范围	-5		+5	mV	P	在-0.5 V至+3.5 V的VCOMx范围内测量
整个范围	-10		+10	mV	P	在-1.5 V至+4.5 V的VCOMx范围内测量
DUTGND电压精度	-5	±1	+5	mV	P	超过±0.1 V范围; 在-0.5 V至+3.5 V集中VCOMx范围内测得
输出特性						
最大源电流(IOLx)	25			mA	D	V _{DUTx} ≤ 3.5 V (顺从限值由50Ω内部电阻设置, 如图142所示)
IOLx偏置	-600		+600	μA	P	IOHx = -2.5 mA, VCOMx = 1.5 V, V _{DUTx} = 0.0 V; 偏置从DAC代码0x451F (1 mA)和DAC代码0xA666 (20 mA)下的测量值推断而来
IOLx偏置TC		±1		μA/°C	C _T	
IOLx增益误差	0		+25	%	P	IOHx = -2.5 mA, VCOMx = 1.5 V, V _{DUTx} = 0.0 V; 增益从DAC代码0x451F (1 mA)和DAC代码0xA666 (20 mA)下的测量值推算而来; 基于理想的直流转换函数
IOLx增益TC		±100		ppm/°C	C _T	

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
IOLx分辨率		763		nA	D	
IOLx DNL		±1.25		μA	C _T	IOHx = -2.5 mA, VCOMx = 1.5 V, V _{DUTx} = 0.0 V; 经过两点增益/偏置校准后; 在0 mA至25 mA的IOLx范围内测量; 在DAC代码0x451F (1 mA)和DAC代码0xA666 (20 mA)下校准
IOLx INL	-100		+100	μA	P	经过两点增益/偏置校准后, IOHx = -2.5 mA, VCOM = 1.5 V, V _{DUTx} = 0.0 V
IOLx 90%换向电压		0.25	0.4	V	P	IOHx = IOLx = 25 mA, VCOM = 2.0 V, 在V _{DUTx} = -1.0 V时测量IOLx基准电压, 在V _{DUTx} = 1.6 V时测量IOLx电流, 确保大于基准电流的90%
		0.1		V	C _T	IOHx = IOLx = 1 mA, VCOM = 2.0 V, 在V _{DUTx} = -1.0 V时测量IOLx基准电压, 在V _{DUTx} = 1.9 V时测量IOLx电流, 确保大于基准电流的90%
最大灌电流(IOHx)	25			mA	D	V _{DUTx} ≥ -0.5 V (顺从限值由50Ω内部电阻设置, 如图142所示)
IOHx偏置	-600		+600	μA	P	IOLx = -2.5 mA, VCOM = 1.5 V, V _{DUTx} = 3.0 V, 偏置从DAC代码0x451F (1 mA)和DAC代码0xA666 (20 mA)下的测量值推断而来
IOHx偏置TC		±1		μA/°C	C _T	
IOHx增益误差	0		+25	%	P	IOLx = -2.5 mA, VCOM = 1.5 V, V _{DUTx} = 3.0 V, 增益从DAC代码0x451F (1 mA)和DAC代码0xA666 (20 mA)下的测量值推断而来; 基于理想的DAC转换函数
IOHx增益TC		±100		ppm/°C	C _T	
IOHx分辨率		763		nA	D	
IOHx DNL		±1.25		μA	C _T	经过两点增益/偏置校准后, IOLx = -2.5 mA, VCOM = 1.5 V, V _{DUTx} = 3.0 V; 在0 mA至25 mA的IOHx范围内测量; 在DAC代码0x451F (1 mA)和DAC代码0xA666 (20 mA)下校准
IOHx INL	-100		+100	μA	P	经过两点增益/偏置校准后, IOLx = -2.5 mA, VCOM = 1.5 V, V _{DUTx} = 3.0 V
IOHx 90%换向电压		0.25	0.4	V	P	IOHx = IOLx = 25 mA, VCOM = 2.0 V, 在V _{DUTx} = 4.0 V时测量IOHx基准电压, 在V _{DUTx} = 2.4 V时测量IOHx电流, 确保大于基准电流的90%
		0.1		V	C _T	IOHx = IOLx = 1 mA, VCOM = 2.0 V, 在V _{DUTx} = 4.0 V时测量IOHx基准电压, 在V _{DUTx} = 2.1 V时测量IOHx电流, 确保大于基准电流的90%
交流规格						除非另有说明, 所有交流测量均在直流校准后执行, 负载为有效开启状态
动态性能						切换RCVx; DUTx端接50Ω至0.0 V; IOLx = IOHx = 20mA, VIH = VIL = 0.0V; 对于IOLx, VCOM = +1.5V; 对于IOHx, VCOM = -1.5V;
传播延迟, 负载有效开启到负载有效关闭;	1.7			ns	C _B	从RCVx的零交越至RCVx达到最终输出值的50%的范围内测得; 为驱动低电平和驱动高电平重复执行
传播延迟, 负载有效关闭到负载有效开启	2.9			ns	C _B	从RCVx的零交越至RCVx达到最终输出值的50%的范围内测得; 为驱动低电平和驱动高电平重复执行
传播延迟匹配	1.2			ns	C _B	有效开启与有效关闭; 为驱动低电平和驱动高电平重复执行
负载尖峰	140			mV	C _B	为驱动低电平和驱动高电平重复执行
5%以内建立时间	2.5			ns	C _B	从输出交越最终值的50%到输出最终值的5%的范围内测得

PPMU规格

除非另有说明，PPMU在电压驱动模式下启用。

表7.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
电压驱动(FV)						
电流范围A	-40		+40	mA	D	
电流范围B	-1		+1	mA	D	
电流范围C	-100		+100	μA	D	
电流范围D	-10		+10	μA	D	
电流范围E	-2		+2	μA	D	
输出端的FV范围，范围A	-1.0		+4.0	V	D	满量程源电流/灌电流的输出范围
	-1.5		+4.5	V	D	±25 mA或以下的输出范围
输出端、范围B、范围C、范围D和范围E下的FV范围	-1.5		+4.5	V	D	满量程源电流/灌电流的输出范围
FV偏置、范围C	-100		+100	mV	P	于范围C在DAC代码0x4000 (0.0 V)下测得
FV偏置，全部范围		±30		mV	C _T	在DAC代码0x4000 (0.0 V)下测量，适用于所有其他范围
FV偏置TC，全部范围		±100		μV/°C	C _T	在DAC代码0x4000 (0.0 V)下测量
FV增益，范围C	1.0		1.1	V/V	P	增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的值；基于理想的DAC转换函数
FV增益，全部范围		1.05		V/V	C _T	增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的值；基于理想的DAC转换函数
FV增益TC，全部范围		±10		ppm/°C	C _T	增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的值
FV INL						
范围A		±1.5		mV	C _T	经过两点增益/偏置校准后，输出范围为-1.5 V至+4.5 V；校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处，PPMU电流范围A
范围C，集中范围	-1.7		+1.7	mV	P	经过两点增益/偏置校准后，输出范围为-0.5 V至+3.5 V；校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处
范围C，全范围	-5		+5	mV	P	经过两点增益/偏置校准后，输出范围为-1.5 V至+4.5 V；校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处
范围B、范围D和范围E		±1.0		mV	C _T	经过两点增益/偏置校准后，输出范围为-1.5 V至+4.5 V；校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处
FV顺从与源/灌电流，范围A (±40 mA)		±1		mV	C _T	强制-1.0 V；在吸收0.0 mA量程电流和满量程电流时测量电压；测量ΔV；驱动4.0 V；在0.0 mA源电流和满量程电流时测量电压；测量ΔV
FV顺从与源/灌电流，范围A (±25 mA)		±1		mV	C _T	强制-1.5 V；在0.0 mA和25 mA灌电流时测量电压；测量ΔV；驱动4.5 V；在0.0 mA和25 mA源电流时测量电压；测量ΔV

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
FV顺从电流与源电流/灌电流、范围B、范围C、范围D和范围E		±1		mV	C _T	强制-1.5 V；在吸收0.0 mA量程电流和满量程电流时测量电压；测量ΔV；驱动4.5 V；在0.0 mA源电流和满量程电流时测量电压；测量ΔV
DUTGND电压精度	-5	±1	+5	mV	P	超过±0.1 V范围；在-0.5 V至+3.5 V集中PPMU输出范围内下测得
电流驱动(FI)						PPMU在电流驱动/测量电流(FIMI)下启用
DUTx引脚电压范围，范围A	-1.0		+4.0	V	D	满量程源电流和灌电流
	-1.5		+4.5	V	D	DUTx引脚源电流和灌电流为25 mA或以下
DUTx引脚电流范围、范围B、范围C、范围D和范围E	-1.5		+4.5	V	D	满量程源电流和灌电流
零电流偏置，所有范围	-14.5		+14.5	% FSR	P	在PPMU DAC代码0x4CCC (-80%FS)和DAC代码0xB333 (80%FS)下用插值算法为每个范围算出的测量值
零电流偏置TC		±0.02		% FSR/°C	C _T	
增益误差，所有范围	0		30	%	P	在PPMU DAC代码0x4CCC (-80%FS)和DAC代码0xB333 (80%FS)下为每个范围算出的测量值
增益漂移						
范围A		±50		ppm/°C	C _T	范围A中显著的PPMU自热效应会影响增益漂移测量
范围B		±50		ppm/°C	C _T	
范围C、范围D和范围E		±50		ppm/°C	C _T	
INL						经过两点增益/偏置校准后
范围A	-0.12		+0.12	% FSR	P	在范围A(±40 mA)的FSR输出端测量
范围B、范围C和范围D	-0.04		+0.04	% FSR	P	基于范围B (±1 mA)、范围C (±100 μA)和范围D (±10 μA)内的FSR输出测得
范围E	-0.045		+0.045	% FSR	P	基于范围E (±2 μA)内的FSR输出测得
FI与顺从电压						
范围A	-0.3		+0.3	% FSR	P	强制正满量程电流驱动-1.0 V和+4.0 V；在DUTx引脚处测量ΔI；强制负满量程电流驱动-1.0 V和+4.0 V；在DUTx引脚处测量ΔI
	-0.1		+0.1	% FSR	P	强制正满量程电流驱动0.0 V和3.0 V；在DUTx引脚处测量ΔI；强制负满量程电流驱动0.0 V和3.0 V；在DUTx引脚处测量ΔI
范围B和范围C	-0.3		+0.3	% FSR	P	强制正满量程电流驱动-1.5 V和+4.5 V；在DUTx引脚处测量ΔI；强制负满量程电流驱动-1.5 V和+4.5 V；在DUTx引脚处测量ΔI
	-0.06		+0.06	% FSR	P	强制正满量程电流驱动0.0 V和3.0 V；在DUTx引脚处测量ΔI；强制负满量程电流驱动0.0 V和3.0 V；在DUTx引脚处测量ΔI
范围D	-0.3		+0.3	% FSR	P	强制正满量程电流驱动-1.5 V和+4.5 V；在DUTx引脚处测量ΔI；强制负满量程电流驱动-1.5 V和+4.5 V；在DUTx引脚处测量ΔI
范围E	-0.85		+0.85	% FSR	P	强制正满量程电流驱动-1.5 V和+4.5 V；在DUTx引脚处测量ΔI；强制负满量程电流驱动-1.5 V和+4.5 V；在DUTx引脚处测量ΔI；允许10 nA的DUTx引脚泄漏

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
测量电压(MV)						启用PPMU, 电压驱动/测量电压(FVMV)
范围	-1.5		+4.5	V	D	
偏置	-25		+25	mV	P	范围B, $V_{DUTx} = 0.0\text{ V}$, 偏置 = $(PPMU_Mx - V_{DUTx})$
偏置TC		±50		μV/°C	C _T	
增益	0.98		1.02	V/V	P	范围B, 从 $V = 0.0\text{ V}$ 和 3.0 V 时的测量值推导出
增益TC		±5		ppm/°C	C _T	
INL	-1.7		+1.7	mV	P	范围B, 在-1.5 V至+4.5 V范围内测量
测量电流(MI)						在FIMI中启用PPMU
DUTx引脚电压范围						满量程源电流和灌电流
范围A	-1.0		+4.0	V	D	
范围B、范围C、范围D和范围E	-1.5		+4.5	V	D	
零电流偏置						
范围B	-4		+4	%FSR	P	通过插值算法, 从每个范围在80% FS源电流和灌电流条件下测量的结果推算而来; 例如, 2%FSR在范围B中为40μA
所有范围		±0.5		%FSR	C _T	
零电流偏置TC						
范围A		±0.01		%FSR/°C	C _T	
范围B、范围C和范围D		±0.01		%FSR/°C	C _T	
范围E		±0.02		%FSR/°C	C _T	
增益误差						从80%FS源电流和灌电流条件下的测量值推导出
范围B	-30		+5	%	P	
所有范围		-10		%	C _T	
增益TC						
范围A		±50		ppm/°C	C _T	
范围B、范围C和范围D		±50		ppm/°C	C _T	
范围E		±50		ppm/°C	C _T	
INL						在±80%FS电流条件下进行两点增益/偏置校准后
范围A		±0.02		%FSR	C _T	在-40 mA至+40 mA FSR输出范围内测量
范围B	-0.02		+0.02	%FSR	P	在-1 mA至+1 mA FSR输出范围内测量
范围C、范围D和范围E		±0.01		%FSR	C _T	在范围C、范围D和范围E内FSR输出端测量
DUTx引脚电压抑制	-1.3		+1.3	μA	P	范围B, FVMI, 强制将-1.0 V和+4.0 V施加到0.5 mA负载, 测量PPMU_Mx引脚端报告的ΔI
DUTGND电压精度	-5	±1	+5	mV	P	超过±0.1 V范围
测量引脚直流特性						
输出范围	-1.5		+5.0	V	D	
输出阻抗			200	Ω	P	在FVMV中启用PPMU, 源电阻: PPMU将4.5 V强制转换为0.0 mA, -1.0 mA, 灌电阻: PPMU将-1.5 V强制转换为0.0 mA, 1.0 mA, PPMU_Mx引脚端电阻 = $\Delta V/\Delta I$
三态时的输出漏电流	-1		+1	μA	P	在-1.7 V和+5.2 V条件下进行测试
输出短路电流	-10		+10	mA	P	在FVMV中启用PPMU, 源电流: PPMU强制+4.5 V, PPMU_Mx = -1.5 V, 灌电流: PPMU强制-1.5 V, PPMU_Mx = 5.0 V

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
PPMU_Mx引脚, 寄生输出电容			2	pF	S	引脚贡献的寄生电容
PPMU_Mx引脚, 外部负载电容	100			pF	S	引脚容许的外部电容 (超过此值可能导致不稳定)
PPMU电压箝位钳(FI)						在FIMI中启用PPMU, PPMU箝位启用; 箝位精度仅适用于 $ PCHx - PCLx \geq 1.0V$ 之时
低压箝位范围(PCLx)	-1.5		+3.5	V	D	范围B, PPMU驱动 ± 0.5 mA断开; PCHx在DAC代码0x4000 (0.0 V) 下测量, PCLx在代码0x0000 (-2.5 V) 下测量; PCLx在DAC代码0x4000 (0.0 V) 下测量, PCHx在DAC代码0xFFFF(+7.5 V) 下测量
高压箝位范围(PCHx)	-0.5		+4.5	V	D	
偏置, 电压箝位(PCHx/PCLx)	-300		+300	mV	P	
偏置TC, 电压箝位(PCHx/PCLx)		± 0.5		mV/ $^{\circ}C$	C_T	
增益, 电压箝位(PCHx/PCLx)	1.0		1.1	V/V	P	
增益TC, 电压箝位(PCHx/PCLx)		± 25		ppm/ $^{\circ}C$	C_T	
INL, 电压箝位(PCHx/PCLx)	-20		+20	mV	P	
正电压箝位, 电压降(源)	-50		+50	mV	P	
负电压箝位, 电压降(灌)	-50		+50	mV	P	
DUTGND电压精度	-5	± 1	+5	mV	P	
PPMU电流箝位(FV)						在FVMV中启用PPMU, 电流箝位的直流精度仅适用于以下条件: $30\% FS \leq PCHx \leq 100\% FS$ 或 $-100\% FS \leq PCLx \leq -30\% FS$
工作范围						
低电流箝位(PCLx)	-120		-20	%FS	S	例如, 范围A内的-120% FS为-48 mA, 范围A内的-20% FS为-8 mA
高电流箝位(PCHx)	20		120	%FS	S	例如, 范围A内的20% FS为8 mA, 范围A内的120% FS为48 mA
直流精度范围						
低电流箝位(PCLx)	-100		-30	%FS	D	例如, 范围A内的-100% FS为-40 mA, 范围A内的-30% FS为-12 mA
高电流箝位(PCHx)	30		100	%FS	D	例如, 范围A内的30% FS为12 mA, 范围A内的100% FS为40 mA
静态电流限制, 源电流和灌电流, 所有范围	± 120	± 140	± 160	%FS	P	PCLx在DAC代码0x0000 (-2.5 V) 下测量, PCHx在DAC代码0xFFFF (7.5 V) 下测量, 灌电流: 强制-1.5 V, 短接DUTx至4.5 V; 源电流: 强制4.5 V, 短接DUTx至-1.5 V
偏置, 电流箝位(PCHx/PCLx)	-10		+10	%FSR	P	所有范围; PPMU将 ± 1.0 V强制转换为0.0 V ¹
偏置TC, 电流箝位(PCHx/PCLx)		± 0.02		%FSR/ $^{\circ}C$	C_T	所有范围

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
增益错误, 电流箝位(PCHx/PCLx)	0		30	%	P	所有范围; PPMU将±1.0 V强制转换为0.0 V ²
增益TC, 电流箝位(PCHx/PCLx)		±50		ppm/°C	C _T	所有范围
INL, 电流箝位(PCHx/PCLx)	-0.15		+0.15	%FSR	P	所有范围; 经过两点增益/偏置校准后, PPMU强制将±1.0 V转换为0.0 V; 在DAC代码0xA000 (3.75 V或50% FS) 和DAC代码0xB333 (4.50 V或80% FS) 下校准PCHx; 在DAC代码0x6000 (1.25 V或-50% FS) 和DAC代码0x4CCC (0.50 V或-80% FS) 下校准PCLx; 在直流精度范围内测量
电流降						
低电流箝位(PCLx), 灌电流	-2		+2	%FSR	P	PCLx = 0.5 V (-80%FS), PCHx = 4.5 V (80%FS), PPMU强制将-0.5 V和+3.5 V转换为V _{DUTx} = 4.5 V, 在范围A内测量DUTx引脚处的ΔI
高电流箝位(PCHx), 源电流	-2		+2	%FSR	P	PCLx = 0.5 V (-80%FS), PCHx = 4.5 V (80%FS), PPMU强制将-0.5 V和+3.5 V转换为V _{DUTx} = -1.5 V, 在范围A内测量DUTx引脚处的ΔI
建立/切换时间						
使FV建立时间为最终值的0.1%						
范围A, 200 pF和2000 pF负载		20		μs	S	在FV中启用PPMU, 范围A, 步长为0.0 V至4.0 V
范围B, 200 pF和2000 pF负载		25		μs	S	在FV中启用PPMU, 范围B, DCL禁用, 步长为0.0 V至4.0 V
范围C, 200 pF负载		25		μs	S	在FV中启用PPMU, 范围C, DCL禁用, 步长为0.0 V至4.0 V
范围C, 2000 pF负载		65		μs	S	在FV中启用PPMU, 范围C, DCL禁用, 步长为0.0 V至4.0 V
使FV建立时间为最终值的1.0%						
范围A, 200 pF和2000 pF负载		16		μs	C _B	在FV中启用PPMU, 范围A, DCL禁用, 步长为0.0 V至4.0 V
范围B, 200 pF和2000 pF负载		14		μs	C _B	在FV中启用PPMU, 范围B, DCL禁用, 步长为0.0 V至4.0 V
范围C, 200 pF和2000 pF负载		18		μs	C _B	在FV中启用PPMU, 范围C, DCL禁用启用, 步长为0.0 V至4.0 V
使FI建立时间为最终值的0.1%						
范围A, 200 pF与120Ω并联		16		μs	S	在FI中启用PPMU, 范围A, DCL禁用, 步长为0.0 mA至40 mA
范围B, 200 pF, 与1.5 KΩ并联		10		μs	S	在FI中启用PPMU, 范围B, DCL禁用, 步长为0.0 mA至1 mA
范围C, 200 pF, 与15.0 KΩ并联		40		μs	S	在FI中启用PPMU, 范围C, DCL禁用, 步长为0.0 mA至100 μA
使FI建立时间为最终值的1.0%						
范围A, 200 pF与120Ω并联		8		μs	C _B	在FI中启用PPMU, 范围A, DCL禁用, 步长为0.0 mA至40 mA
范围B, 200 pF, 与1.5 KΩ并联		8		μs	C _B	在FI中启用PPMU, 范围B, DCL禁用, 步长为0.0 mA至1 mA
范围C, 200 pF, 与15.0 KΩ并联		8		μs	C _B	在FI中启用PPMU, 范围C, DCL禁用, 步长为0.0 mA至100 μA

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
交互作用与串扰						
测量电压通道到通道的串扰		10		μV	C_T	在FIMV中启用PPMU，范围B，被测通道；将0.0 mA强制转换为0.0 V；其他通道：将0.0 mA强制转换为 V_{DUTx} ；将 V_{DUTx} 从-1.5 V扫描到+4.5 V；在被测PPMU_Mx处测量 ΔV
测量电流通道到通道的串扰		0.0001		%FSR	C_T	在FVMI中启用PPMU，范围B；被测通道：强制0.0 V进入开路；其他通道：强制0.0 V进入 I_{DUTx} ；将 I_{DUTx} 从-1.0 mA扫描到+1.0 mA；在被测PPMU_Mx处测量 ΔV

¹ PCHx由在DAC代码0xA000 (3.75 V或50% FS) 和DAC代码0xB333 (4.50 V或80% FS) 下测量的值推导而来；PCLx则在DAC代码0x0000 (-2.5 V)下测得。PCLx偏置由在DAC代码0x6000 (1.25 V或-50% FS) 和DAC代码0x4CCC (0.50 V或-80% FS) 下测量的值推导而来；PCHx则在DAC代码0xFFFF (7.5 V)下测得。

² PCHx增益由在DAC代码0xA000 (3.75 V或50% FS) 和DAC代码0xB333 (4.50 V或80% FS) 下测量的值推导而来；PCLx则在DAC代码0x0000 (-2.5 V)下测得。PCLx增益由在DAC代码0x6000 (1.25 V或-50% FS) 和DAC代码0x4CCC (0.50 V或-80% FS) 下测量的值推导而来；PCHx则在DAC代码0xFFFF (7.5 V)下测得。例如，在所有范围内，理想增益为每2.5 V \pm FS；在范围B中，理想增益为 $\pm 400\mu\text{A/V}$ ；因此，30%的误差为 $\pm 520\mu\text{A/V}$ 。

PPMU Go/No-Go比较器规格

表8.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
直流规格						
比较电压范围	-1.5		+5.0	V	D	
输入偏置电压	-250		+250	mV	P	在DAC代码0x4000 (0 V)下测量
输入偏置电压TC		± 100		$\mu\text{V}/^\circ\text{C}$	C_T	
增益	1.0		1.1	V/V	P	增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的值
增益TC		± 10		ppm/ $^\circ\text{C}$	C_T	增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的值
比较器阈值分辨率		153		μV	D	
比较器阈值DNL		± 250		μV	C_T	经过两点校准后；在POHx/POLx范围-1.5 V至+5.0 V下测得；校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处
比较器阈值INL	-7		+7	mV	P	经过两点校准后；在POHx/POLx范围-1.5 V至+5.0 V下测得；校准点位于DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)处
DUTGND电压精度	-5	± 1	+5	mV	P	超过 ± 0.1 V范围

PPMU外部感应引脚规格

表9.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
直流规格						
电压范围	-1.5		+4.5	V	D	所有状态下的PPMU输入选择
泄漏	-2	0.0	+2	nA	P	在-1.5 V和+4.5 V条件下进行测试
最大负载电容	2000			pF	S	DUTx检测引脚可承受电容负载

VREF、VREFGND和DUTGND基准输入引脚规格

表10.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
直流规格						
VREF输入电压范围	2.475	2.500	2.525	V	D	外部供电, $V_{REF} = 2.500\text{ V}$, $V_{REFGND} = 0.000\text{ V}$
VREF输入偏置电流			10	μA	P	在施加2.500 V电压条件下测试
DUTGND输入电压范围, 折合到AGND	-0.1		+0.1	V	D	
DUTGND输入偏置电流	-10		+10	μA	P	在-100 mV和+100 mV条件下进行测试

温度监控器规格

表11.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
直流规格						
温度传感器增益		10		mV/K	D	室温3.00 V, 300 K (23°C)
温度传感器精度		± 10		$^{\circ}\text{C}$	C_T	$20^{\circ}\text{C} < T_C < 80^{\circ}\text{C}$, 仅 $V_{CCTHERM}$ ($T_J = T_C$)

警报功能规格

表12.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
直流规格						
过压报警高, OVDH						
有效电压范围	-1.0		+5.0	V	D	OVDL DAC设置为DAC代码0x0000 (-2.5 V)
-1.0 V下的未校准误差	-300		+200	mV	P	包括5%未校准增益 $\pm 250\text{ mV}$ 偏置
5.0 V下的未校准误差	0		500	mV	P	包括5%未校准增益 $\pm 250\text{ mV}$ 偏置
偏置电压TC		± 0.5		mV/ $^{\circ}\text{C}$	C_T	
增益		1.05		V/V	C_T	增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的值; 基于理想的DAC转换函数 (见表24)
迟滞		140		mV	C_T	迟滞仅在报警时应用
过压报警低, OVDL						
有效电压范围	-2.0		+4.0	V	D	OVDH DAC设置为DAC代码0xFFFF (7.5 V)
-2.0 V下的未校准误差	-350		+150	mV	P	包括5%未校准增益 $\pm 250\text{ mV}$ 偏置
4.0 V下的未校准误差	-50		+450	mV	P	包括5%未校准增益 $\pm 250\text{ mV}$ 偏置
偏置电压TC		± 0.5		mV/ $^{\circ}\text{C}$	C_T	
增益		1.05		V/V	C_T	增益来自在DAC代码0x4000 (0.0 V)和DAC代码0x8CCC (3.0 V)下测量的值; 基于理想的DAC转换函数 (见表24)
迟滞		140		mV	C_T	迟滞仅在报警时应用
温度警报						
设定点误差		± 10		$^{\circ}\text{C}$	C_T	相对于默认报警值, $T_J = 100^{\circ}\text{C}$
热滞		15		$^{\circ}\text{C}$	C_T	

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
ALARM输出特性						
关闭状态泄漏		10	500	nA	P	禁用警报, 将 V_{DD} 施加至 $\overline{\text{ALARM}}$ 引脚, 并且测量漏电流
最大导通电压为200 μ A		0.1	0.7	V	P	$\overline{\text{ALARM}}$ 引脚置位, 向引脚强制施加200 μ A电流并测量电压
交流规格						
传播延迟		0.5		μ s	C_B	对于OVDH: $V_{DUTx} = 0.0\text{ V}$ 至4.5 V步长, $\text{OVDH} = 4.0\text{ V}$, $\text{OVDL} = -1.0\text{ V}$; 对于OVDL: $V_{DUTx} = 0.0\text{ V}$ 至-1.5 V步长, $\text{OVDH} = 4.0\text{ V}$, $\text{OVDL} = -1.0\text{ V}$

串行可编程接口(SPI)规格

表13.

参数	最小值	典型值	最大值	单位	测试等级	测试条件/注释
直流规格						
输入电压						$\overline{\text{RST}}$, $\overline{\text{CS}}$, SCLK, SDI
逻辑高电平	$V_{DD} - 0.7$		V_{DD}	V	P_F	
逻辑低电平	0.0		0.7	V	P_F	
输入偏置电流	-10	1	+10	μ A	P	在0.0 V和 V_{DD} 下测试; $\overline{\text{RST}}$ 在 V_{DD} 下测试; $\overline{\text{RST}}$ 具有内部最高为 V_{DD} 的50 k Ω 上拉电阻
DUTx引脚上的SCLK串扰		1		mV	C_B	DCL禁用, PPMU强制施加0.0 V
串行输出						
逻辑高电平	$V_{DD} - 0.5$		V_{DD}	V	P_F	SDO, 源电流2 mA
逻辑低电平	0.0		0.5	V	P_F	灌电流2 mA
BUSY输出特性						开漏输出
关闭状态泄漏		10	500	nA	P	$\overline{\text{BUSY}}$ 引脚不置位, 将 V_{DD} 施加到引脚并测量漏电流
最大导通电压为2 mA		0.01	0.7	V	P	$\overline{\text{BUSY}}$ 引脚置位, 向引脚强制施加2 mA电流并测量电压

SPI时序规格

表14.

参数	符号	最小值	典型值	最大值	单位	测试等级	描述
SCLK工作频率	f_{CLK}		50		MHz	P_F	
SCLK高电平时间	t_{CH}	0.5		100	MHz	S	
SCLK低电平时间	t_{CL}	4.5			ns	S	
置位时 $\overline{\text{CS}}$ 至SCLK设置	t_{CSAS}	4.5			ns	S	$\overline{\text{CS}}$ 置位至SCLK的下一个上升沿的建立时间。
置位时 $\overline{\text{CS}}$ 至SCLK保持	t_{CSAH}	1.5			ns	S	$\overline{\text{CS}}$ 置位至SCLK的下一个上升沿的保持时间。
释放时 $\overline{\text{CS}}$ 至SCLK设置	t_{CSRS}	1.5			ns	S	$\overline{\text{CS}}$ 释放至SCLK的下一个上升沿的建立时间。
释放时 $\overline{\text{CS}}$ 至SCLK保持	t_{CSRH}	1.5			ns	S	$\overline{\text{CS}}$ 释放至SCLK的下一个上升沿的保持时间。仅当 $\overline{\text{CS}}$ 前一次释放的SCLK周期数为 t_{CSAM} 参数指定的最小值时, 此参数方至关重要。
$\overline{\text{CS}}$ 置位至SDO有效	t_{CSO}	0		4	ns	S	从 $\overline{\text{CS}}$ 置位到SDO有效状态的延迟时间。
$\overline{\text{CS}}$ 释放至SDO高阻	t_{CSZ}	0		11	ns	S	从 $\overline{\text{CS}}$ 释放到SDO高阻状态的延迟, 很大程度上取决于外部SDO引脚加载情况。
$\overline{\text{CS}}$ 释放至下一次置位	t_{CSAM}	3			周期	D	在 $\overline{\text{CS}}$ 连续置位之间, $\overline{\text{CS}}$ 的最小释放时间。该参数的额定值以SCLK周期为单位, 具体地, 是以SCLK输入的上升沿为单位。

参数	符号	最小值	典型值	最大值	单位	测试等级	描述
SDI至SCLK设置	t_{DS}	3			ns	S	SCLK的下一个上升沿之前，SDI数据的建立时间。
SDI至SCLK保持时间	t_{DH}	4			ns	S	SDI数据在SCLK上次上升沿之后的保持时间。
SCLK至有效SDO	t_{DO}	0		6	ns	S	从SCLK上升沿到有效SDO数据的传播延迟。
\overline{BUSY} 从 $\overline{CS}/\overline{RST}$ 置位	t_{BUSA}	0		6	ns	S	从有效 \overline{CS} 释放（或硬件复位 \overline{RST} 释放）后第一个上升SCLK到 \overline{BUSY} 置位的传播延迟。
\overline{BUSY} 宽度 \overline{CS} 之后	t_{BUSW}	3		21	周期	D	有效 \overline{CS} 释放后第一个上升SCLK至 \overline{BUSY} 释放的延迟时间。符合“SPI时钟周期和引脚”部分中详述的要求，但在 \overline{RST} 或软件复位后除外。
\overline{RST} 之后		744			周期	D	从 \overline{RST} 释放（或软件复位下为有效 \overline{CS} 释放）后第一个上升SCLK到 \overline{BUSY} 释放的延迟时间。符合“SPI时钟周期和引脚”部分详述的同步复位序列要求。
\overline{BUSY} 从SCLK释放	t_{BUSR}	0		10	ns	S	从符合条件的SCLK边缘到 \overline{BUSY} 释放的传播延迟。
\overline{RST} 置位的宽度	t_{RMIN}	5			ns	S	异步 \overline{RST} 置位的最小宽度，5 pF外部负载。
置位时 \overline{RST} 至SCLK设置	t_{RS}	1.5			ns	S	从 \overline{RST} 释放到SCLK的下一个上升沿的最小建立时间。
每个SPI字的SCLK周期	t_{SPI}	29			周期	D	每个有效SPI操作所需的最小SCLK上升沿周期数，包括连续 \overline{CS} 置位之间的最小 t_{CSAM} 要求。
内部DAC从 \overline{BUSY} 释放 建立至 ± 2 mV以内	t_{DAC}		10		μ s	C _B	内部模拟DAC电平建立至 ± 2 mV以内的时间。建立时间相对于 \overline{BUSY} 释放。 ¹

¹ 总建立时间可能由模拟模块（例如PPMU或驱动器）的特性及其相应的模式设置（例如范围A或范围B）决定。

SPI时序图

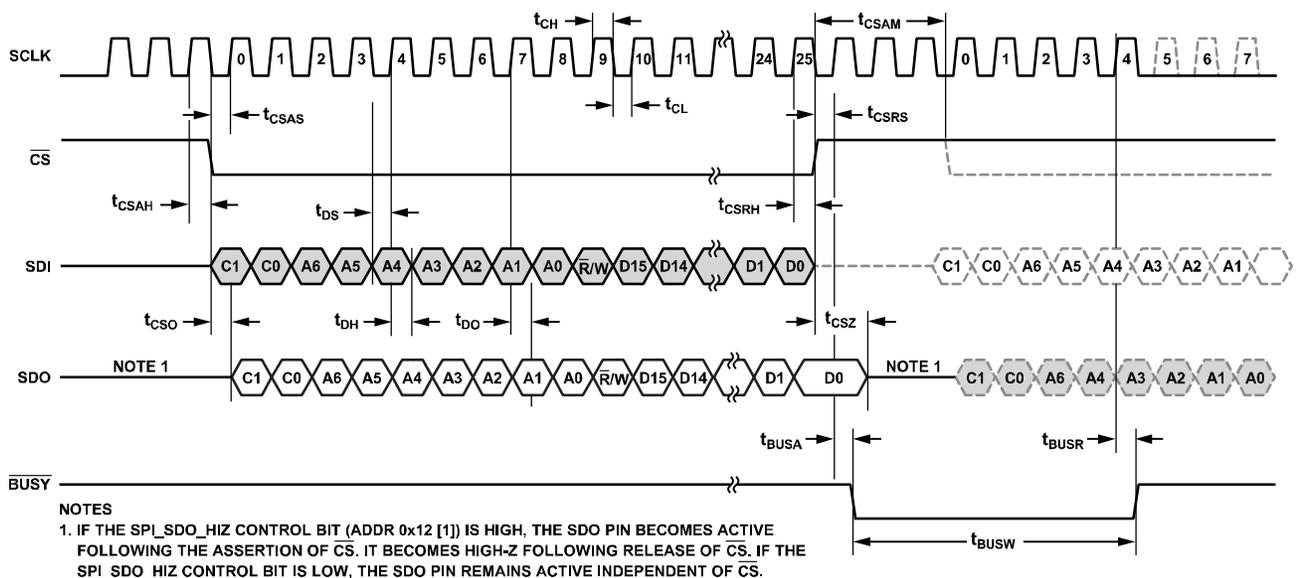
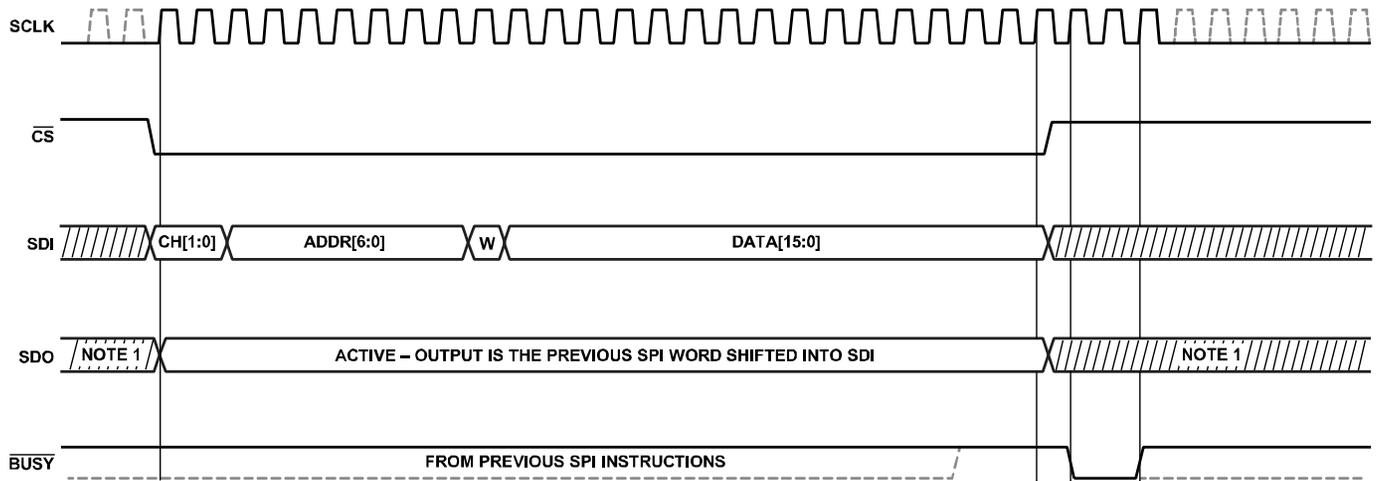


图2. SPI读/写时序图

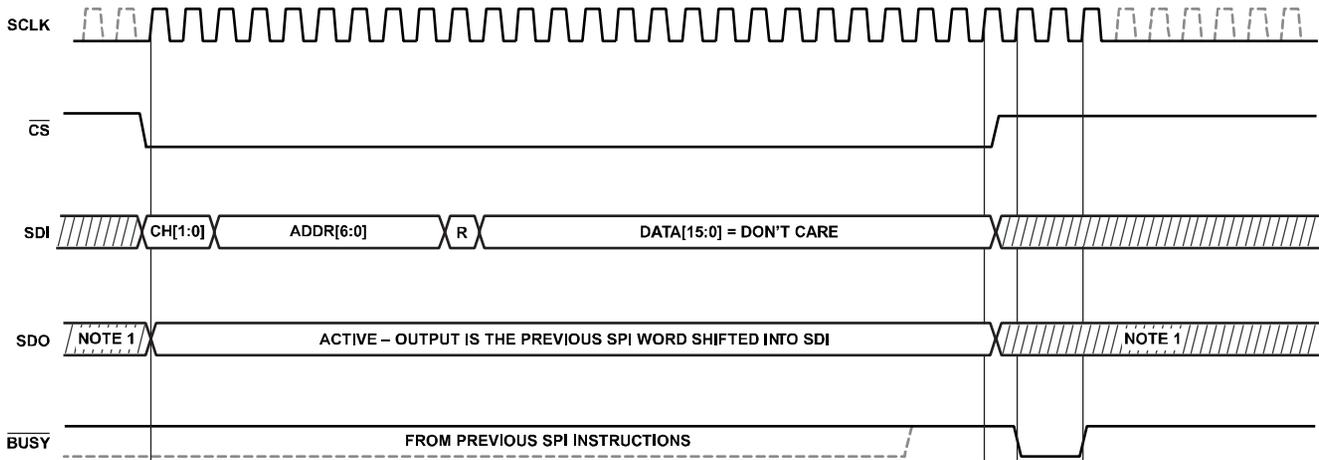


NOTES

1. IF THE SPI_SDO_HIZ CONTROL BIT (ADDR 0x12 [1]) IS HIGH, THE SDO PIN BECOMES ACTIVE FOLLOWING THE ASSERTION OF CS. IT BECOMES HIGH-Z FOLLOWING RELEASE OF CS. IF THE SPI_SDO_HIZ CONTROL BIT IS LOW, THE SDO PIN REMAINS ACTIVE INDEPENDENT OF CS.

图3. SPI写指令时序图

121E0D-003

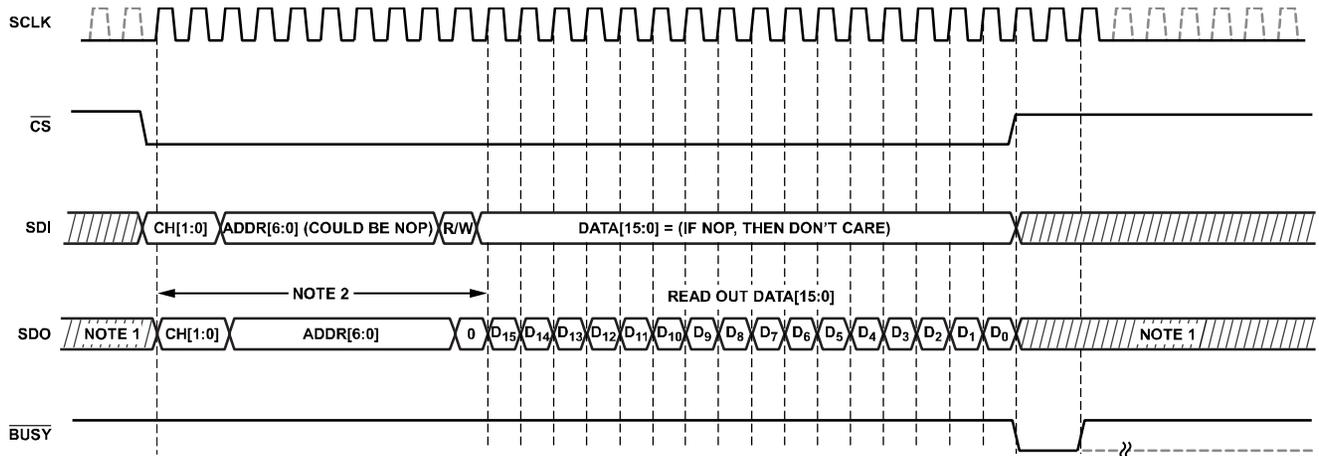


NOTES

1. IF THE SPI_SDO_HIZ CONTROL BIT (ADDR 0x12 [1]) IS HIGH, THE SDO PIN BECOMES ACTIVE FOLLOWING THE ASSERTION OF CS. IT BECOMES HIGH-Z FOLLOWING RELEASE OF CS. IF THE SPI_SDO_HIZ CONTROL BIT IS LOW, THE SDO PIN ALWAYS REMAINS ACTIVE INDEPENDENT OF CS.

图4. SPI读取请求指令时序图 (读出之前)

121E0D-004



NOTES

1. IF THE SPI_SDO_HIZ CONTROL BIT (ADDR 0x12 [1]) IS HIGH, THE SDO PIN BECOMES ACTIVE FOLLOWING THE ASSERTION OF CS. IT BECOMES HIGH-Z FOLLOWING RELEASE OF CS. IF THE SPI_SDO_HIZ CONTROL BIT IS LOW, THE SDO PIN REMAINS ACTIVE INDEPENDENT OF CS.
2. THE FIRST 10 BITS OF SDO FOLLOWING A READ REQUEST ECHO ADDRESS AND CHANNEL BITS OF THE PRECEDING REQUEST. THE R/W BIT POSITION IS SET LOW. THE FOLLOWING 16 BITS CONTAIN DATA FROM THE REQUESTED ADDRESS AND CHANNEL.

图5. SPI读出指令时序图（读取请求指令之后）

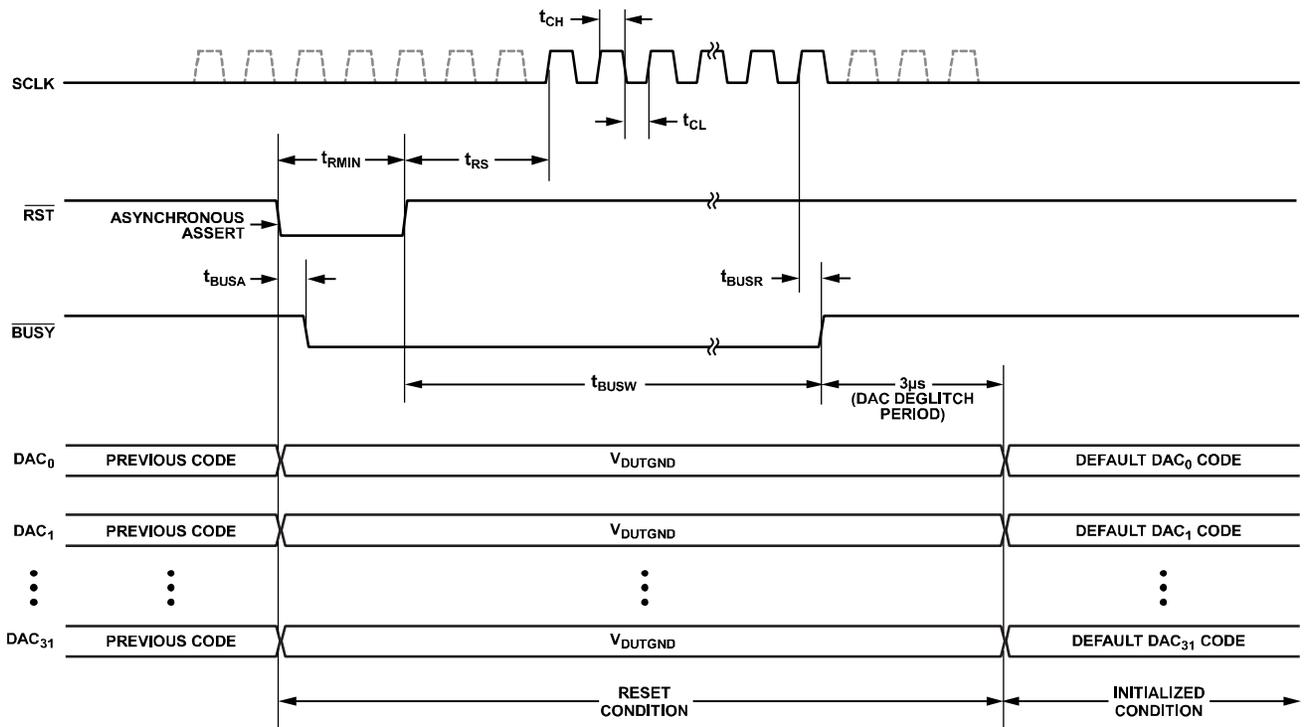


图6. SPI硬件复位时序图

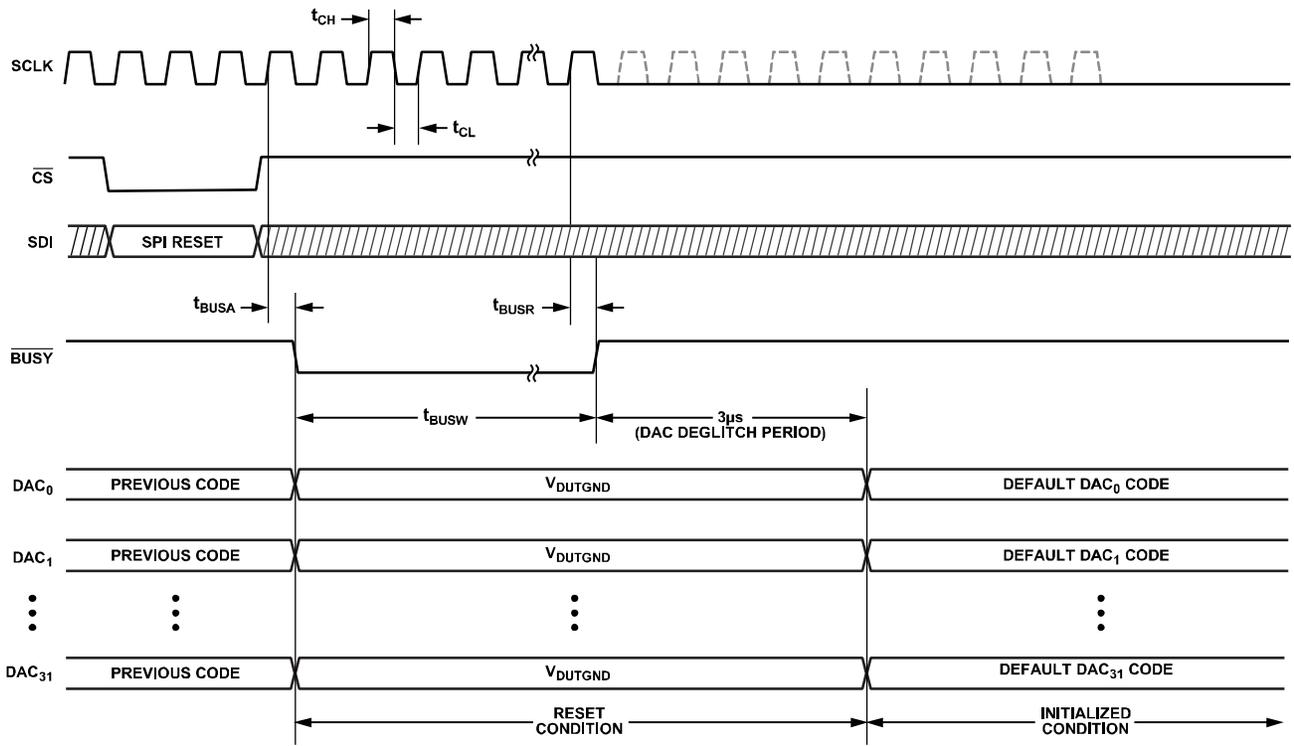


图7. SPI软件复位时序图

12186-007

绝对最大额定值

表15.

参数	额定值
电源电压	
正电源电压 (V_{CC} 至PGND)	-0.5 V至+9.0 V
正电源电压 (V_{DD} 至DGND)	-0.5 V至+2.2 V
负电源电压 (V_{EE} 至PGND)	-6.0 V至+0.5 V
电源电压差 (V_{CC} 至 V_{EE})	-1.0 V至+15.0 V
参考地 (DUTGND至AGND)	-0.5 V至+0.5 V
供电顺序或压降条件	无限制
输入/输出电压	
数字输入电压范围	-0.5 V至 $V_{DD} + 0.5$ V
VREF输入电压范围	-0.5 V至+3.5 V
VREFGND、DUTGND输入电压范围	-0.5 V至+0.5 V
DUTx输出短路电压 ¹	-3.0 V至+6.0 V
高速端接 (VTTCx, VTTCx) 输入电压范围	-0.5 V至+2.2 V
高速DATx/RCVx共模输入电压范围 ²	-0.5 V至+2.2 V
高速DATx/RCVx差分模式输入电压范围 ²	-1.0 V至+1.0 V
高速CMPHx/CHPLx、PPMU_CMPHx/ PPMU_CMPLx绝对输出电压范围	-0.5 V至+2.2 V
DUTx输入/输出引脚电流限制	
DCL最大短路电流 ³	±120 mA
工作温度 (结温)	125°C
存储温度范围	-65°C至+150°C

¹ $R_L = 0 \Omega$, V_{DUTx} 连续短路条件 (VIH、VIL、VIT), 高阻, VCOM, 所有箝位模式。

² DATx, \overline{DATx} , RCVx, \overline{RCVx} , $R_{SOURCE} = 0 \Omega$, 无引脚超过最大共模输入范围或差分输入范围。

³ $R_L = 0 \Omega$, $V_{DUTx} = -3$ V至+6 V; DCL电流限制。连续短路条件。根据设计, ADATE320可以承受连续短路故障。

注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热特性

θ_{JA} 针对最差条件, 即焊接在电路板上的器件为表贴封装。

表16. 热阻

封装类型	气流速度(m/s)	θ_{JA}	θ_{JC}	单位
84引脚	N/A ¹	N/A ¹	3.2	°C/W
LFCSP	0	45	N/A ¹	°C/W
	1	40	N/A ¹	°C/W
	2	37	N/A ¹	°C/W

¹ N/A表示不适用。

测试等级说明

D	定义。
S	设计验证仿真。
P	100%生产测试。
P _F	在生产测试期间进行过功能检查。
C _T	在测试仪上测定。
C _B	在试验台上测定。

ESD警告



ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量 ESD 时, 器件可能会损坏。因此, 应当采取适当的 ESD 防范措施, 以避免器件性能下降或功能丧失。

用户信息和真值表

表17. 驱动器真值表¹

DRV控制寄存器				高速输入 ²		驱动器级
DRIVE_ENABLE_x, 地址0x19, 位0	DRIVE_FORCE_x, 地址0x19, 位1	DRIVE_FORCE_STATE_x, 地址0x19, 位[3:2]	DRIVE_VT_HIZ_x, 地址0x19, 位4	DATx	RCVx	
0	X	XX	X	X	X	低漏电流
1	1	00	X	X	X	有效VIL
1	1	01	X	X	X	有效VIH
1	1	10	X	X	X	有效高阻
1	1	11	X	X	X	有效VIT
1	0	XX	0	X	1	有效高阻
1	0	XX	1	X	1	有效VIT
1	0	XX	X	0	0	有效VIL
1	0	XX	X	1	0	有效VIH

¹ X表示无关。

² 有关高速 DATx/RCVx 输入多路复用的更多详细信息，请参见图 139。

表18. 比较器真值表

DMC_ENABLE, 地址0x1A, 位0	比较器状态							
	CMPH0	状态	CMPL0	状态	CMPH1	状态	CMPL1	状态
0	$V_{DUT0} < VOH0$	0	$V_{DUT0} < VOL0$	0	$V_{DUT1} < VOH1$	0	$V_{DUT1} < VOL1$	0
	$VOH0 < V_{DUT0}$	1	$VOL0 < V_{DUT0}$	1	$VOH1 < V_{DUT1}$	1	$VOL1 < V_{DUT1}$	1
1 ¹	$V_{DUT0} - V_{DUT1} < VOH0$	0	$V_{DUT0} - V_{DUT1} < VOL0$	0	$V_{DUT1} < VOH1$	0	$V_{DUT1} < VOL1$	0
	$VOH0 < V_{DUT0} - V_{DUT1}$	1	$VOL0 < V_{DUT0} - V_{DUT1}$	1	$VOH1 < V_{DUT1}$	1	$VOL1 < V_{DUT1}$	1

¹ 请注意，当器件处于差分比较模式时，通道1常规窗口比较器会继续工作，但带宽大大减少。

表19. 有源负载真值表¹

LOAD/DRV控制寄存器				高速输入 ²		负载状态
LOAD_ENABLE_x, 地址0x1B, 位0	LOAD_FORCE_x, 地址0x1B, 位1	DRIVE_VT_HIZ_x, 地址0x19, 位4	DATx	RCVx		
0	X	X	X	X	低漏电流	
1	1	X	X	X	有效开启	
1	0	X	X	0	有效关闭	
1	0	0	X	1	有效开启	
1	0	1	X	1	有效关闭	

¹ X表示无关。

² 有关高速DATx/RCVx输入多路复用的更多详细信息，请参见图139。

表20. PPMU Go/No-Go比较器真值表¹

PPMU控制寄存器		PPMU Go/No-Go比较器级 ²			
PPMU_ENABLE_x, 地址0x1C, 位0	PPMU_STANDBY_x, 地址0x1C, 位1	PPMU_CMPHx	状态	PPMU_CMPLx	状态
0	X	X	0	X	0
1	X	PPMUx MV/MI < POHx	0	PPMUx MV/MI < POLx	0
1	X	POHx < PPMUx MV/MI	1	POLx < PPMUx MV/MI	1

¹ X表示无关。

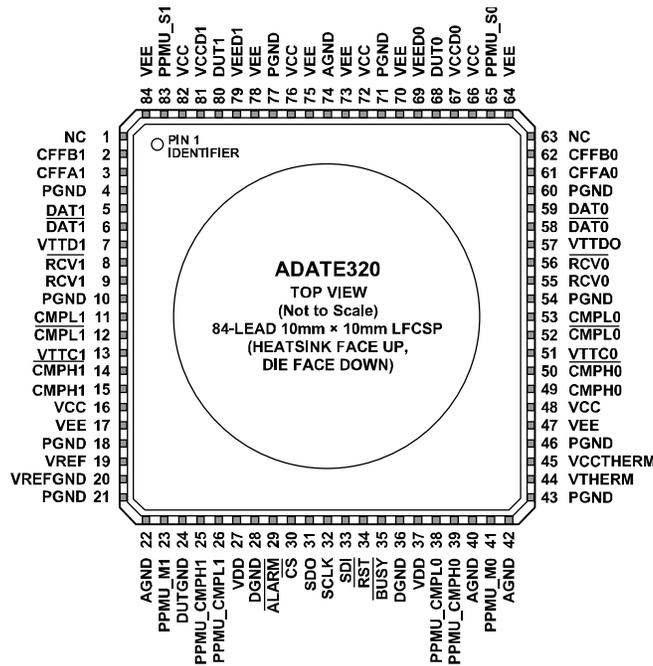
² PPMU Go/No-Go比较器的PPMUx MV/MI输入始终直接来自相应的内部PPMU仪表放大器，而不是来自PPMU_Mx输出引脚（见图144）。内部仪表放大器独立配置为测量电压(MV)或测量电流(MI)，具体取决于PPMU_MEAS_VI_x控制位的设置，如图151所示。当未启用PPMU电源时，相应的Go/No-Go比较器输出将锁定为静态低电平状态（参见表21）。

表21. PPMU测量引脚真值表¹

PPMU控制寄存器					PPMU_Mx, 引脚 状态
PPMU_ENABLE_x, 地址0x1C, 位0	PPMU_STANDBY_x, 地址0x1C, 位1	PPMU_MEAS_ENABLE_x, 地址0x1C, 位13	PPMU_MEAS_SEL_x, 地址0x1C, 位14	PPMU_MEAS_VI_x, 地址0x1C, 位6	
X	X	0	X	X	高阻
0	X	1	0	X	有效MV
0	X	1	1	X	有效VTHERM ²
1	X	1	0	0	有效MV
1	X	1	0	1	有效MI
1	X	1	1	X	有效VTHERM ²

¹ X表示无关。² 适用时, PPMU_M0连接到内部温度传感器节点(VTHERM), PPMU_M1连接到内部温度传感器参考接地节点(AGND) (参见图144)。

引脚配置和功能描述



- NOTES
 1. NC = NO CONNECT.
 2. THE EXPOSED PAD IS INTERNALLY CONNECTED VIA A HIGH IMPEDANCE DIE ATTACHED TO VEE (SUBSTRATE).

12169C-039

图8. 引脚配置

表22. 引脚功能描述

引脚编号	引脚名称	描述
59	DAT0	驱动器高速数据输入，通道0。
58	DAT0	驱动器高速数据输入负端，通道0。
57	VTTDO	驱动器高速输入终端，通道0。
55	RCV0	驱动器高速接收器输入，通道0。
56	RCV0	驱动器高速接收器输入负端，通道0。
5	DAT1	驱动器高速数据输入，通道1。
6	DAT1	驱动器高速数据输入负端，通道1。
7	VTTD1	驱动器高速输入终端，通道1。
9	RCV1	驱动器高速接收器输入，通道1。
8	RCV1	驱动器高速接收器输入负端，通道1。
53	CMPL0	比较器高速输出低电平，通道0。
52	CMPL0	比较器高速输出低电平负端，通道0。
51	VTTC0	比较器高速输出端接，通道0。
49	CMPH0	比较器高速输出高电平，通道0。
50	CMPH0	比较器高速输出高电平负端，通道0。
11	CMPL1	比较器高速输出低电平，通道1。
12	CMPL1	比较器高速输出低电平负端，通道1。
13	VTTC1	比较器高速输出端接，通道1。
15	CMPH1	比较器高速输出高电平，通道1。
14	CMPH1	比较器高速输出高电平负端，通道1。
61	CFFA0	PPMU外部补偿电容引脚A，通道0。
62	CFFB0	PPMU外部补偿电容引脚B，通道0。
65	PPMU_S0	PPMU外部检测连接，通道0。
41	PPMU_M0	PPMU模拟测量输出，通道0。
38	PPMU_CMPL0	PPMU Go/No-Go比较器输出低电平，通道0。

引脚编号	引脚名称	描述
39	PPMU_CMPH0	PPMU Go/No-Go比较器输出高电平, 通道0。
3	CFFA1	PPMU外部补偿电容引脚A, 通道1。
2	CFFB1	PPMU外部补偿电容引脚B, 通道1。
83	PPMU_S1	PPMU外部检测连接, 通道1。
23	PPMU_M1	PPMU模拟测量输出, 通道1。
26	PPMU_CMPL1	PPMU Go/No-Go比较器输出低电平, 通道1。
25	PPMU_CMPH1	PPMU Go/No-Go比较器输出高电平, 通道1。
34	RST	复位输入(低电平有效)。
32	SCLK	串行可编程接口(SPI)时钟输入。
30	CS	串行可编程接口(SPI)片选输入(低电平有效)。
33	SDI	串行可编程接口(SPI)串行数据输入。
31	SDO	串行可编程接口(SPI)串行数据输出。
29	ALARM	故障报警开漏输出(开路集电极, 低电平有效)。
35	BUSY	串行可编程接口(SPI)繁忙输出(开路集电极, 低电平有效)。
19	VREF	DAC精度2.500 V基准输入。
20	VREFGND	DAC精度0.000 V基准输入。
24	DUTGND	DUT地检测输入。
68	DUT0	DUT引脚, 通道0。
80	DUT1	DUT引脚, 通道1。
45	VCCTHERM	温度传感器VCC电源(8.0 V)。
44	VTHERM	温度传感器模拟输出。
16, 48, 66, 67, 72, 76, 81, 82	VCC, VCCD0, VCCD1	模拟电源(8.0 V)。
27, 37	VDD	数字电源(1.8 V)。
22, 40, 42, 74	AGND	模拟地(静态)。
28, 36	DGND	数字地。
4, 10, 18, 21, 43, 46, 54, 60, 71, 77	PGND	电源地。
17, 47, 64, 69, 70, 73, 75, 78, 79, 84	VEE, VEED0, VEED1	模拟电源(-5.0 V)。
1, 63	NC	不连接。这些引脚可接地, 也可悬空。
	EP	裸露焊盘。裸露焊盘通过连接到VEE(基板)的高阻抗芯片以内部方式连接。

典型性能参数

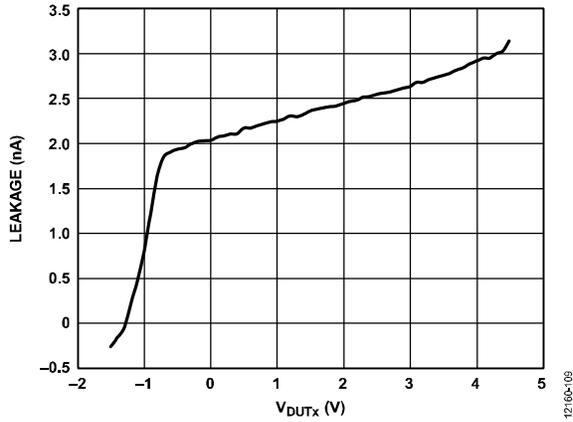


图9. 高阻模式下DUTx引脚泄漏

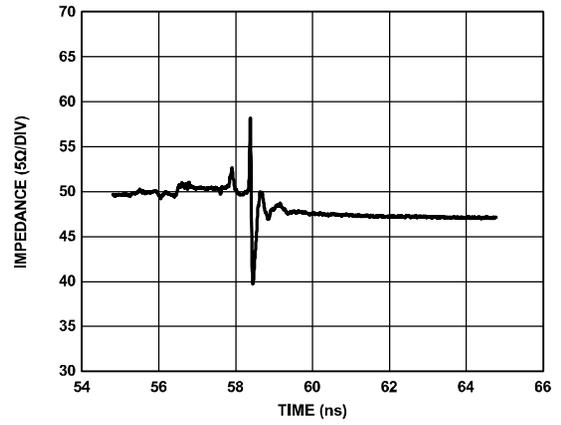


图12. DUTx引脚时域反射(TDR)响应

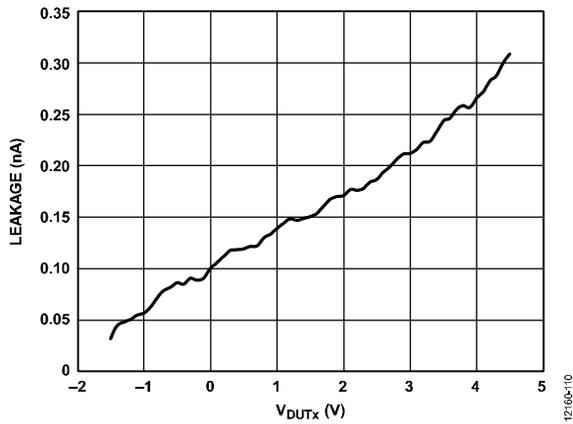


图10. 低泄漏模式下的DUTx引脚泄漏

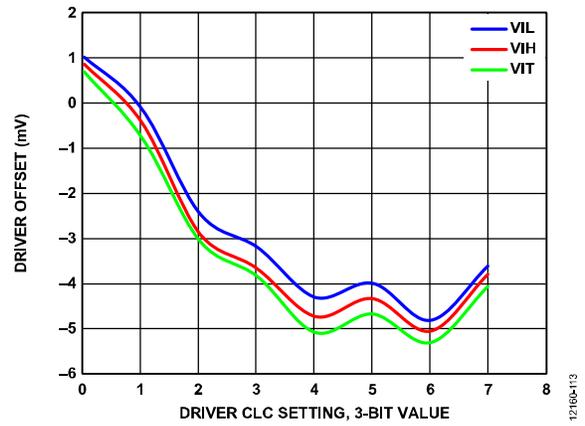


图13. 驱动器偏置与驱动器CLC设置, 3位值

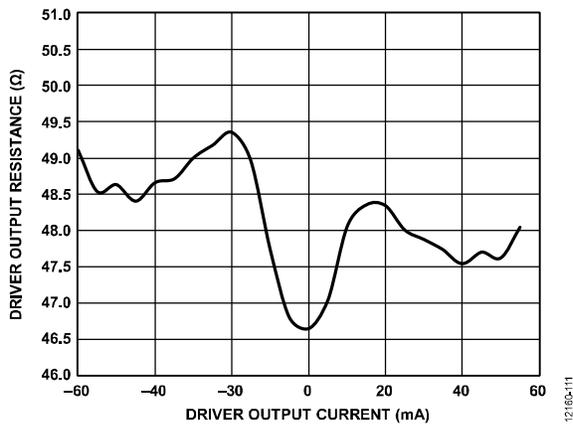


图11. 驱动器输出电阻与驱动器输出电流的关系

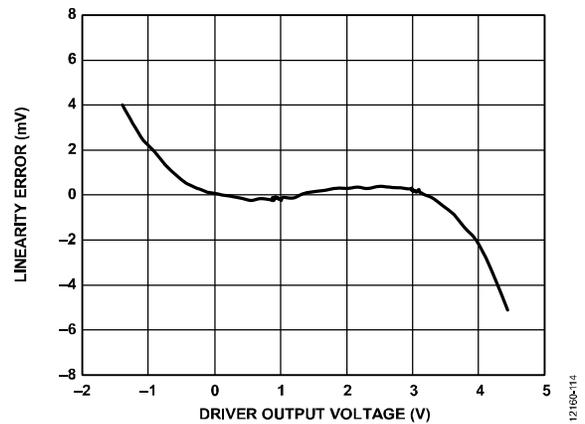


图14. 驱动器VIH INL

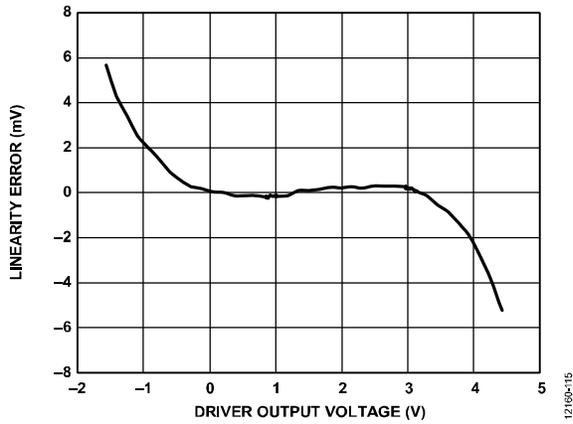


图15. 驱动器VIL INL

12160-115

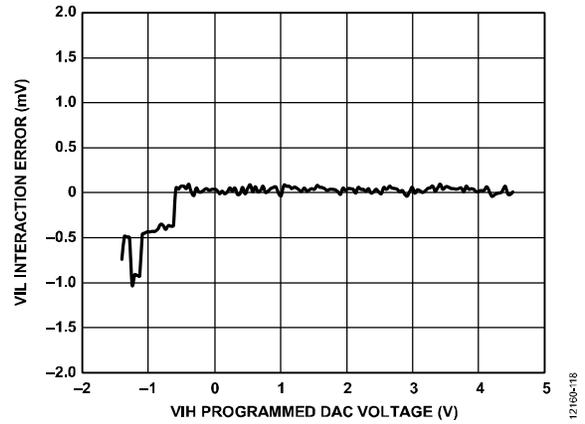


图18. 驱动器VIL交互作用误差与VIH编程DAC电压的关系

12160-118

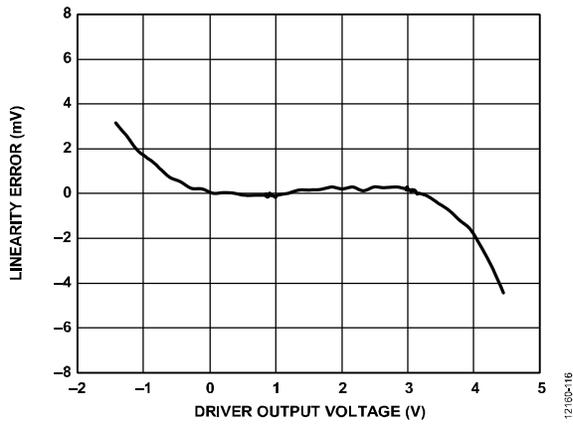


图16. 驱动器VIT INL

12160-116

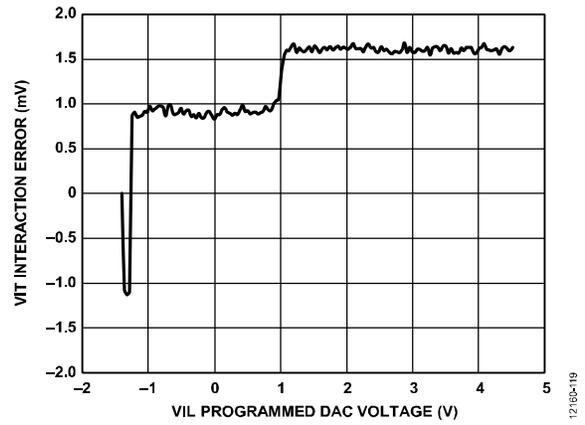


图19. 驱动器VIT交互作用误差与VIH编程DAC电压的关系

12160-119

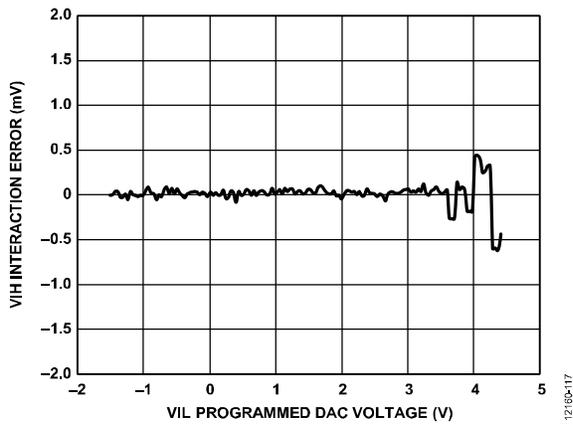


图17. 驱动器VIH交互误差与VIL编程DAC电压的关系

12160-117

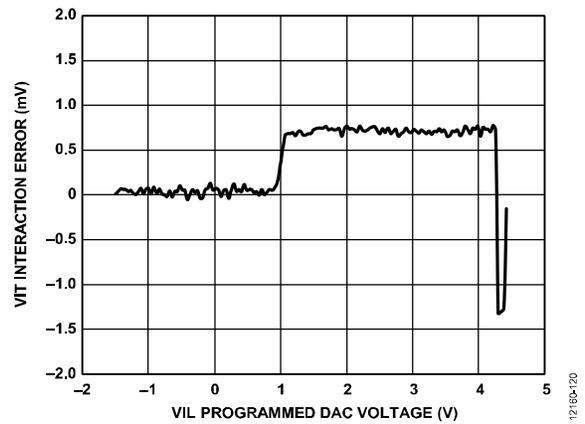


图20. 驱动器VIT交互误差与VIL编程DAC电压的关系

12160-120

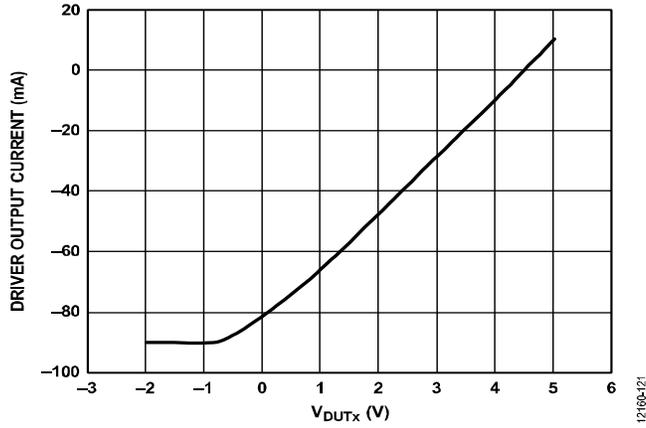


图21. 驱动器输出灌电流限制

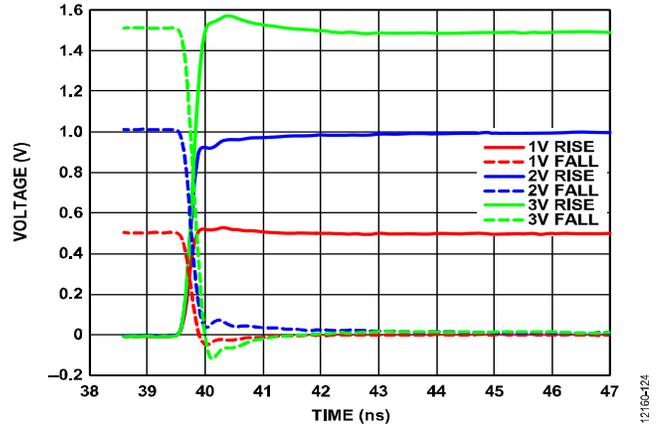


图24. 驱动器大摆幅响应

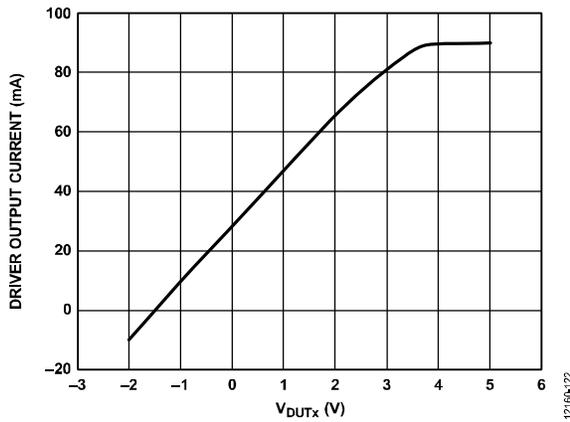


图22. 驱动器输出源电流限制

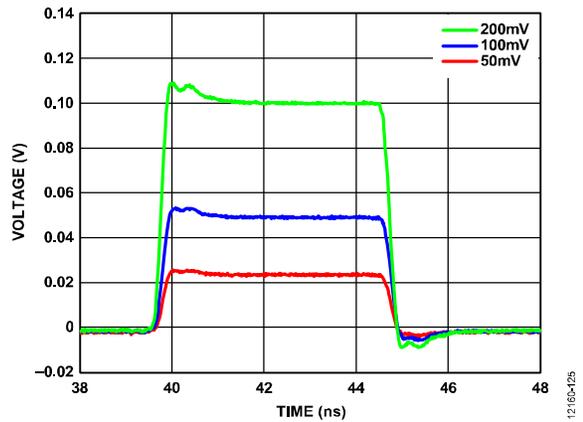


图25. 驱动器100 MHz响应, 小摆幅

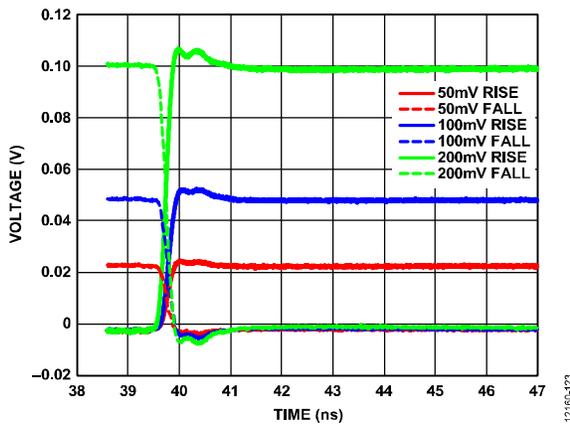


图23. 驱动器小摆幅响应

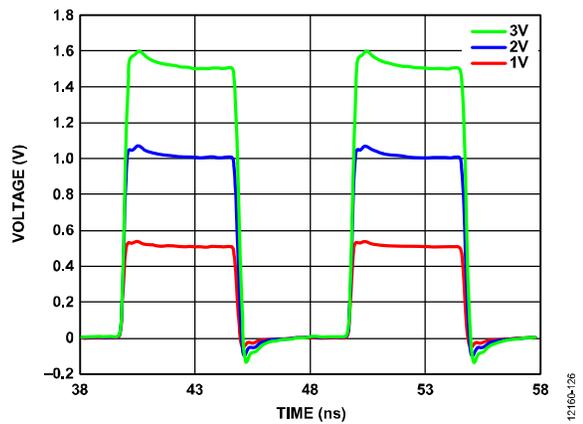


图26. 驱动器100 MHz响应, 大摆幅

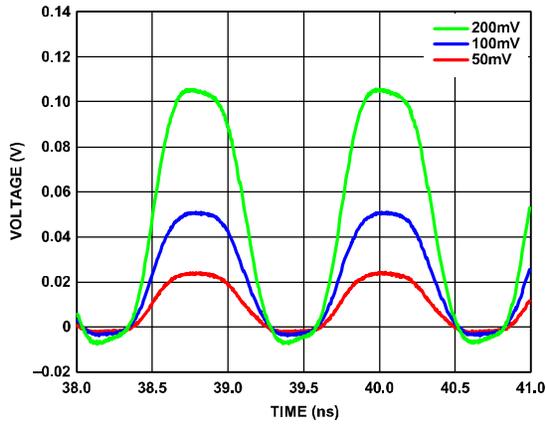


图27. 驱动器800 MHz响应, 小摆幅

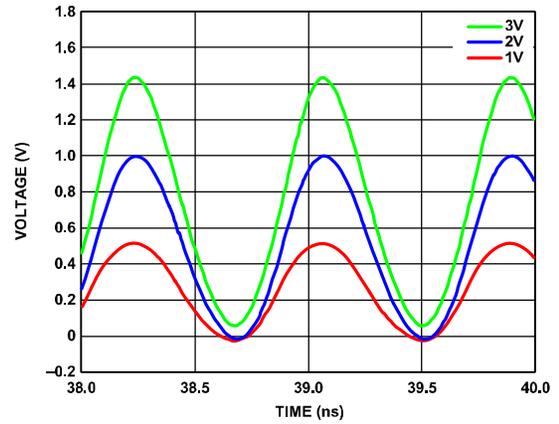


图30. 驱动器1.25 GHz响应, 大摆幅

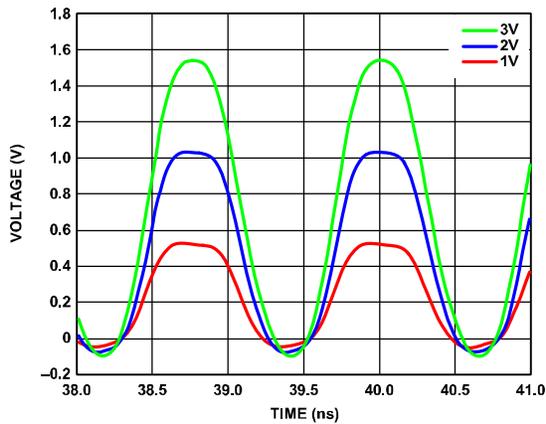


图28. 驱动器800 MHz响应, 大摆幅

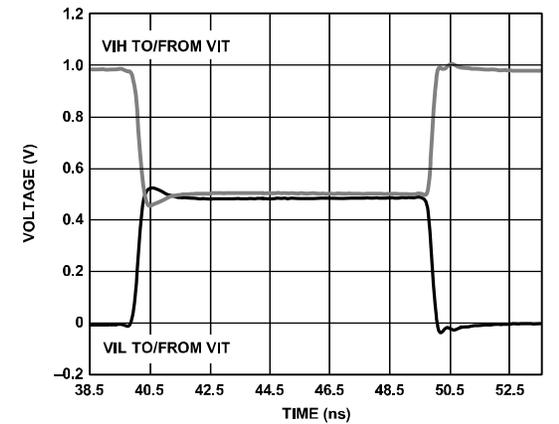


图31. 驱动器VIT/VIH至/从VIT, $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.0\text{ V}$, $V_{IT} = 1.0\text{ V}$; 50 Ω 端接

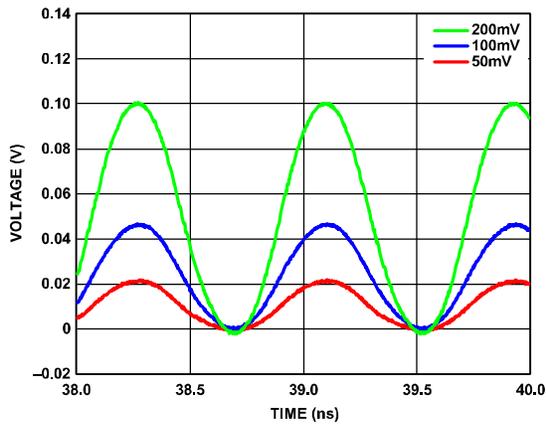


图29. 驱动器1.25 GHz响应, 小摆幅

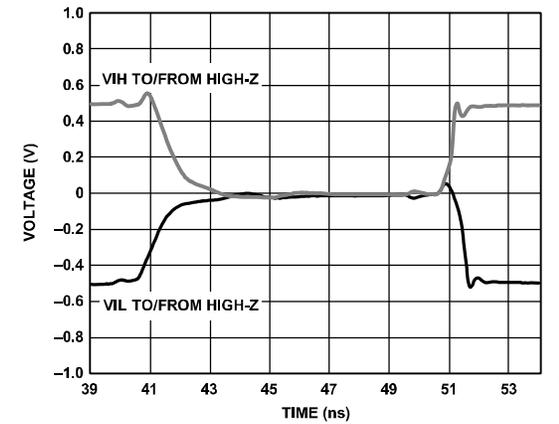


图32. 驱动器VIL/VIH至/从高阻, $V_{IH} = 1.0\text{ V}$, $V_{IL} = -1.0\text{ V}$; 50 Ω 端接

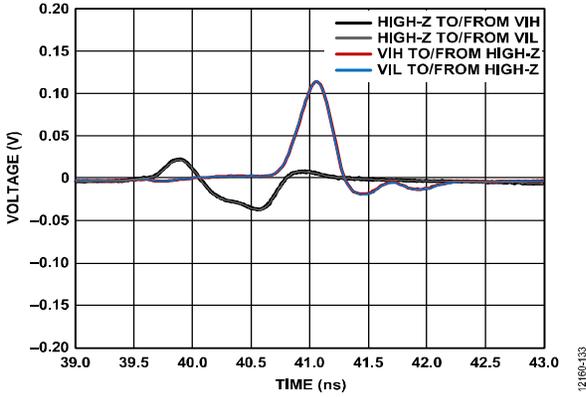


图33. 驱动器至/从高阻瞬态尖峰, $V_{IH} = V_{IL} = 0.0\text{ V}$; $50\ \Omega$ 端接

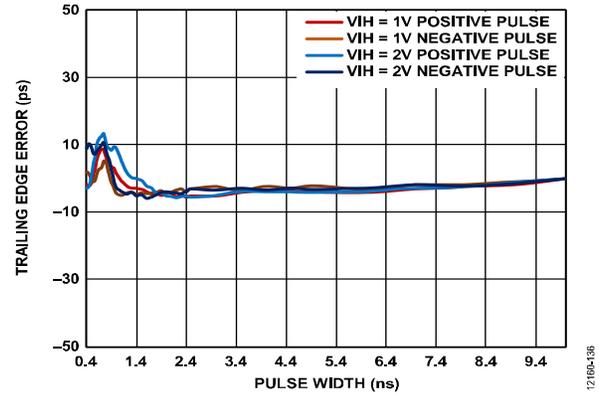


图36. 驱动器脉冲宽度 (正/负) Trailing Edge时间误差, $V_{IH} = 1.0\text{ V}, 2.0\text{ V}$; $V_{IL} = 0.0\text{ V}$; $CLC =$ 中间值; $50\ \Omega$ 端接

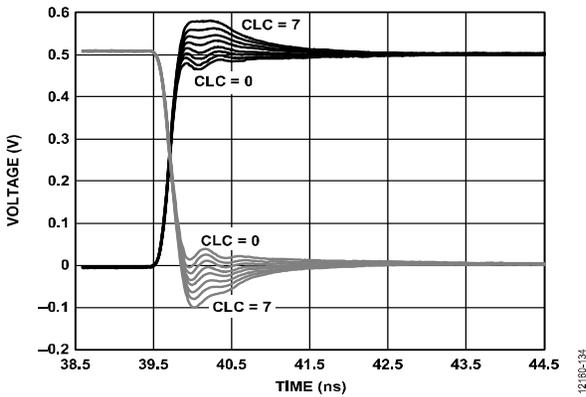


图34. 驱动器跃迁与CLC, $V_{IH} = 1.0\text{ V}$, $V_{IL} = 0.0\text{ V}$; $50\ \Omega$ 端接

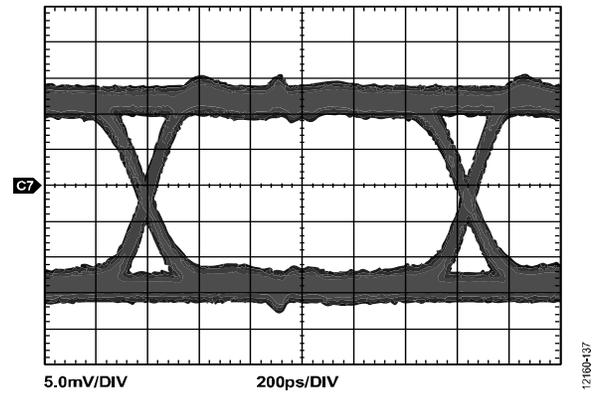


图37. 驱动器眼图, 800 Mbps, PRBS31, $V_{IH} = 50\text{ mV}$, $V_{IL} = 0.0\text{ V}$; $50\ \Omega$ 端接

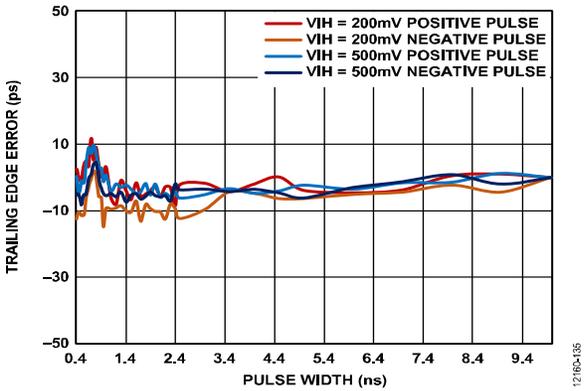


图35. 驱动器脉冲宽度 (正/负) Trailing Edge时间误差, $V_{IH} = 0.2\text{ V}, 0.5\text{ V}$; $V_{IL} = 0.0\text{ V}$; $CLC =$ 中间值; $50\ \Omega$ 端接

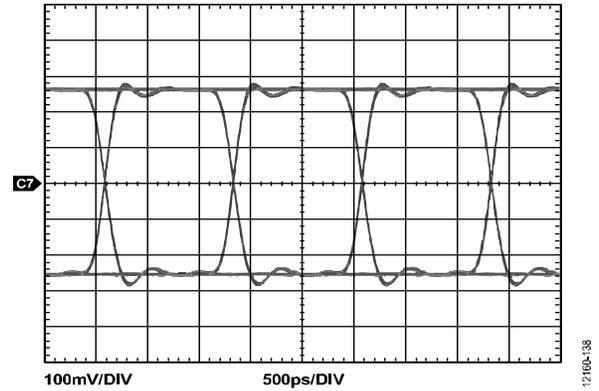


图38. 驱动器眼图, 800 Mbps, PRBS31, $V_{IH} = 1.0\text{ V}$, $V_{IL} = 0.0\text{ V}$; $50\ \Omega$ 端接

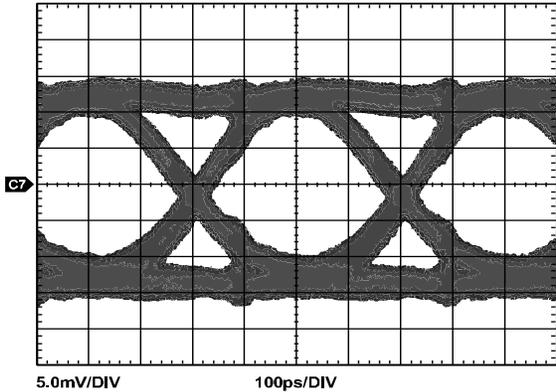


图39. 驱动器眼图, 2.5 Gbps, PRBS31, $V_{IH} = 50\text{ mV}$, $V_{IL} = 0.0\text{ V}$; 50 Ω 端接

121865-139

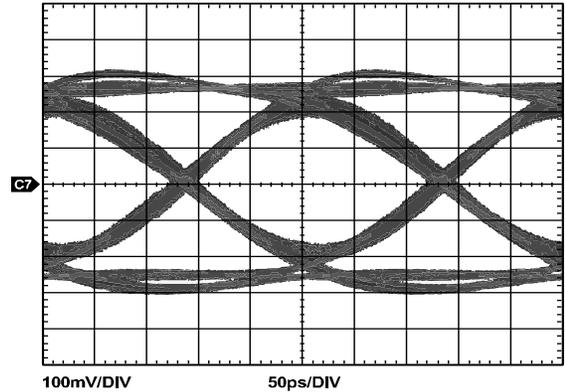


图42. 驱动器眼图, 4.0 Gbps, PRBS31, $V_{IH} = 1.0\text{ V}$, $V_{IL} = 0.0\text{ V}$; 50 Ω 端接

121865-142

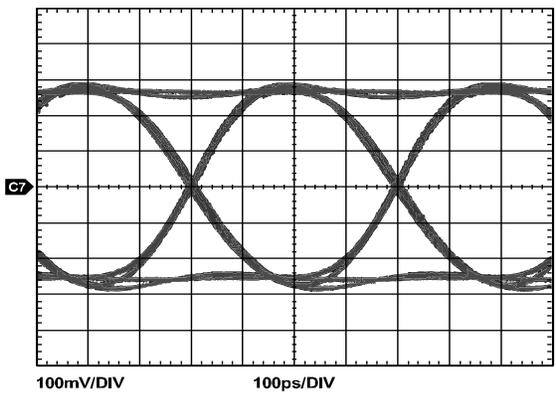


图40. 驱动器眼图, 2.5 Gbps, PRBS31, $V_{IH} = 1.0\text{ V}$, $V_{IL} = 0.0\text{ V}$; 50 Ω 端接

121865-140

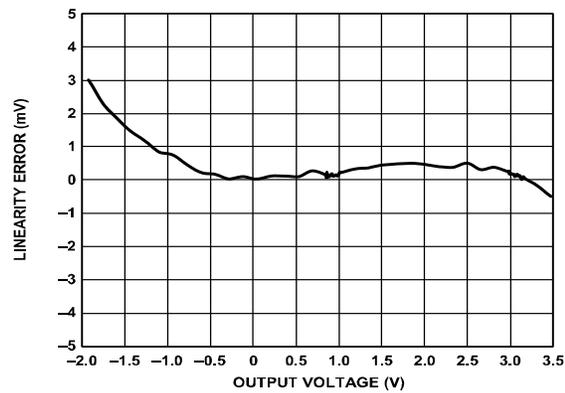


图43. 反射箝位VCLx INL

121865-143

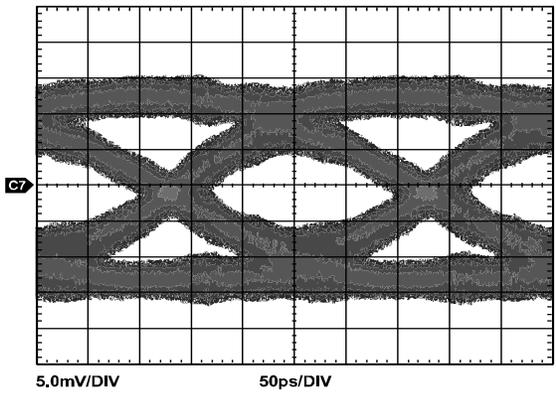


图41. 驱动器眼图, 4.0 Gbps, PRBS31, $V_{IH} = 50\text{ mV}$, $V_{IL} = 0.0\text{ V}$; 50 Ω 端接

121865-141

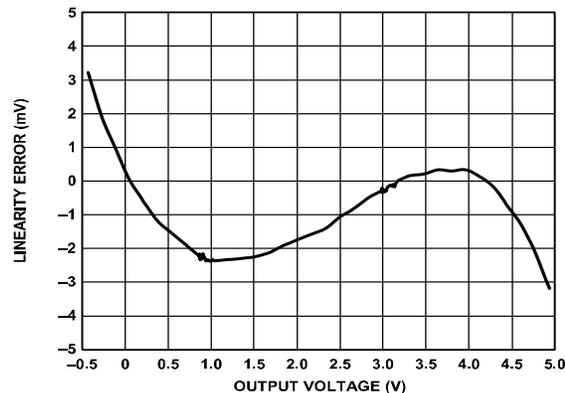


图44. 反射箝位VCHx INL

121865-144

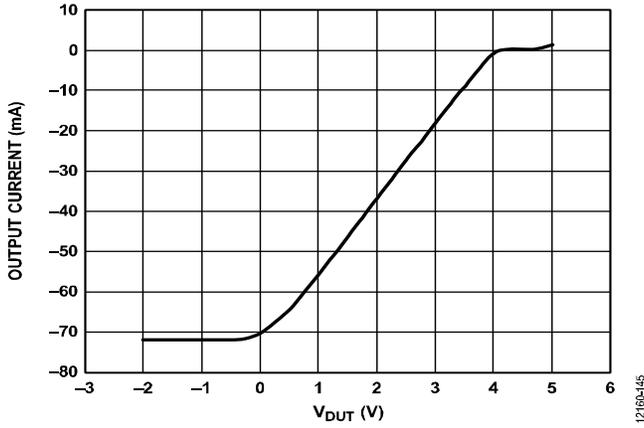


图45. 反射箝位电流限制, $V_{CHx} = 5.0\text{ V}$, $V_{CLx} = 4.0\text{ V}$;
 V_{DUTx} 扫描范围为-2.0 V至+5.0 V

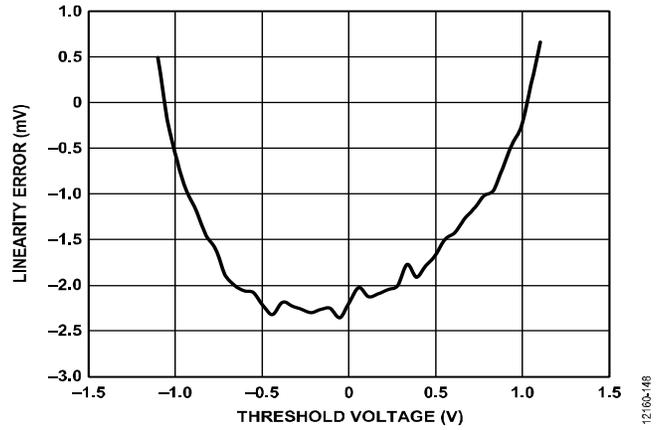


图48. 差分模式比较器阈值INL

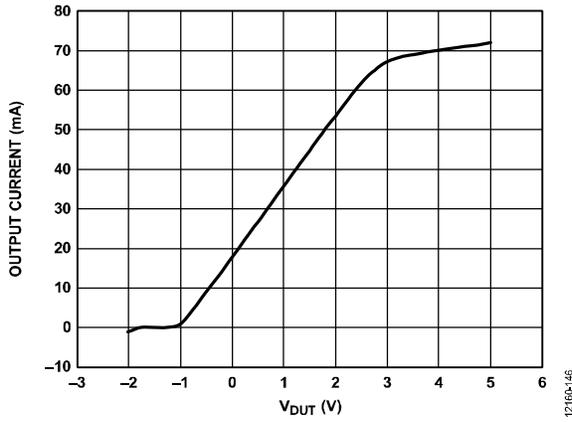


图46. 反射箝位电流限制, $V_{CHx} = -1.0\text{ V}$, $V_{CLx} = -2.0\text{ V}$;
 V_{DUTx} 扫描范围为-2.0 V至+5.0 V

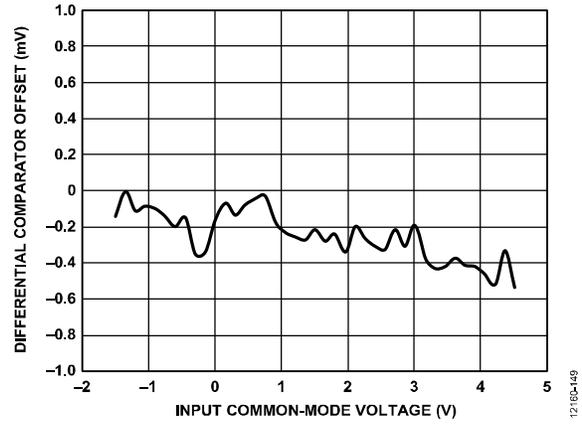


图49. 差分模式比较器共模抑制误差

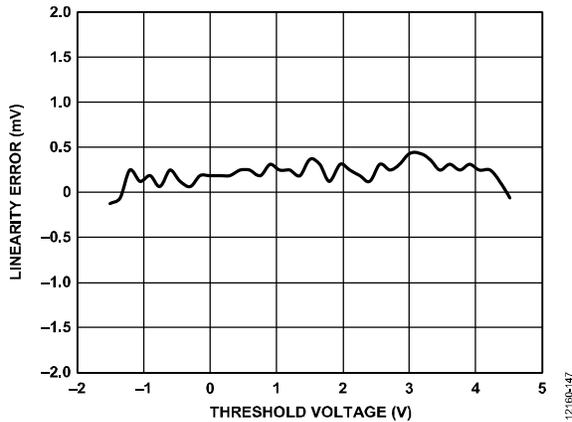


图47. 常规窗口比较器阈值INL

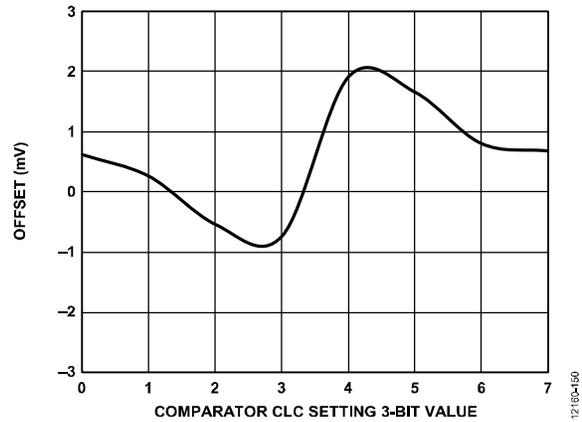


图50. 常规窗口比较器偏置误差与CLC设置的关系

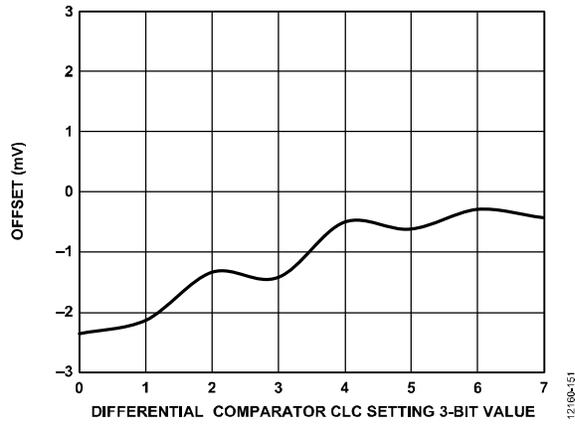


图51. 差分模式比较器偏置误差与CLC设置的关系

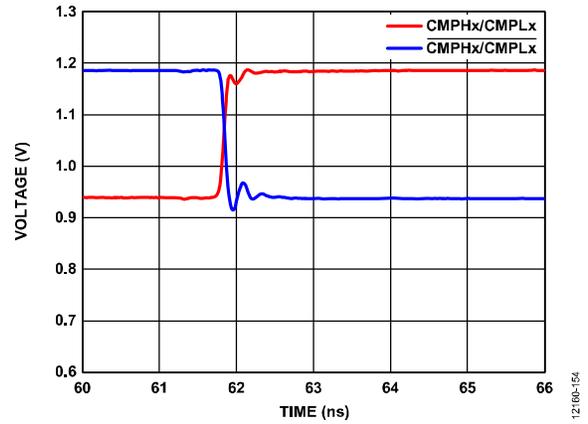


图54. 比较器CML输出波形(ADATE320)

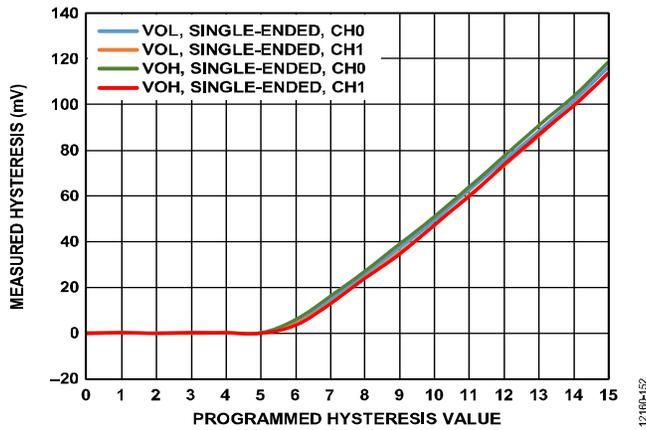


图52. 常规窗口比较器迟滞与编程迟滞值的关系

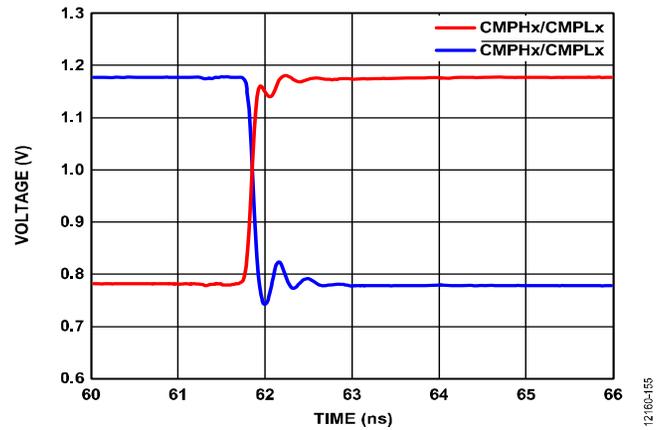


图55. 比较器CML输出波形(ADATE320-1)

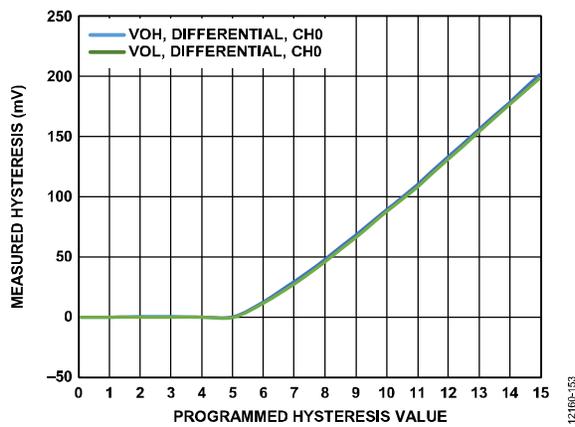


图53. 差分模式比较器迟滞与编程迟滞值的关系

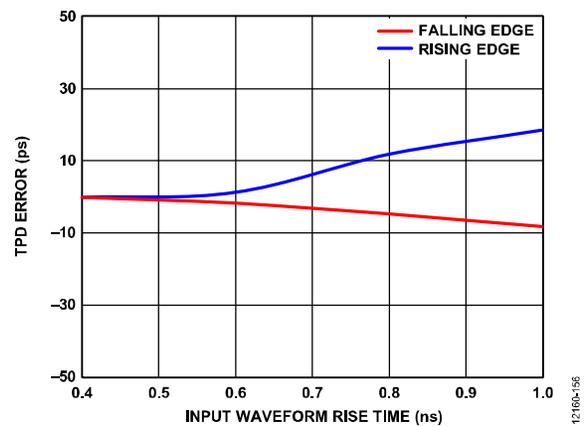


图56. 常规窗口比较器传播延迟与输入上升时间的关系, 1.0 V输入摆幅

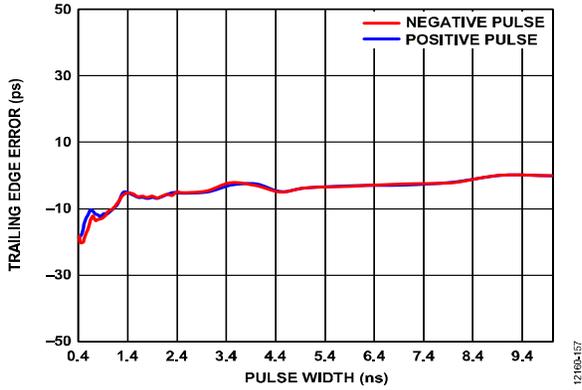


图57. 常规窗口比较器脉冲宽度 (正/负) Trailing Edge时间误差, 1.0 V输入摆幅

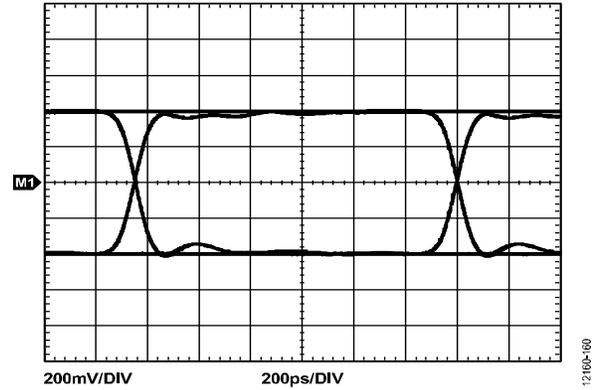


图60. 常规窗口比较器眼图, 800 Mbps, PRBS31, 1.0 V输入摆幅, 50 Ω端接

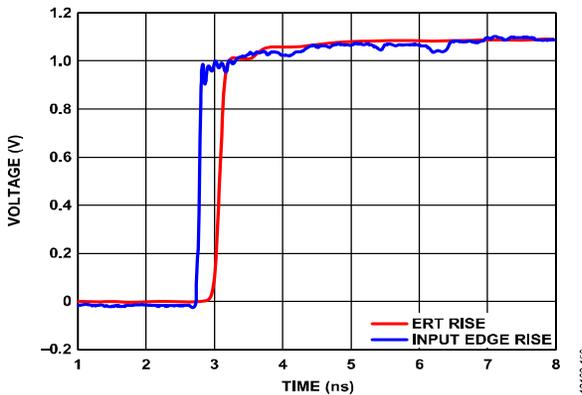


图58. 常规窗口比较器等效上升时间(ERT), 1.0 V输入摆幅, 50 ps 20%至80%; 50 Ω端接

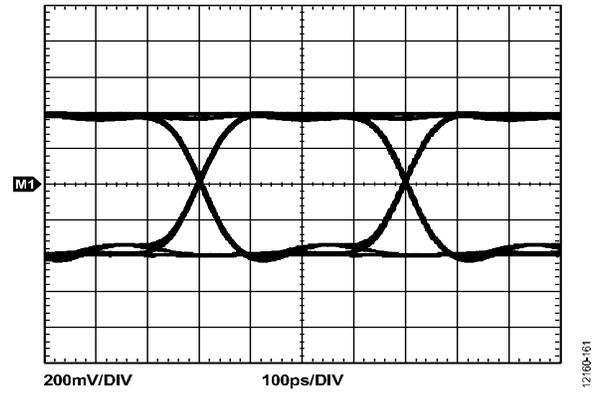


图61. 常规窗口比较器眼图, 2.5 Gbps, PRBS31, 1.0 V输入摆幅; 50 Ω端接

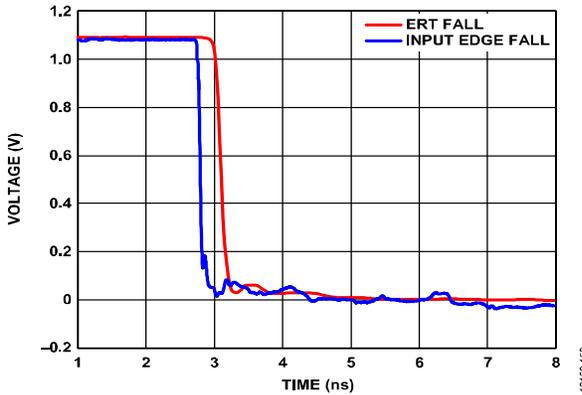


图59. 常规窗口比较器等效下降时间 (EFT), 1.0 V输入摆幅, 50 ps 20%至80%; 50 Ω端接

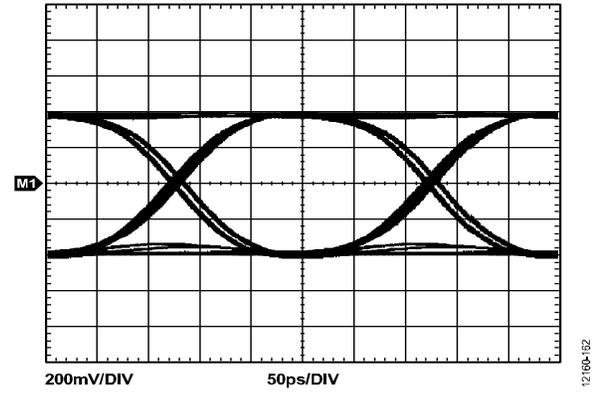


图62. 常规窗口比较器眼图, 4.0 Gbps, PRBS31, 1.0 V输入摆幅; 50 Ω端接

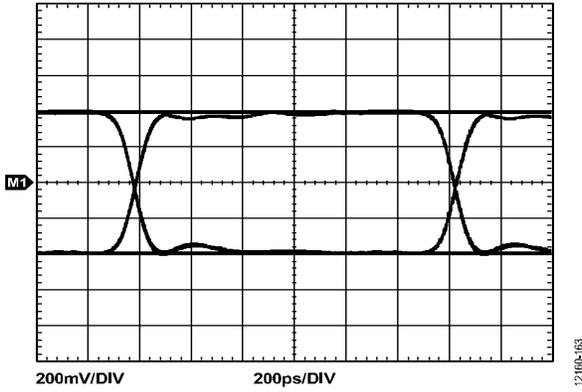


图63. 差分模式比较器眼图, 800 Mbps, PRBS31, 1.0 V 输入摆幅, 50 Ω 端接

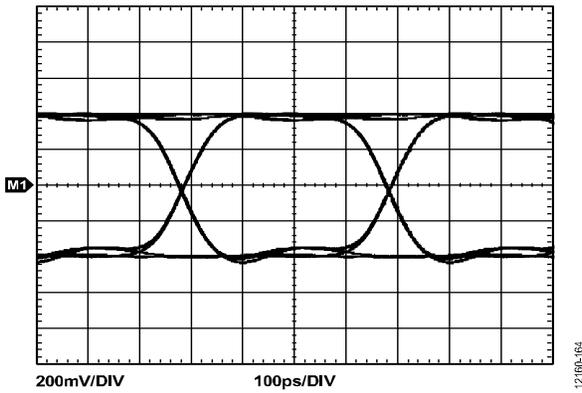


图64. 差分模式比较器眼图, 2.5 Gbps, PRBS31, 1.0 V 输入摆幅, 50 Ω 端接

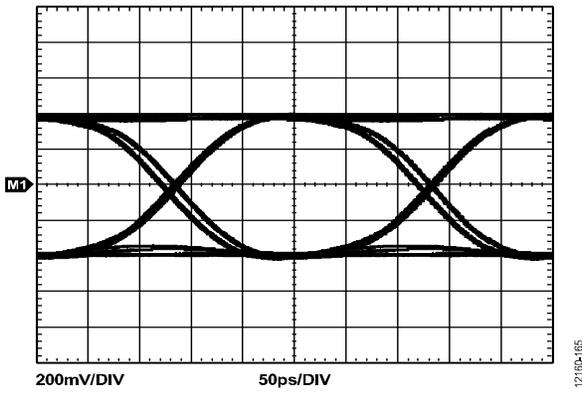


图65. 差分模式比较器眼图, 4.0 Gbps, PRBS31, 1.0 V 输入摆幅, 50 Ω 端接

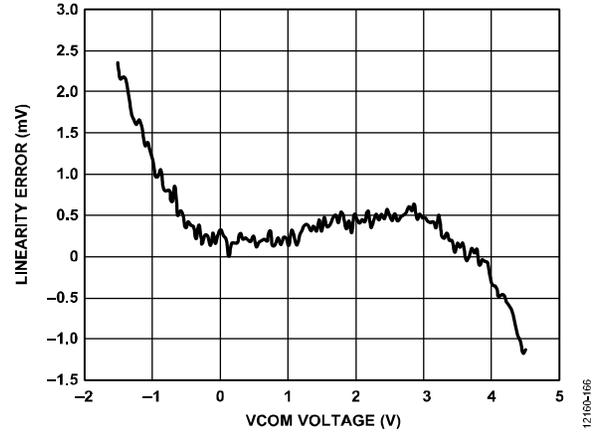


图66. 有源负载VCOM INL

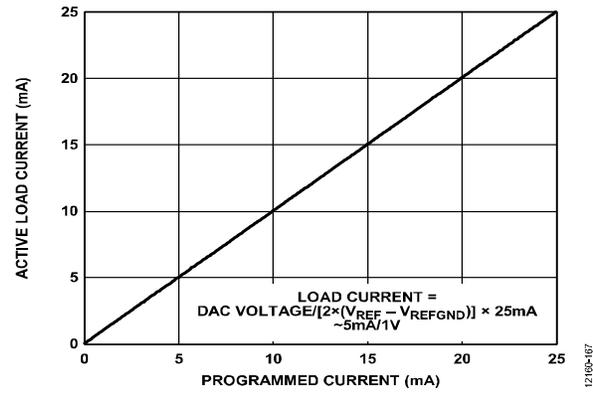


图67. 有源负载IOHx/IOLx转换函数

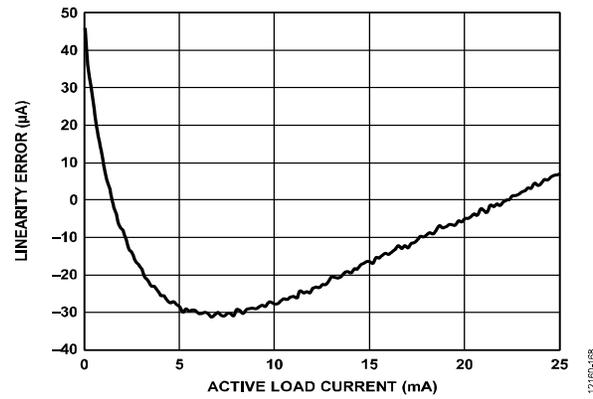


图68. 有源负载IOHx INL

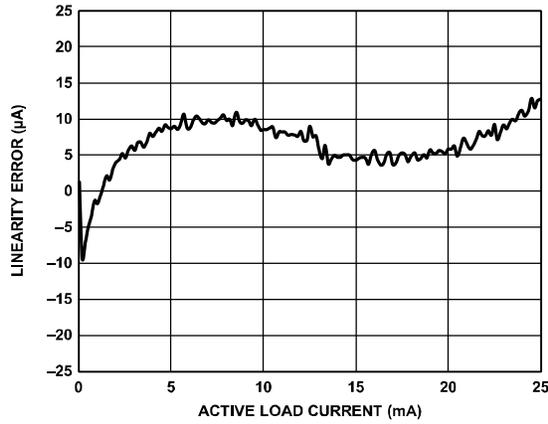


图69. 有源负载IOLx INL

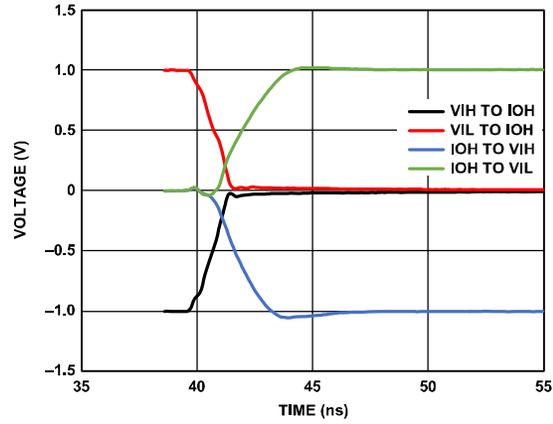


图72. 有源负载IOHx至/从驱动器瞬态响应, $V_{IH} = V_{IL} = 0.0\text{ V}$, $I_{OHx} = I_{OLx} = 20\text{ mA}$; $50\ \Omega$ 端接

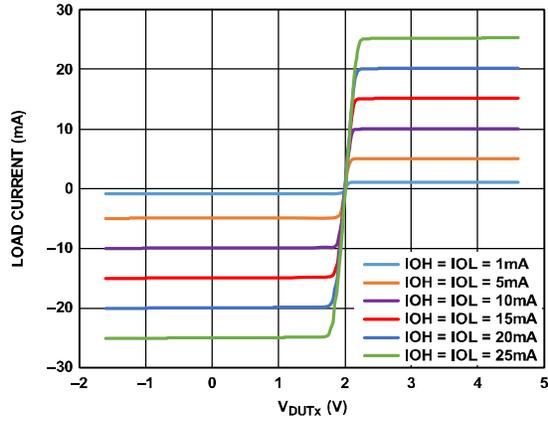


图70. 有源负载换向响应, $V_{COM} = 2.0\text{ V}$

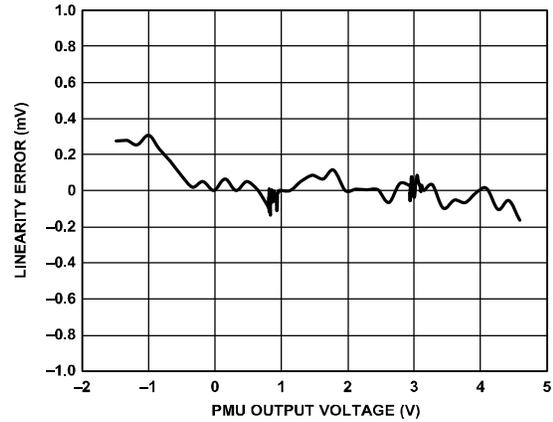


图73. PPMU电压驱动INL, 所有范围

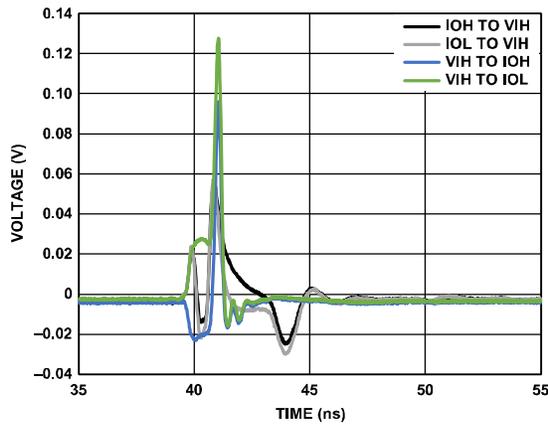


图71. 有源负载至/自驱动器输入/输出尖峰, $V_{IH} = V_{IL} = 0.0\text{ V}$, $I_{OHx} = I_{OLx} = 0.0\text{ mA}$; $50\ \Omega$ 端接

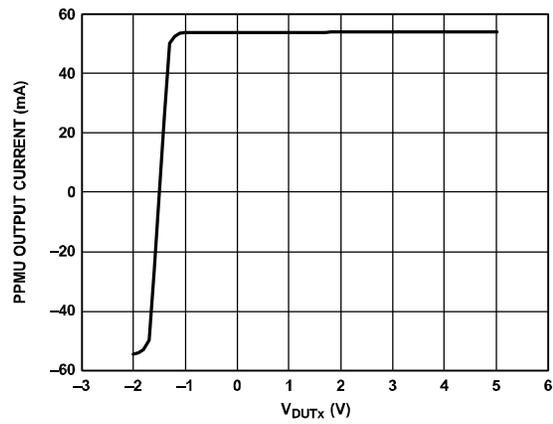


图74. PPMU电压驱动输出电流限制范围A, $F_V = -1.5\text{ V}$, V_{DUTx} 扫描范围为 -2.0 V 至 $+5.0\text{ V}$

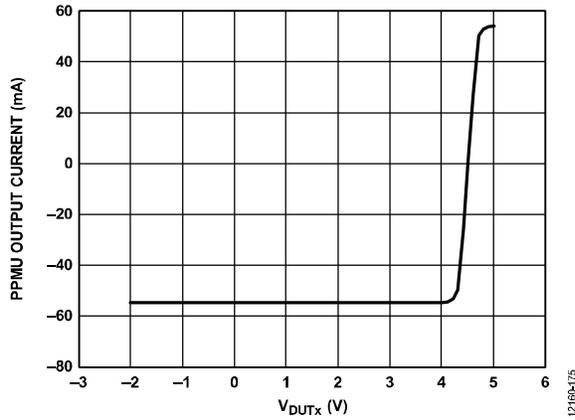


图75. PPMU电压驱动输出电流限制范围A, FV = 4.5 V, V_{DUTx} 扫描范围为-2.0 V至+5.0 V

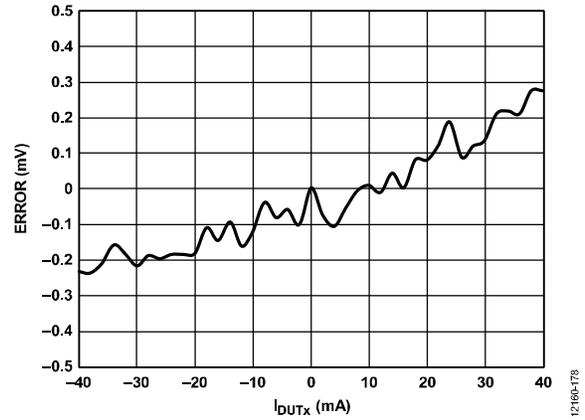


图78. PPMU电压驱动顺从误差 (范围A, FV = -1.0 V) 与输出电流的关系, 内部检测

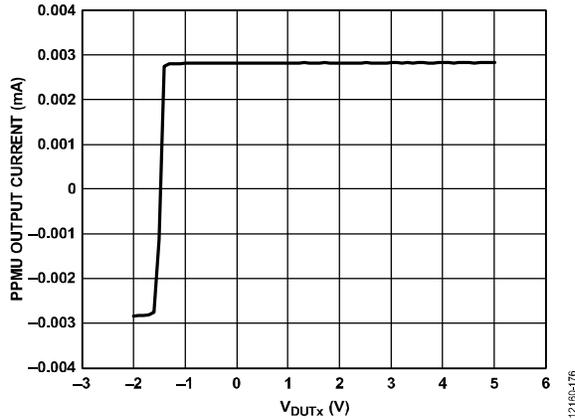


图76. PPMU电压驱动输出电流限制范围E, FV = -1.5 V, V_{DUTx} 扫描范围为-2.0 V至+5.0 V

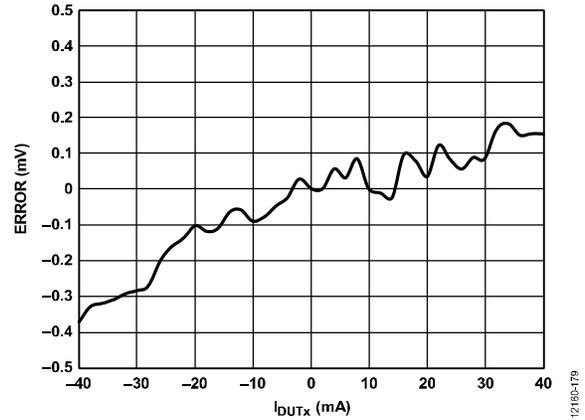


图79. PPMU电压驱动顺从误差 (范围A, FV = 4.0 V) 与输出电流(I_{DUTx})的关系, 内部感应

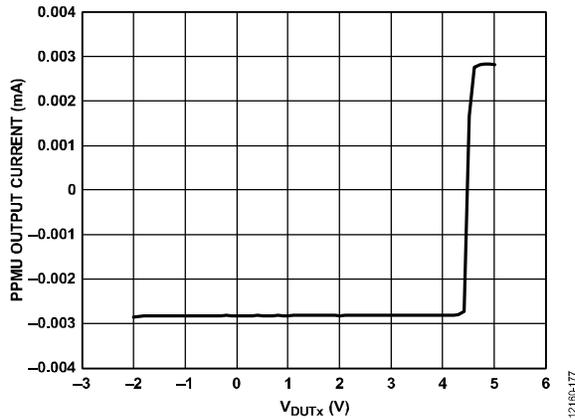


图77. PPMU电压驱动输出电流限制范围E, FV = 4.5 V, V_{DUTx} 扫描范围为-2.0 V至+5.0 V

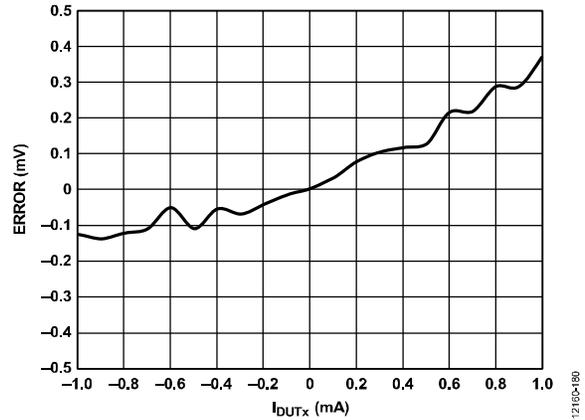


图80. PPMU电压驱动顺从误差 (范围B, FV = -1.5 V) 与输出电流(I_{DUTx})的关系, 内部检测

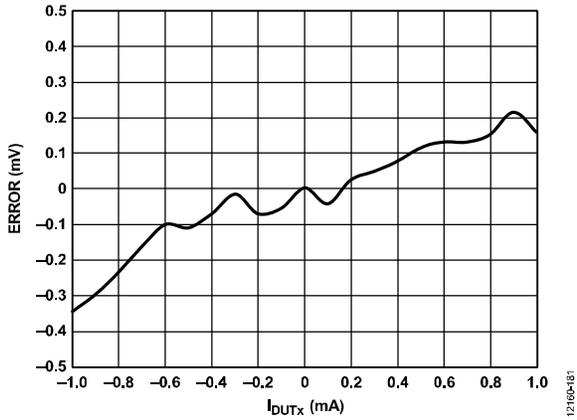


图81. PPMU电压驱动顺从误差 (范围B, FV = 4.5 V) 与输出电流的关系(I_{DUTx}), 内部检测

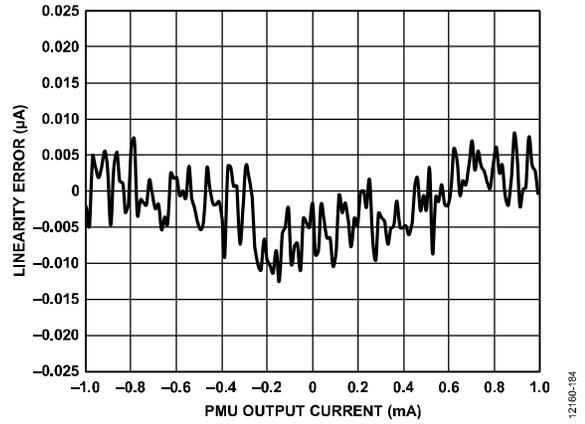


图84. PPMU电流驱动INL, 范围C

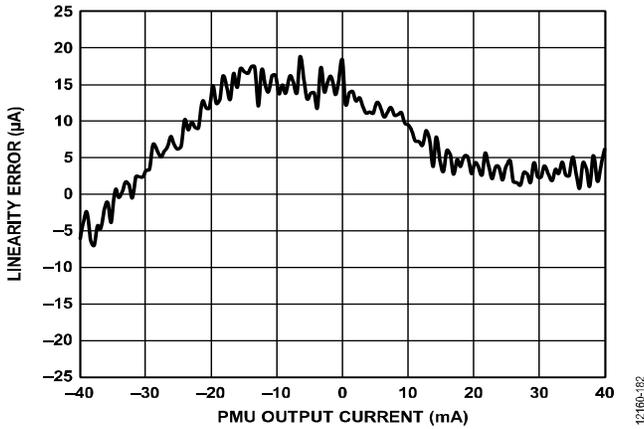


图82. PPMU电流驱动INL, 范围A

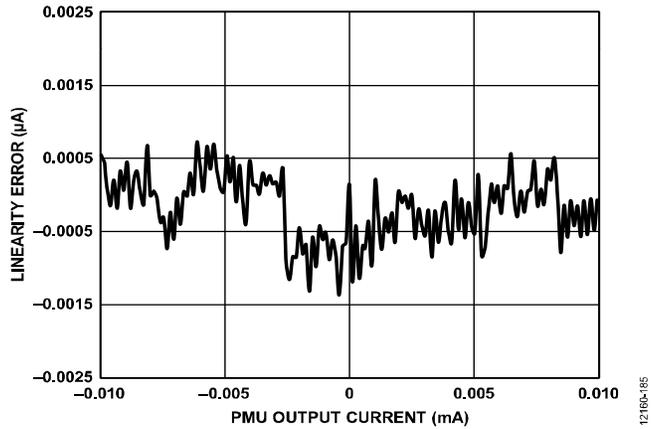


图85. PPMU电流驱动INL, 范围D

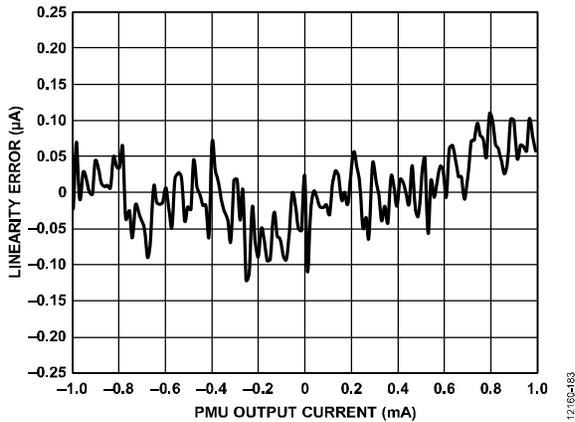


图83. PPMU电流驱动INL, 范围B

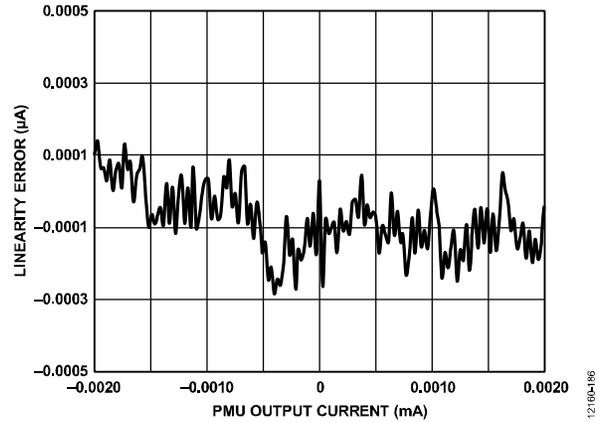


图86. PPMU电流驱动INL, 范围E

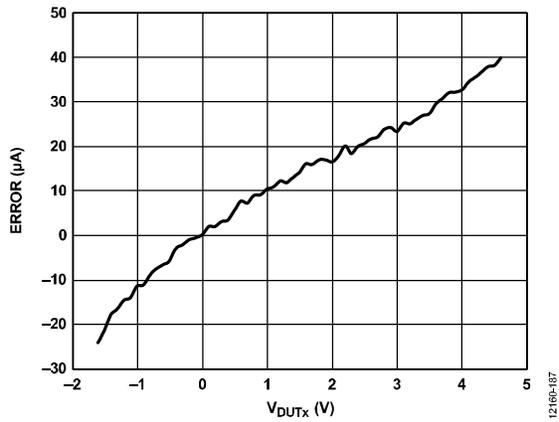


图87. PPMU电流驱动顺从误差 (范围A, FI = -40 mA) 与输出电压(V_{DUTx})的关系

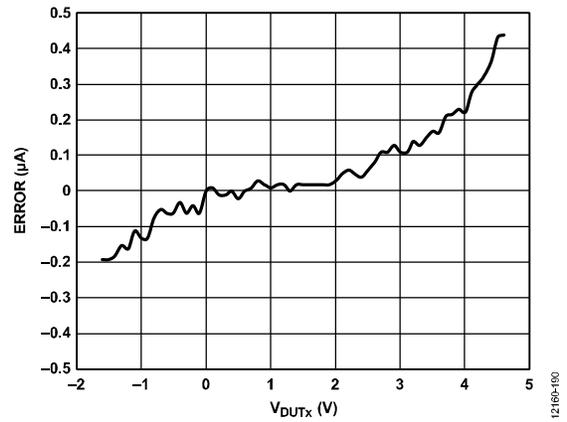


图90. PPMU电流驱动顺从误差 (范围B, FI = 1 mA) 与输出电压(V_{DUTx})的关系

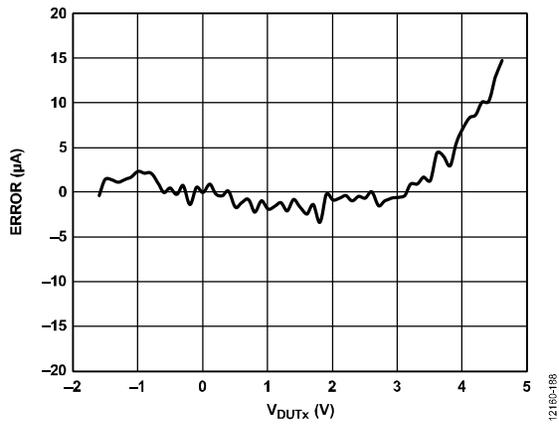


图88. PPMU电流驱动顺从误差 (范围A, FI = 40 mA) 与输出电压(V_{DUTx})的关系

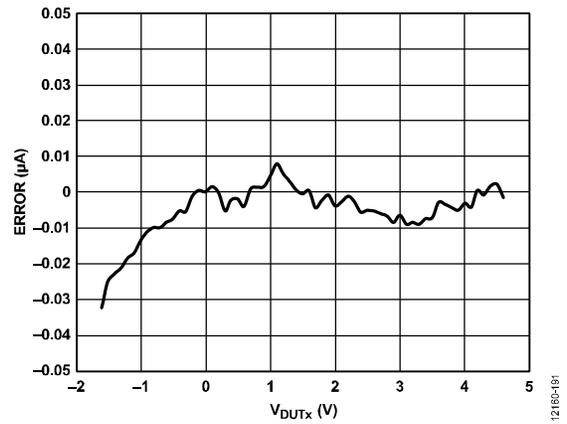


图91. PPMU电流驱动顺从误差 (范围C, FI = -100 µA) 与输出电压(V_{DUTx})的关系

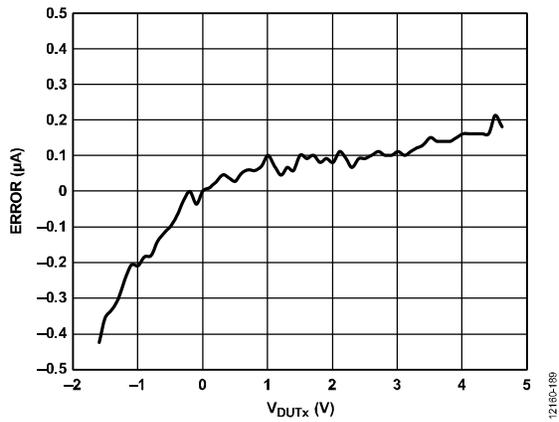


图89. PPMU电流驱动顺从误差 (范围B, FI = -1 mA) 与输出电压(V_{DUTx})的关系

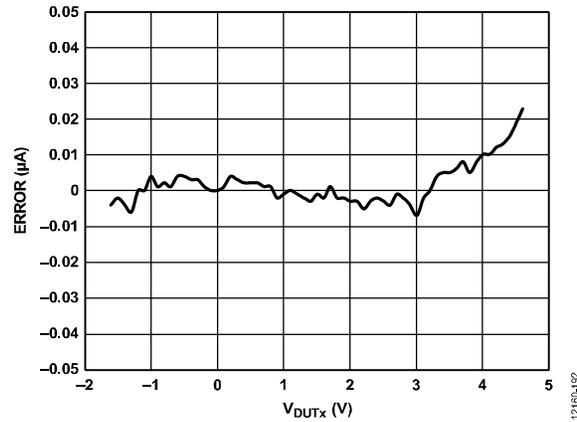


图92. PPMU电流驱动顺从误差 (范围C, FI = 100 µA) 与输出电压(V_{DUTx})的关系

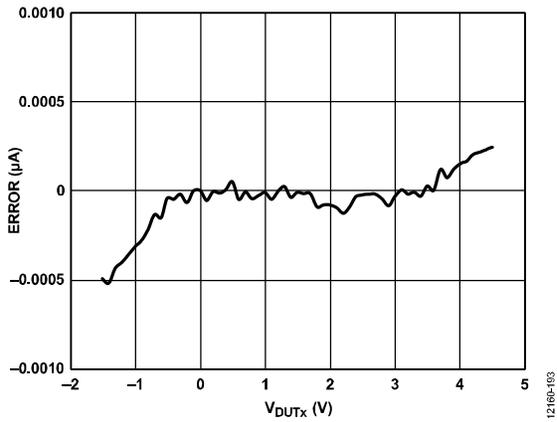


图93. PPMU电流驱动顺从误差 (范围E, $FI = -2\mu A$) 与输出电压(V_{DUTx})的关系

12166-103

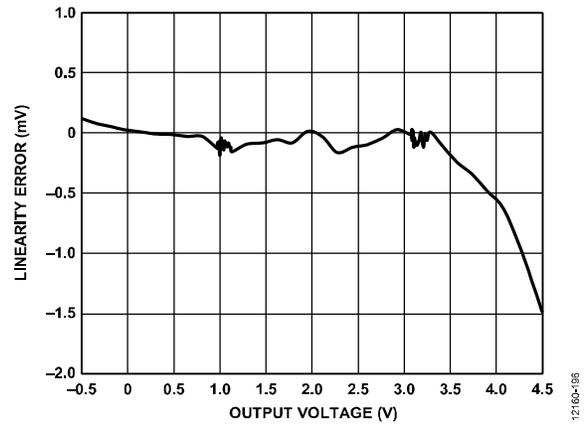


图96. PPMU电压箝位PCHx INL

12166-108

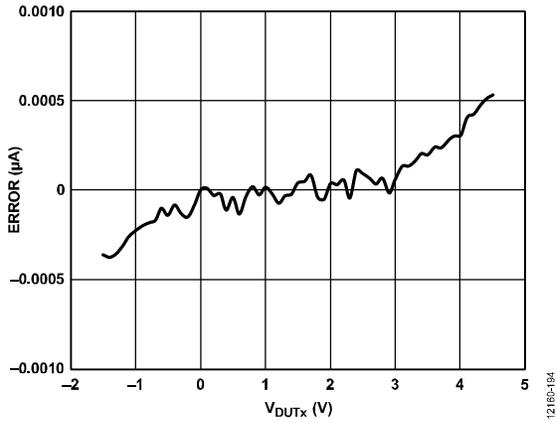


图94. PPMU电流驱动顺从误差 (范围E, $FI = 2\mu A$) 与输出电压(V_{DUTx})的关系

12166-104

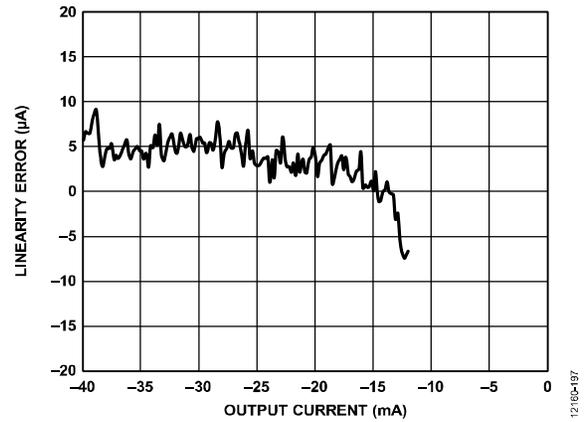


图97. PPMU电流箝位PCLx INL, 范围A

12166-197

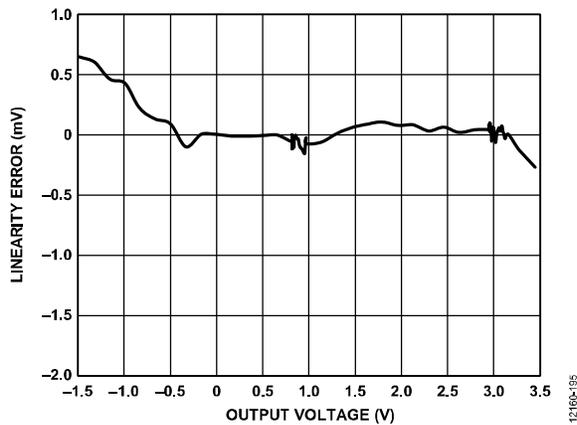


图95. PPMU电压箝位PCLx INL

12166-195

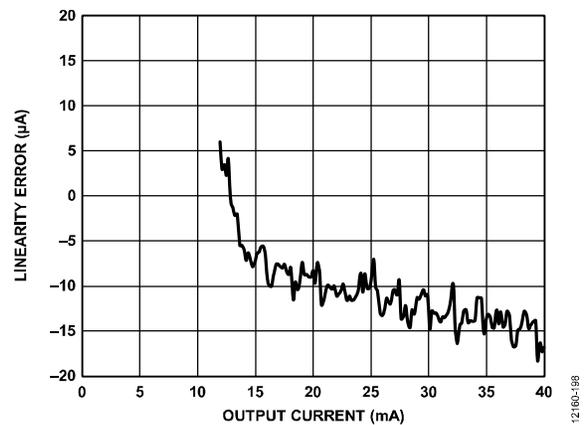


图98. PPMU电流箝位PCHx INL, 范围A

12166-198

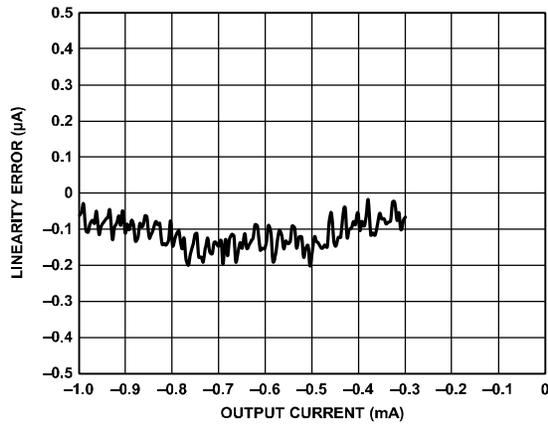


图99. PPMU电流箝位PCLx INL, 范围B

12160-199

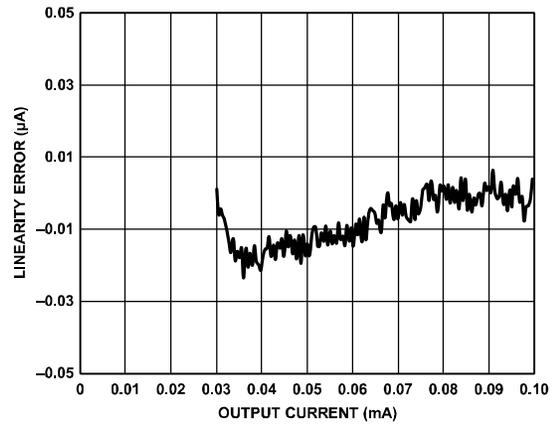


图102. PPMU电流箝位PCHx INL, 范围C

12160-202

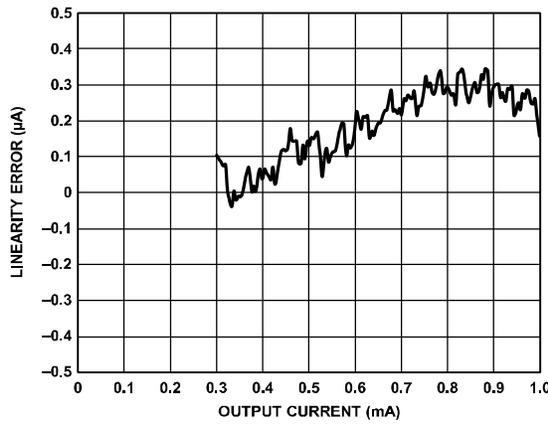


图100. PPMU电流箝位PCHx INL, 范围B

12160-200

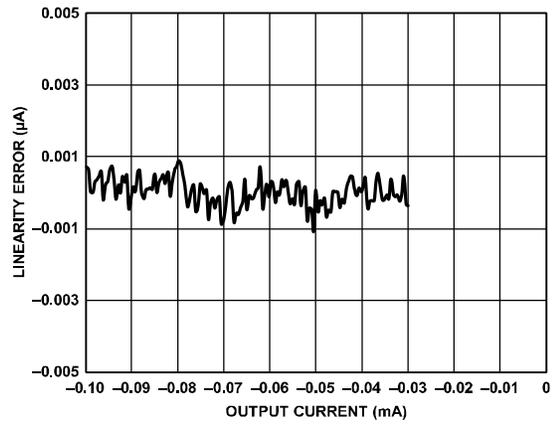


图103. PPMU电流箝位PCLx INL, 范围D

12160-203

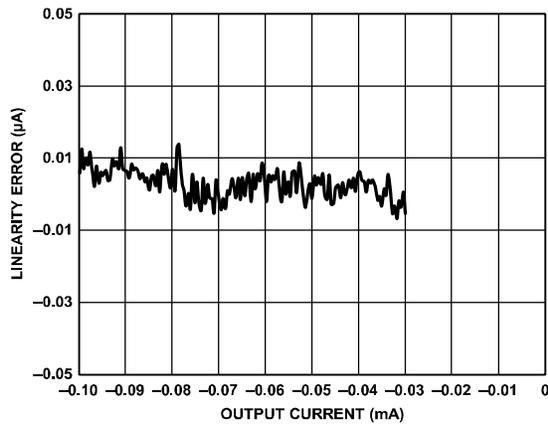


图101. PPMU电流箝位PCLx INL, 范围C

12160-201

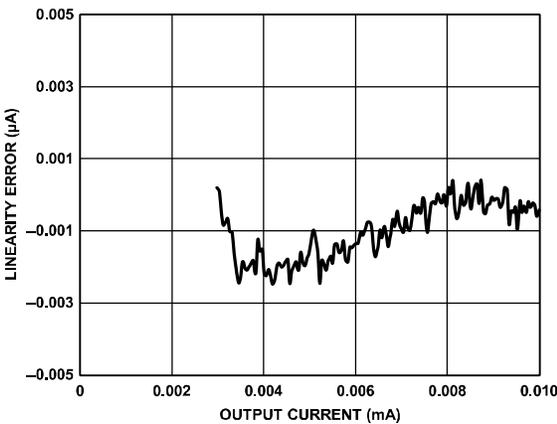


图104. PPMU电流箝位PCHx INL, 范围D

12160-204

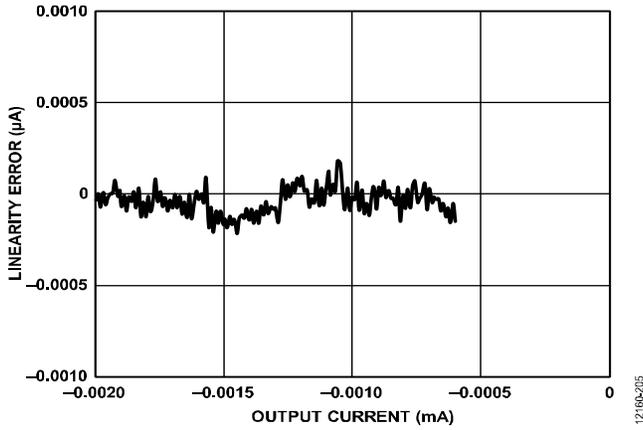


图105. PPMU电流箝位PCLx INL, 范围E

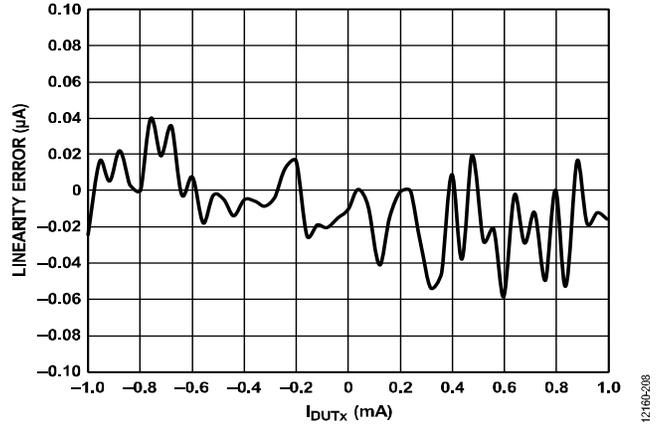


图108. PPMU测量电流INL, 范围B

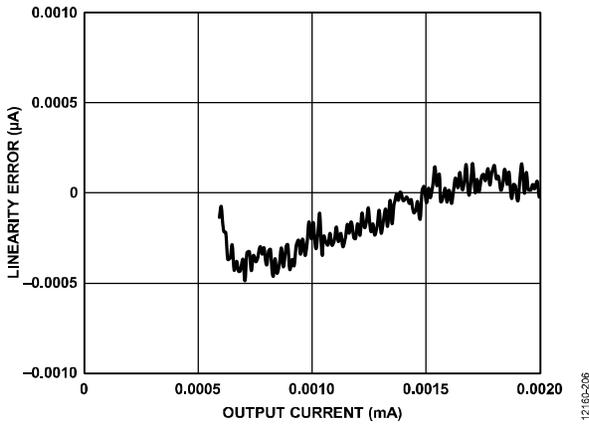


图106. PPMU电流箝位PCHx INL, 范围E

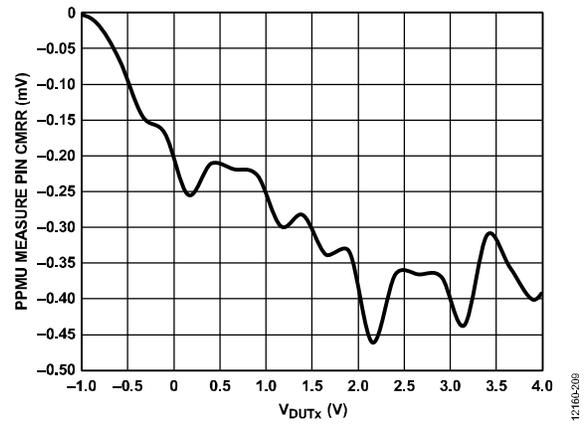


图109. PPMU测量电流共模抑制误差, 电压驱动测量电流(FVMI), 源0.5 mA

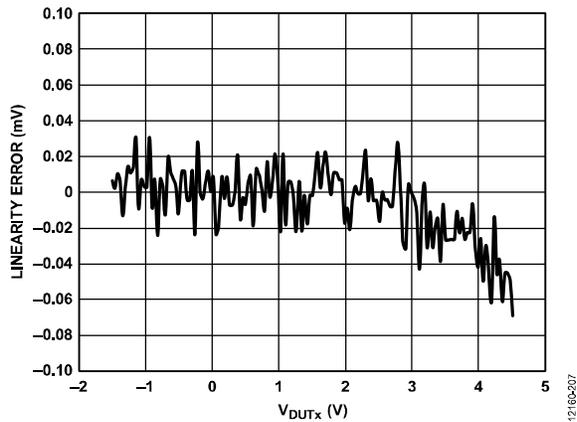


图107. PPMU测量电压INL, 范围B

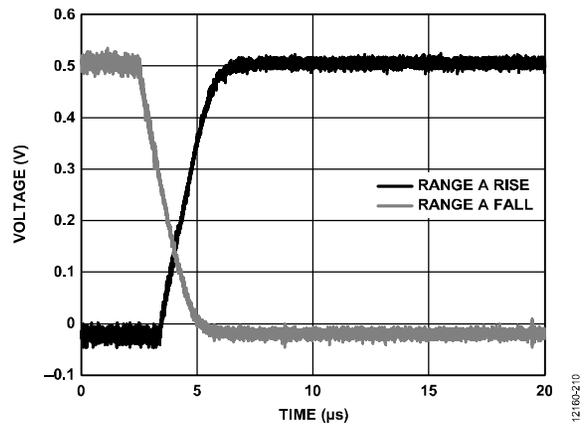


图110. PPMU电压驱动瞬态响应, 范围A, 0 V至0.5 V, 未校准, $C_{LOAD} = 200 \text{ pF}$

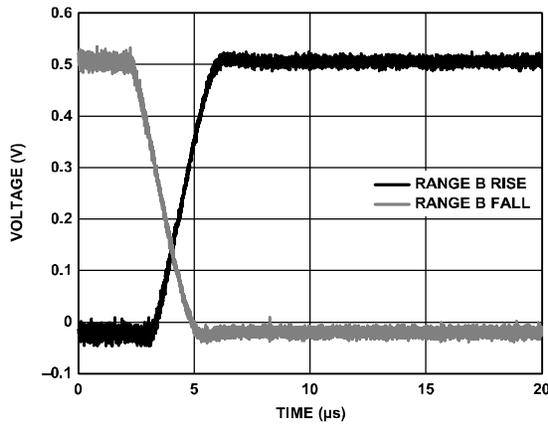


图111. PPMU电压驱动瞬态响应, 范围B, 0 V至0.5 V, 未校准, $C_{LOAD} = 200 \text{ pF}$

12160-211

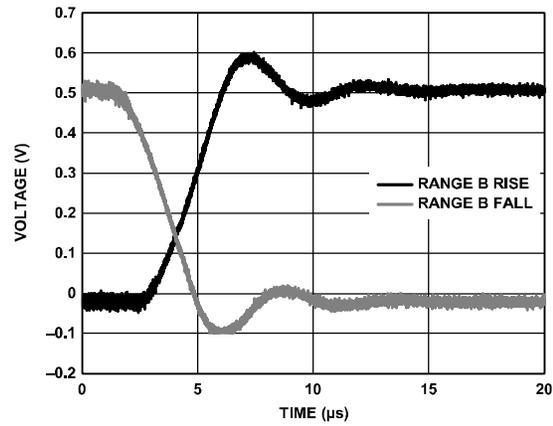


图114. PPMU电压驱动瞬态响应, 范围B, 0 V至0.5 V, 未校准, $C_{LOAD} = 2000 \text{ pF}$

12160-214

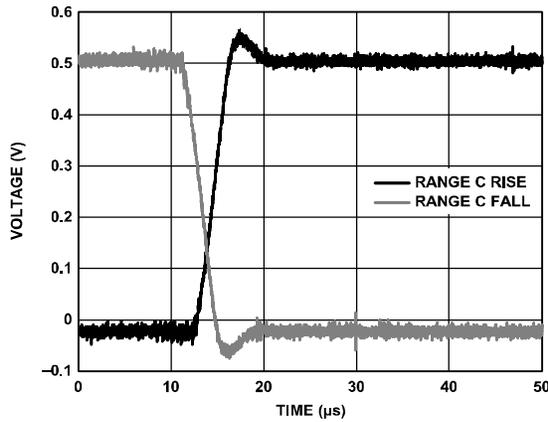


图112. PPMU电压驱动瞬态响应, 范围C, 0 V至0.5 V, 未校准, $C_{LOAD} = 200 \text{ pF}$

12160-212

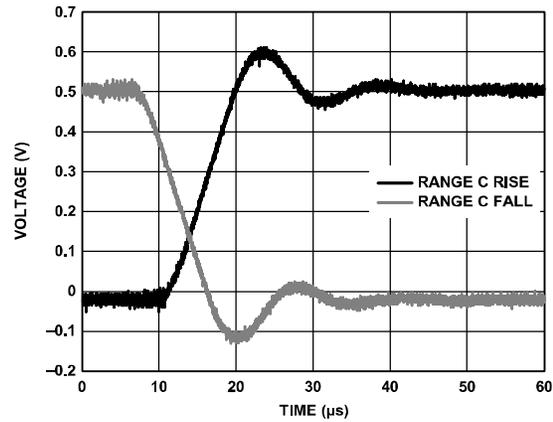


图115. PPMU电压驱动瞬态响应, 范围C, 0 V至0.5 V, 未校准, $C_{LOAD} = 2000 \text{ pF}$

12160-215

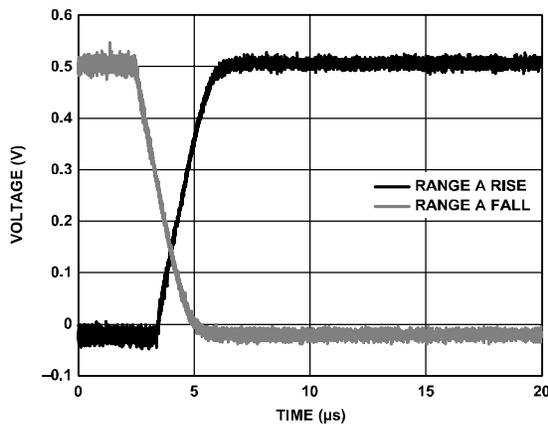


图113. PPMU电压驱动瞬态响应, 范围A, 0 V至0.5 V, 未校准, $C_{LOAD} = 2000 \text{ pF}$

12160-213

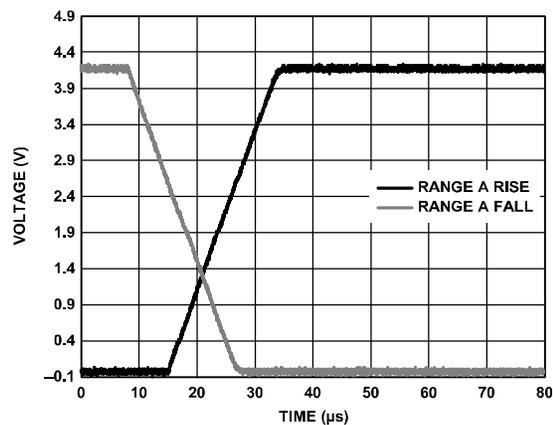


图116. PPMU电压驱动瞬态响应, 范围A, 0 V至4.0 V, 未校准, $C_{LOAD} = 200 \text{ pF}$

12160-216

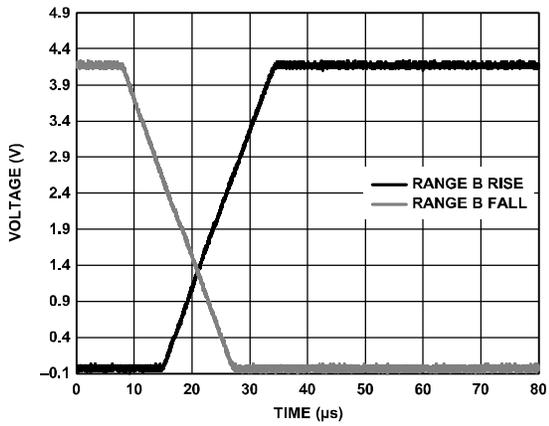


图117. PPMU电压驱动瞬态响应, 范围B, 0 V至4.0 V, 未校准, $C_{LOAD} = 200 \text{ pF}$

12160-217

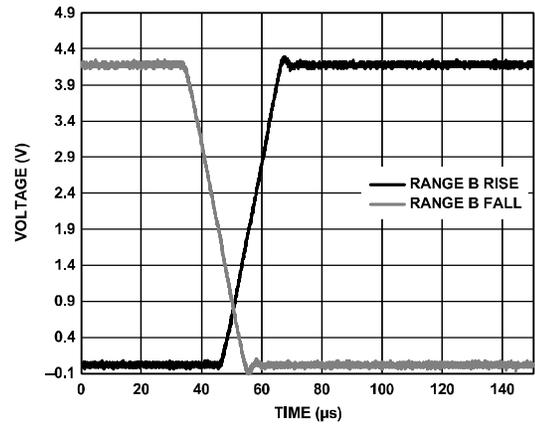


图120. PPMU电压驱动瞬态响应, 范围B, 0 V至4.0 V, 未校准, $C_{LOAD} = 2000 \text{ pF}$

12160-220

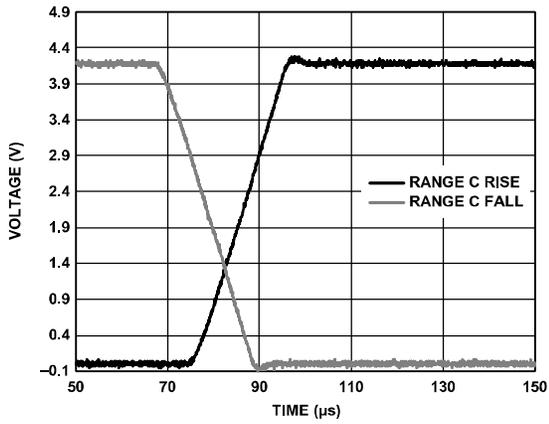


图118. PPMU电压驱动瞬态响应, 范围C, 0 V至4.0 V, 未校准, $C_{LOAD} = 200 \text{ pF}$

12160-218

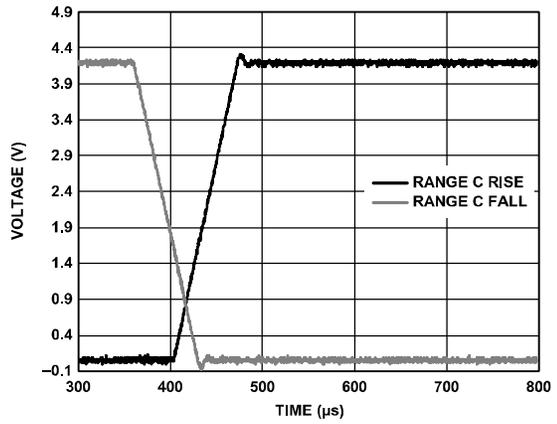


图121. PPMU电压驱动瞬态响应, 范围C, 0 V至4.0 V, 未校准, $C_{LOAD} = 2000 \text{ pF}$

12160-221

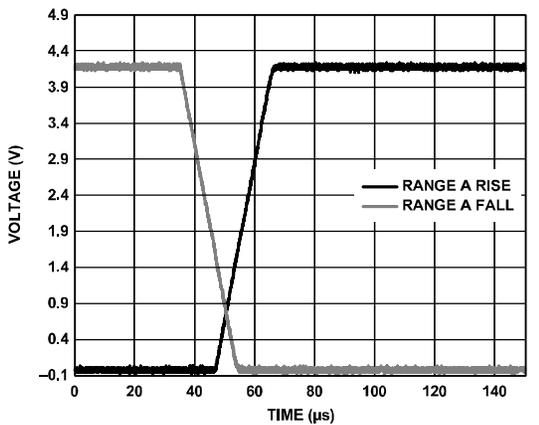


图119. PPMU电压驱动瞬态响应, 范围A, 0 V至4.0 V, 未校准, $C_{LOAD} = 2000 \text{ pF}$

12160-219

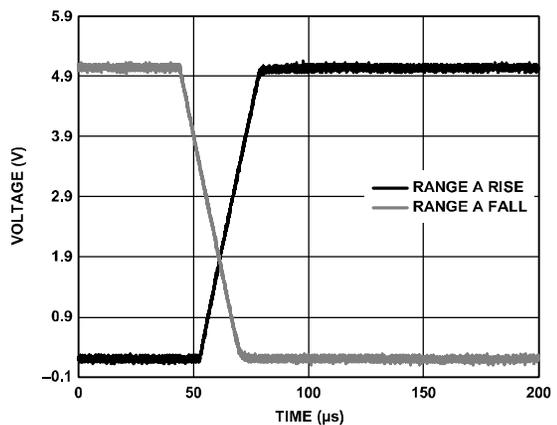


图122. PPMU电流驱动瞬态响应, 范围A, 满量程跃迁, 未校准, $C_{LOAD} = 200 \text{ pF}$, $R_{LOAD} = 127 \Omega$

12160-222

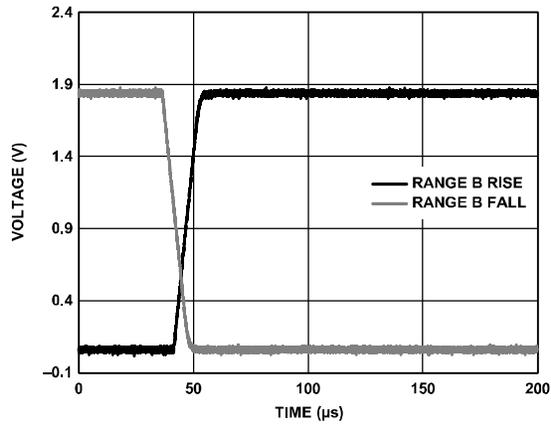


图123. PPMU电流驱动瞬态响应, 范围B, 满量程跃迁, 未校准, $C_{LOAD} = 200 \text{ pF}$, $R_{LOAD} = 1.8 \text{ k}\Omega$

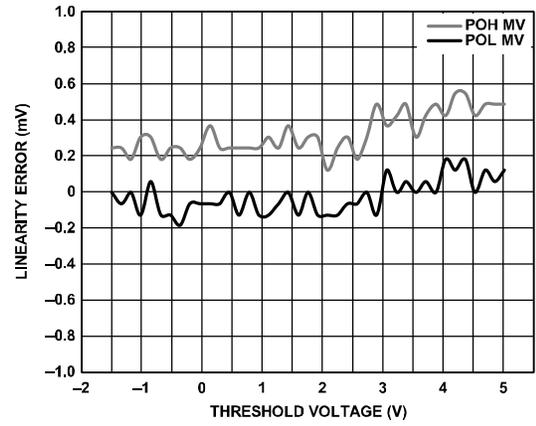


图125. PPMU Go/No-Go比较器阈值INL

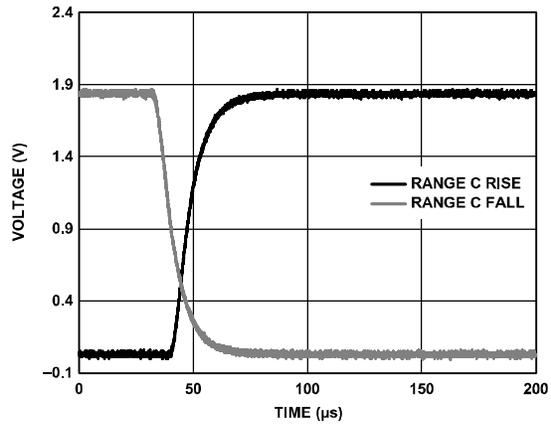


图124. PPMU电流驱动瞬态响应, 范围C, 满量程跃迁, 未校准, $C_{LOAD} = 200 \text{ pF}$, $R_{LOAD} = 18.5 \text{ k}\Omega$

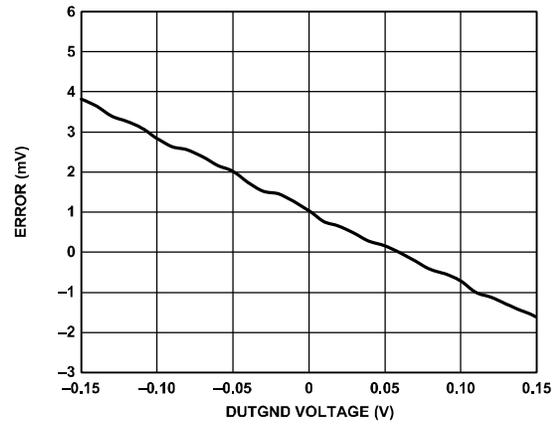


图126. 典型的DUTGND转换函数电压误差, 驱动低, $V_{IL} = 0.0 \text{ V}$

工作原理

串行可编程接口(SPI)

SPI硬件互连详解

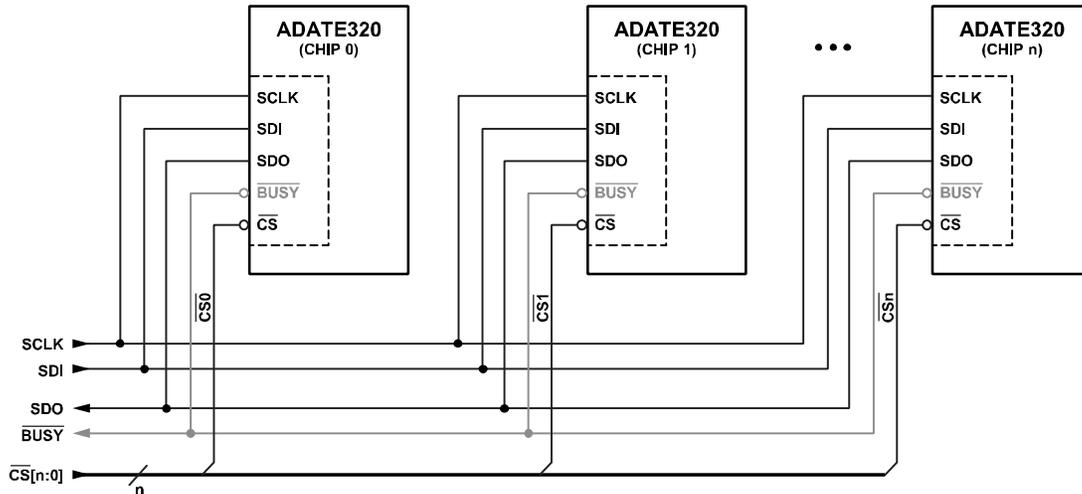


图127. 多个SPI共享SDO线路

SPI复位序列与RST引脚

上电后ADATE320的内部状态不确定。因此，一旦电源稳定下来，就必须执行有效的硬件复位序列。ADATE320为此目的提供了一个低电平有效的复位引脚(RST)。置位RST会异步启动复位序列。另外，RST引脚必须在上电周期序列之前和期间保持置位，并且在所有电源稳定后才能释放。

通过写入SPI_RESET位（见图147），也可以在SPI软件的控制下启动软复位序列。在软复位的情况下，序列在CS释放后的第一个SCLK上升沿启动，具体取决于正常建立时间和保持时间。某些操作在复位请求启动后立即执行，而其他操作则需要若干个SCLK周期。

检测到复位请求后立即执行以下异步操作，无论复位请求由硬件(RST)还是软件(SPI)发起：

- 置位开漏BUSY引脚
- 强制所有控制寄存器进入如表29所定义的默认复位状态
- 清除所有校准寄存器，使其进入如表29所定义的默认复位状态
- 覆盖所有DAC模拟输出并强制直流电平至 V_{DUTGND} ，禁用驱动器和PPMU功能
- 启用有源负载，使 $IOHx = IOLx = 100\mu A$ （未校准且预计会随器偏置而变化）；软连接DUTx引脚至 $V_{COM} = V_{DUTGND}$

器件会无限期地保持在该静态复位状态，直到序列的时钟部分在RST释放后的第一个SCLK上升沿开始（异步复位），或者在CS释放后的第二个SCLK上升沿开始（软件SPI复位）。无论复位序列如何启动，序列的时钟部分都需要744个SCLK周期才能完成，并且开漏BUSY引脚（如果可用）保持置位，直到收到所有时钟周期为止。下列操作发生在复位序列时钟部分持续期间：

- 完成内部SPI控制器的初始化
- 将默认值写入适当的DAC X_2 寄存器
- 启用温度警报，将阈值设为 $100^{\circ}C$ ；
- 禁用PPMU箝位和过压检测(OVD)警报

SCLK的第744个上升沿会释放BUSY并启动大约持续 $3\mu s$ 的自定时DAC去毛刺周期。一旦去毛刺脉冲电路超时，DAC电压就会开始变化。另外需要 $10\mu s$ 才能建立至最终值。因此，完整复位序列需要耗时大约 $30\mu s$ ，其中， $16\mu s$ (744 个周期 $\times 20ns$) 用于复位后初始化， $3\mu s$ 用于DAC去毛刺，另外 $10\mu s$ 用于DAC模拟电平建立。

SPI时钟周期与BUSY引脚的关系

ADATE320提供了一个数字BUSY输出引脚，用于表示SPI控制器需要在SCLK引脚上输入更多SCLK周期。没有该引脚，器件也能正常工作，但必须注意，确保在每种情况下都提供所需数量的SCLK周期以完成每条SPI指令。

将任何有效的SPI指令写入ADATE320后，BUSY引脚置位，指示DAC更新例程和校准例程处于繁忙状态。BUSY引脚为开漏输出，能从VDD电源吸收至少2 mA的电流。建议将BUSY引脚通过外部1kΩ上拉电阻连接到VDD。

在CS引脚随后置位之前，没有必要等待BUSY释放。只要符合CS前次释放之后的最小SCLK周期数（由 t_{CSAM} 参数设定），CS引脚就可再次置位，以便后续执行SPI操作。从复位请求恢复（通过RST引脚硬件置位或软件设置内部SPI_RESET控制位）是唯一例外，除此以外，在ADATE320正常工作过程中，用户都不需要在CS置位以进行后续SPI操作之前等待BUSY释放。对CS置位的唯一要求是必须按照图2和表14的规定，符合 t_{CSAM} 参数的要求。

然而，非常重要的一点是，只要BUSY引脚状态保持有效，SCLK引脚就会继续工作。该时间段由参数 t_{BUSW} 参数定义，详见图2、图14和表23。如果SCLK引脚至少在指定的周期数内没有保持

有效，则内部处理器的待处理操作可能无法完全完成。在这种情况下，ADATE320可能会出现临时故障，或者出现意外结果。器件释放BUSY引脚（或达到所需最小时钟周期数）后，可以再次停止SCLK以防止任何无用数字噪声耦合到模拟功能中。在每种情况下（复位恢复也不例外），BUSY引脚的作用均是通知监控ASIC或FGPA，可以再次安全地停止SCLK信号。当BUSY无效时延长SCLK的运行时间根本不是问题，只是有可能将无用的数字开关噪声添加到模拟功能中。

虽然BUSY周期(t_{BUSW})的长度要求因前一个特定SPI指令而变化，但始终是确定性的。仅取决于诸如此类因素：前一指令是否涉及写入一个或多个DAC地址，如果是，涉及多少个通道，是否已使能校准等。表23以每个可能的SPI指令场景的上升沿SCLK周期为单位，详细描述了 t_{BUSW} 要求的长度，包括从硬件RST复位恢复。

由于 t_{BUSW} 是确定性的，因此可以事先预测完成任何给定SPI指令所需的最小上升沿SCLK周期数，这使得可以在不需要监视BUSY器件的情况下操作器件。对于不可能也不需要监控引脚的应用，可以使用表23中的确定信息，提供最小周期数。无论哪种方式，对于列出的每个SPI指令场景，在CS释放之后，都必须遵守 t_{BUSW} 定义的最小数量的所需上升沿SCLK周期。

表23. BUSY最低SCLK周期要求

SPI指令类型（单通道或双通道操作）	最小 t_{BUSW} （SCLK周期）
释放异步RST复位引脚（硬件复位）之后	744
在SPI_RESET控制位置位（软件复位）之后	744
写入无操作(NOP)（地址0x00，地址0x20，地址0x50，地址0x60）	3
写入不是DAC的有效地址（地址> 0x10）	3
写入除VILx或VIHx之外的任何DAC（地址0x01至地址0x0F，地址0x01和地址0x03除外）	18
写入VILx或VIHx DAC（地址0x01或地址0x03）	21

SPI读/写寄存器定义

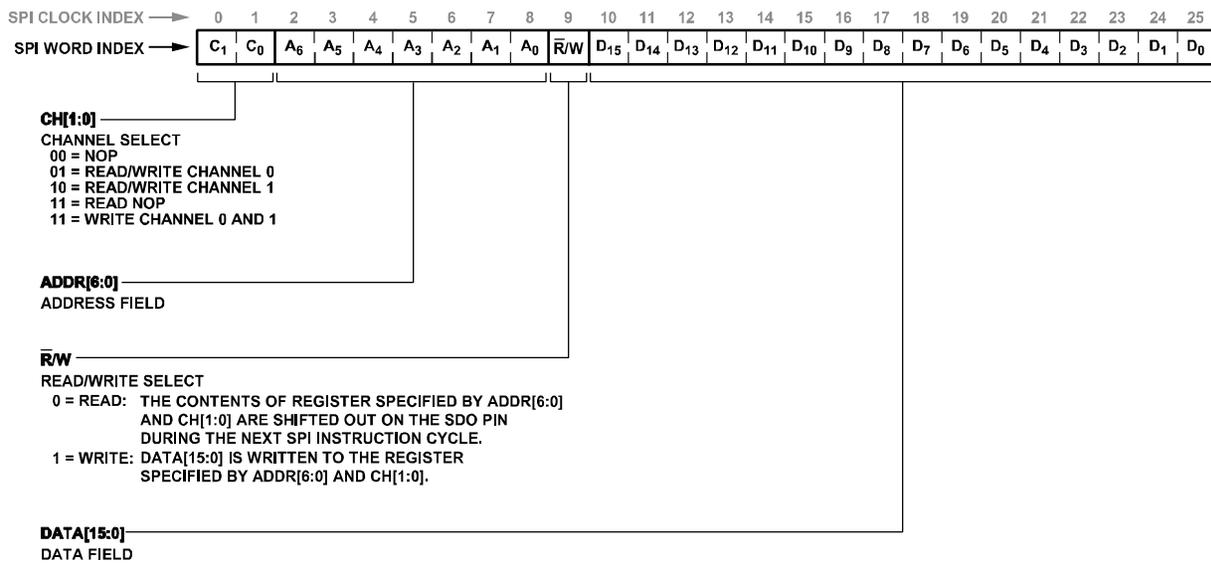


图128. SPI字定义

该ADATE320是通过16位寄存器的集合进行配置，如表29所定义。通过访问相应的寄存器，可以控制和监控模式配置、DAC电平设置、校准常数和警报标志状态。

通过串行可编程接口(SPI)实现对任何16位寄存器的访问。用户通过该硬件SPI接口可以使用单个SPI控制寄存器。SPI控制寄存器的格式如图128所示。SPI控制寄存器包括地址和通道信息、读/写方向和16位数据字段。任何有效的SPI写指令周期都会填充所有这些字段，ADATE320随后使用提供的数据在被寻址的通道和寄存器上运行。任何有效的SPI读取指令周期仅填充地址和通道字段，ADATE320使16位数据字段中的被寻址寄存器内容可用于SDO引脚的后续读取操作。

图2至图7提供了每种读/写操作类型的详细SPI时序图。各自的直流和交流时序参数分别见表13和表14。

SPI的典型硬件接线图如图127所示。

电平设置DAC

DAC更新模式

ADATE320提供32个16位集成电平设置DAC，分为两个通道组，每组16个DAC。表29列出了每个DAC寄存器与每个引脚电子功能的详细映射关系。通过将数据写入相应的SPI寄存器地址和通道，可以对每个DAC单独编程。

ADATE320提供两种更新模拟DAC电平的方法：DAC立即更新模式和DAC延迟更新模式。在释放与对DAC地址的任何有效SPI写操作相关联的 \overline{CS} 引脚时，对模拟电平的更新可能立

即开始也可能延迟，具体取决于DAC控制寄存器中的DAC_LOAD_MODE控制位的状态（见图146）。模拟电平更新序列的启动（以及片上去毛刺电路的触发）始于 \overline{CS} 引脚相关释放操作及四个SCLK循环之后。出于本数据手册的目的，我们假设模拟电平更新序列与 \overline{CS} 的释放同时启动。可以为每个通道组独立选择DAC更新模式。

如果给定通道组的DAC_LOAD_MODE控制位清零，则分配给该通道组的DAC将处于DAC立即更新模式。写入该通道内的任何DAC都会导致相应的模拟电平在相关 \overline{CS} 释放后立即更新。由于所有模拟电平都按通道进行更新，因此进入该通道队列的，先前待处理的任何DAC写操作（在早期的延迟更新模式下）也会在此时更新。如果DAC写操作在延迟更新模式下进入该通道的队列，并且随后，在写入相应的DAC_LOAD控制位之前，将DAC_LOAD_MODE位更改为立即更新模式，就会出现这种情况（见图146）。进入队列数据不会丢失。注意，在立即更新模式下，写入DAC_LOAD控制位不起作用。

如果给定通道的DAC_LOAD_MODE控制位置1，则分配给该通道组的DAC将处于延迟更新模式。对该通道任何DAC的写操作只会使DAC数据进入该通道的队列。对进入队列的DAC电平的模拟更新推迟到相应的DAC_LOAD控制位置1之时（见图146）。DAC延迟更新模式与相应的DAC_LOAD控制位一起提供一种方式，可以在使用单个SPI命令同步更新模拟电平之前，使所有DAC电平写操作进入给定通道组的队列。

OVDH和OVDL DAC电平不能完全适合特定的通道组。但它们必须作为其所属通道库的一部分进行更新，具体分配关系如表29所示。

ADATE320提供了一项功能，其中，单个SPI写操作可以同时寻址两个通道。借助此功能，单个SPI写操作可以同时寻址两个通道上的相应DAC，即使这些通道可能配置有不同的DAC更新模式。在这种情况下，器件的行为符合预期。例如，如果两个通道都处于立即更新模式，则两个通道库的模拟电平更新会在CS引脚相关释放操作之后开始。如果两个通道都处于延迟更新模式，则两个通道的模拟电平更新都会延迟，直到相应的DAC_LOAD控制位置1。如果一个通道处于延迟更新模式，另一个通道处于立即更新模式，则延迟更新通道会推迟模拟更新，直到写入相应的DAC_LOAD位，然而立即更新通道会在CS引脚释放之后立即开始模拟更新。

提供周期约为3μs片上去毛刺电路，以防止通道内在处理模拟更新时发生DAC到DAC的串扰。每个DAC通道组都有自己的专用去毛刺电路，因此每个通道都可以独立工作。

如果在先前对该通道的更新操作完成之前启动模拟电平更新，则可以重新触发去毛刺电路。直到去毛刺电路超时后，DAC输出端的模拟跃迁才会开始。最终建立至全精度需要在3μs去毛刺间隔结束后额外增加7μs。在关联的CS引脚释放之后，DAC的总建立时间最大约为10μs。注意，通过一个通道延长和重新触发去毛刺电路可能会导致该通道上模拟电平的总建立时间延迟超过10μs的额定值。

典型的DAC更新序列如图129所示。在此示例中，连续立即模式DAC更新是直接连续写入的。选择此示例是为了说明，在上一个更新命令完成其去毛刺和建立序列之前写入DAC更新命令时会发生什么。

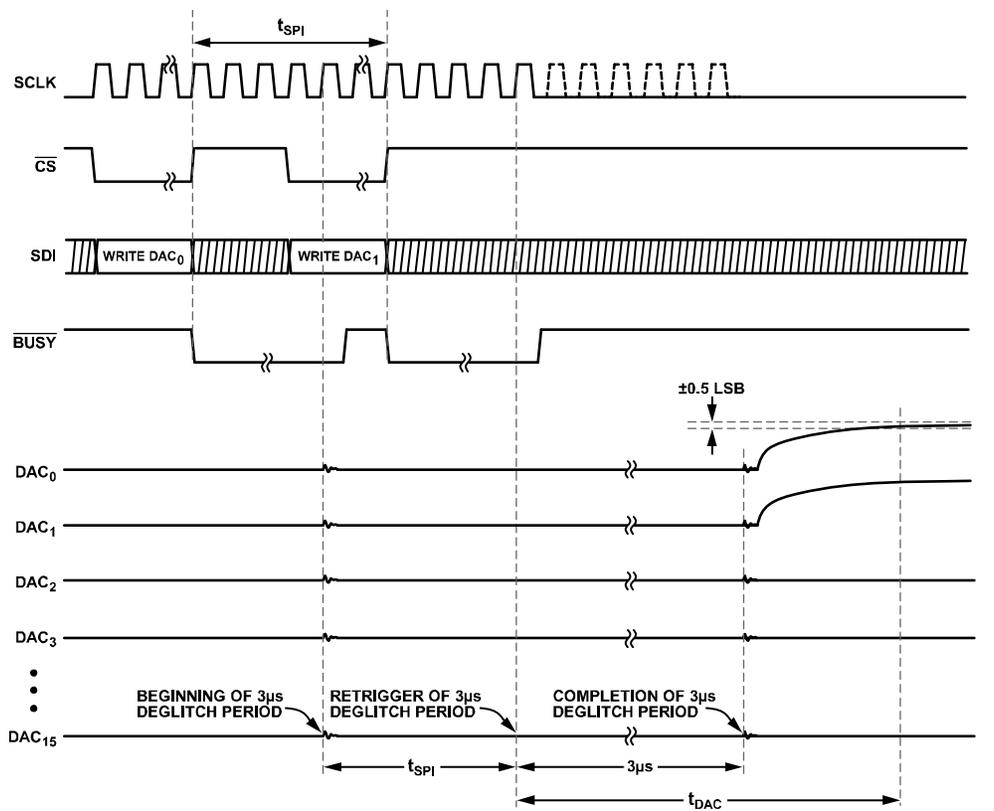


图129. SPI DAC写时序图和直流电平的建立

DAC电平和V_{THERM}引脚转换函数

表24. DAC代码至/从电压电平转换函数详解

电平	可编程范围 (0x0000至0xFFFF)	DAC到电平和电平到DAC的转换函数
VILx, VIHx, VITx/VCOMx, VOLx, VOHx, POLx, POHx, VCHx, VCLx, PCHx, PCLx, OVDHx, OVDLx, PPMUx (FV), PCHx (FI), PCLx (FI)	-2.5 V至+7.5 V	$V_{DUTx} = (4 \times (DAC/2^{16}) - 1) \times (V_{REF} - V_{REFGND}) + V_{DUTGND}$ $DAC = ((V_{DUTx} - V_{DUTGND}) + (V_{REF} - V_{REFGND})) / (4 \times (V_{REF} - V_{REFGND})) \times 2^{16}$
IOHx, IOLx	-12.5 mA至+37.5 mA	$I_{DUTx} = (4 \times (DAC/2^{16}) - 1) \times (V_{REF} - V_{REFGND}) \times (25 \text{ mA}/5)$ $DAC = ((I_{DUTx} \times (5/25 \text{ mA})) + (V_{REF} - V_{REFGND})) / (4 \times (V_{REF} - V_{REFGND})) \times 2^{16}$
PPMUx (FI, 范围A), PCHx和PCLx (FV, 范围A)	-80 mA至+80 mA	$I_{DUTx} = (4 \times (DAC/2^{16}) - 2) \times (V_{REF} - V_{REFGND}) \times (80 \text{ mA}/5)$ $DAC = ((I_{DUTx}/80 \text{ mA} \times 5) + 2 \times (V_{REF} - V_{REFGND})) / (4 \times (V_{REF} - V_{REFGND})) \times 2^{16}$
PPMUx (FI, 范围B), PCHx和PCLx (FV, 范围B)	-2 mA至+2 mA	$I_{DUTx} = (4 \times (DAC/2^{16}) - 2) \times (V_{REF} - V_{REFGND}) \times (2 \text{ mA}/5)$ $DAC = ((I_{DUTx}/2 \text{ mA} \times 5) + 2 \times (V_{REF} - V_{REFGND})) / (4 \times (V_{REF} - V_{REFGND})) \times 2^{16}$
PPMUx (FI, 范围C), PCHx和PCLx (FV, 范围C)	-200 μA至+200 μA	$I_{DUTx} = (4 \times (DAC/2^{16}) - 2) \times (V_{REF} - V_{REFGND}) \times (200 \text{ μA}/5)$ $DAC = ((I_{DUTx}/200 \text{ μA} \times 5) + 2 \times (V_{REF} - V_{REFGND})) / (4 \times (V_{REF} - V_{REFGND})) \times 2^{16}$
PPMUx (FI, 范围D) PCHx和PCLx (FV, 范围D)	-20 μA至+20 μA	$I_{DUTx} = (4 \times (DAC/2^{16}) - 2) \times (V_{REF} - V_{REFGND}) \times (20 \text{ μA}/5)$ $DAC = ((I_{DUTx}/20 \text{ μA} \times 5) + 2 \times (V_{REF} - V_{REFGND})) / (4 \times (V_{REF} - V_{REFGND})) \times 2^{16}$
PPMUx (FI, 范围E) PCHx和PCLx (FV, 范围E)	-4 μA至+4 μA	$I_{DUTx} = (4 \times (DAC/2^{16}) - 2) \times (V_{REF} - V_{REFGND}) \times (4 \text{ μA}/5)$ $DAC = ((I_{DUTx}/4 \text{ μA} \times 5) + 2 \times (V_{REF} - V_{REFGND})) / (4 \times (V_{REF} - V_{REFGND})) \times 2^{16}$

表25. 负载转换函数

负载电平	转换函数	注释
IOLx	$VIOLx / (2 \times (V_{REF} - V_{REFGND})) \times 25 \text{ mA}$	VIOLx DAC电平未折合到V _{DUTGND}
IOHx	$VIOHx / (2 \times (V_{REF} - V_{REFGND})) \times 25 \text{ mA}$	VIOHx DAC电平未折合到V _{DUTGND}

表26. PPMU转换函数

PPMU模式	转换函数 ¹	可实现指定PPMU范围的未经校准的PPMU DAC设置
FV	$V_{DUTx} = PPMUx$	-1.5 V < PPMUx < +4.5 V
FI	$I_{DUTx} = (PPMUx - (V_{REF} - V_{REFGND})) / (5 \times R_{PPMU})$	0.0 V < PPMUx < 5.0 V
MV	$V_{PPMU_Mx} = V_{DUTx}$ (内部感应路径)	不适用
MV	$V_{PPMU_Mx} = V_{PPMU_Sx}$ (外部感应路径)	不适用
MI	$V_{PPMU_Mx} = (V_{REF} - V_{REFGND}) + (5 \times I_{DUTx} \times R_{PPMU}) + V_{DUTGND}$	不适用

¹ 对于范围A, R_{PPMU} = 12.5Ω, 范围B为500Ω, 范围C为5.0kΩ, 范围D为50kΩ, 范围E为250kΩ。

表27. 温度传感器转换函数

温度	输出
0 K	0.00 V
300 K	3.00 V
T _{KELVIN}	0.00 V + (T _{KELVIN}) × 10 mV/K

DAC增益和偏置校正

ADATE320中的每个模拟功能都具有独立的增益(m)和偏置(c)校准寄存器，可以对模拟信号链中的一阶误差进行数字微调。这些寄存器可以纠正引脚电子转换函数中的误差以及DAC本身固有的误差。

m和c寄存器具有易失性，如果需要非默认值，则必须在每个上电周期后作为校准例程的一部分重新加载。任何复位操作都不会清零寄存器（尽管DAC_CAL_ENABLE位在复位后会被清零）。

通过清零DAC控制寄存器中的DAC_CAL_ENABLE位，可以旁路增益和偏置校正功能（见图146）。此旁路模式是否可用因芯片而异。也就是说，不可能旁路对特定DAC子集的校准功能。

使能校准功能后，根据以下等式调整发送到每个DAC的数值数据：

$$X_2 = \left(\left(\frac{m+1}{2^{16}} \right) \times X_1 \right) + (c - 2^{15}) \quad (1)$$

其中：

X_2 是进入物理DAC的16位数据字，并由来自同一DAC的后续SPI读取操作返回。

m 为相应DAC增益校准寄存器中的代码（默认代码为0xFFFF = $2^{16} - 1$ ）。

X_1 是用户通过SPI写入DAC的16位数据字。

c 为相应DAC偏置校准寄存器中的代码（默认代码为0x8000 = 2^{15} ）。

从等式1可以看出，施加于任何已写入 X_1 数据的增益始终 ≤ 1.0 ，结果，只能通过校准机制减小DAC有效输出的大小。为了补偿这种限制，根据设计，当施加默认的m寄存器值时，引脚电子功能中的每个模拟信号路径都可保证获得 ≥ 1.0 的增益。信号路径增益 ≥ 1.0 ，可确保始终都能通过下乘法实现适当的增益校准。

DAC X_2 寄存器与SPI回读

当数据通过SPI写入特定DAC时，对该数据的操作将按照等式1进行。结果存储在与该DAC关联的 X_2 寄存器中（见图130）。

每个DAC只有一个物理 X_2 寄存器，这个 X_2 寄存器的值最终在模拟更新时被送进物理DAC，后者可能是立即更新模式，也可能是延迟更新模式。在寻址到该DAC通道的SPI读操作期间，返回给用户的也是该寄存器值。在双通道写入DAC的特殊情况下，使用适当的m寄存器和c寄存器同时为每个通道顺序更新关联的 X_2 寄存器。

使能时，校准功能仅在SPI写入相应 X_1 寄存器后才对 X_2 寄存器执行该操作。在对m寄存器或c寄存器进行写操作之后，或者在对器件的功能模式或范围设置进行任何更改之后，不会更新 X_2 寄存器。因此，为确保为任何特定DAC重新计算校准数据，必须对相关m和c寄存器以及该DAC功能的任何相关功能模式和范围进行更改后，需要将新数据写入该DAC才生效。

对于每个DAC，只有一个 X_2 寄存器，通常会分配一组专用且唯一的m校准寄存器和c校准寄存器。在几种特殊情况下（例如，PPMU DAC），每个DAC仍然只有一个 X_2 寄存器，但m寄存器和c寄存器有几种不同的选择，具体取决于模式的特定配置和功能范围控制设置。对于那些DAC，在写入DAC时，可根据该功能的相应模式和范围控制设置自动选择校准寄存器。

表28详述了作为模式和范围控制设置的功能的m寄存器和c寄存器选择。对于所有DAC功能，必须首先确保先设定相应的m寄存器和c寄存器值，并在将数据发送到DAC之前更新所需的模式和范围设置。仅在DAC写操作序列期间，才选择并应用校准常数。

表28. m和c校准寄存器选择¹

SPI地址 [通道]	DAC 名称	功能 (DAC用法) 描述	m寄存器	c寄存器	DMC_ ENABLE (地址 0x1A [0])	LOAD_ ENABLE_ x (地址 0x1B [0])	PPMU_ MEAS_ VI_x (地址 0x1C [6])	PPMU_ FORCE_ VI_x (地址 0x1C [5])	PPMU_ RANGE_x (地址0x1C [4:2])
0x01[0]	VIH0	驱动器高电平, 通道0	0x21[0]	0x31[0]	X	X	X	X	XXX
0x01[1]	VIH1	驱动器高电平, 通道1	0x21[1]	0x31[1]	X	X	X	X	XXX
0x02[0]	VIT0/ VCOM0	驱动器端接电平, 通道0	0x22[0]	0x32[0]	X	0	X	X	XXX
		负载换向电压, 通道0	0x42[0]	0x52[0]	X	1	X	X	XXX
0x02[1]	VIT1/ VCOM0	驱动器端接电平, 通道1	0x22[1]	0x32[1]	X	0	X	X	XXX
		负载换向电压, 通道1	0x42[1]	0x52[1]	X	1	X	X	XXX
0x03[0]	VIL0	驱动器低电平, 通道0	0x23[0]	0x33[0]	X	X	X	X	XXX
0x03[1]	VIL1	驱动器低电平, 通道1	0x23[1]	0x33[1]	X	X	X	X	XXX
0x04[0]	VCH0	反射箝位高电平, 通道0	0x24[0]	0x34[0]	X	X	X	X	XXX
0x04[1]	VCH1	反射箝位高电平, 通道1	0x24[1]	0x34[1]	X	X	X	X	XXX
0x05[0]	VCL0	反射箝位低电平, 通道0	0x25[0]	0x35[0]	X	X	X	X	XXX
0x05[1]	VCL1	反射箝位低电平, 通道1	0x25[1]	0x35[1]	X	X	X	X	XXX
0x06[0]	VOH0	常规窗口比较器高电平, 通道0	0x26[0]	0x36[0]	0	X	X	X	XXX
		差分模式比较器高电平, 通道0	0x46[0]	0x56[0]	1	X	X	X	XXX
0x06[1]	VOH1	常规窗口比较器高电平, 通道1	0x26[1]	0x36[1]	X	X	X	X	XXX
0x07[0]	VOL0	常规窗口比较器低电平, 通道0	0x27[0]	0x37[0]	0	X	X	X	XXX
		差分模式比较器低电平, 通道0	0x47[0]	0x57[0]	1	X	X	X	XXX
0x07[1]	VOL1	常规窗口比较器低电平, 通道1	0x27[1]	0x37[1]	X	X	X	X	XXX
0x08[0]	VIOH0	负载IOHx电平, 通道0	0x28[0]	0x38[0]	X	X	X	X	XXX
0x08[1]	VIOH1	负载IOHx电平, 通道1	0x28[1]	0x38[1]	X	X	X	X	XXX
0x09[0]	VIOL0	负载IOL电平, 通道0	0x29[0]	0x39[0]	X	X	X	X	XXX
0x09[1]	VIOL1	负载IOL电平, 通道1	0x29[1]	0x39[1]	X	X	X	X	XXX
0x0A[0]	PPMU0	PPMU VIN FV电平, 通道0	0x2A[0]	0x3A[0]	X	X	X	0	XXX
		PPMU VIN FI电平范围A, 通道0	0x4A[0]	0x5A[0]	X	X	X	1	111
		PPMU VIN FI电平范围B, 通道0	0x4B[0]	0x5A[0]	X	X	X	1	110
		PPMU VIN FI电平范围C, 通道0	0x4C[0]	0x5A[0]	X	X	X	1	101
		PPMU VIN FI电平范围D, 通道0	0x4D[0]	0x5A[0]	X	X	X	1	100
		PPMU VIN FI电平范围E, 通道0	0x4E[0]	0x5A[0]	X	X	X	1	0XX
0x0A[1]	PPMU1	PPMU VIN FV电平, 通道1	0x2A[1]	0x3A[1]	X	X	X	0	XXX
		PPMU VIN FI电平范围A, 通道1	0x4A[1]	0x5A[1]	X	X	X	1	111
		PPMU VIN FI电平范围B, 通道1	0x4B[1]	0x5A[1]	X	X	X	1	110
		PPMU VIN FI电平范围C, 通道1	0x4C[1]	0x5A[1]	X	X	X	1	101
		PPMU VIN FI电平范围D, 通道1	0x4D[1]	0x5A[1]	X	X	X	1	100
		PPMU VIN FI电平范围E, 通道1	0x4E[1]	0x5A[1]	X	X	X	1	0XX

SPI地址 [通道]	DAC 名称	功能 (DAC用法) 描述	m寄存器	c寄存器	DMC_ ENABLE (地址 0x1A [0])	LOAD_ ENABLE_ x (地址 0x1B [0])	PPMU_ MEAS_ VI_x (地 址0x1C [6])	PPMU_ FORCE_ VI_x (地 址0x1C [5])	PPMU_ RANGE_ x (地址 0x1C [4:2])
0x0B[0]	PCH0	PPMU电流箝位(FV)高电平, 通道0	0x44[0]	0x54[0]	X	X	X	0	XXX
		PPMU电压箝位(FI)高电平, 通道0	0x2B[0]	0x3B[0]				1	
0x0B[1]	PCH1	PPMU电流箝位(FV)高电平, 通道1	0x44[1]	0x54[1]	X	X	X	0	XXX
		PPMU电压箝位(FI)高电平, 通道1	0x2B[1]	0x3B[1]				1	
0x0C[0]	PCL0	PPMU电流箝位(FV)低电平, 通道0	0x45[0]	0x55[0]	X	X	X	0	XXX
		PPMU电压箝位(FI)低电平, 通道0	0x2C[0]	0x3C[0]				1	
0x0C[1]	PCL1	PPMU电流箝位(FV)低电平, 通道1	0x45[1]	0x55[1]	X	X	X	0	XXX
		PPMU电压箝位(FI)低电平, 通道1	0x2C[1]	0x3C[1]	X	X	X	1	
0x0D[0]	POH0	PPMU Go/No-Go MV高电平, 通道0	0x2D[0]	0x3D[0]	X	X	0	X	XXX
		PPMU Go/No-Go MI范围A高电平, 通道0	0x61[0]	0x5D[0]	X	X	1	X	111
		PPMU Go/No-Go MI范围B高电平, 通道0	0x62[0]	0x5D[0]	X	X	1	X	110
		PPMU Go/No-Go MI范围C高电平, 通道0	0x63[0]	0x5D[0]	X	X	1	X	101
		PPMU Go/No-Go MI范围D高电平, 通道0	0x64[0]	0x5D[0]	X	X	1	X	100
		PPMU Go/No-Go MI范围E高电平, 通道0	0x65[0]	0x5D[0]	X	X	1	X	0XX
0x0D[1]	POH1	PPMU Go/No-Go MV高电平, 通道1	0x2D[1]	0x3D[1]	X	X	0	X	XXX
		PPMU Go/No-Go MI范围A高电平, 通道1	0x61[1]	0x5D[1]	X	X	1	X	111
		PPMU Go/No-Go MI范围B高电平, 通道1	0x62[1]	0x5D[1]	X	X	1	X	110
		PPMU Go/No-Go MI范围C高电平, 通道1	0x63[1]	0x5D[1]	X	X	1	X	101
		PPMU Go/No-Go MI范围D高电平, 通道1	0x64[1]	0x5D[1]	X	X	1	X	100
		PPMU Go/No-Go MI范围E高电平, 通道1	0x65[1]	0x5D[1]	X	X	1	X	0XX
0x0E[0]	POLO	PPMU Go/No-Go MV低电平, 通道0	0x2E[0]	0x3E[0]	X	X	0	X	XXX
		PPMU Go/No-Go MI范围A低电平, 通道0	0x66[0]	0x5E[0]	X	X	1	X	111
		PPMU Go/No-Go MI范围B低电平, 通道0	0x67[0]	0x5E[0]	X	X	1	X	110
		PPMU Go/No-Go MI范围C低电平, 通道0	0x68[0]	0x5E[0]	X	X	1	X	101
		PPMU Go/No-Go MI范围D低电平, 通道0	0x69[0]	0x5E[0]	X	X	1	X	100
		PPMU Go/No-Go MI范围E低电平, 通道0	0x6A[0]	0x5E[0]	X	X	1	X	0XX

SPI地址[通道]	DAC名称	功能 (DAC用法) 描述	m寄存器	c寄存器	DMC_ENABLE (地址 0x1A [0])	LOAD_ENABLE_x (地址 0x1B [0])	PPMU_MEAS_VI_x (地址 0x1C [6])	PPMU_FORCE_VI_x (地址 0x1C [5])	PPMU_RANGE_x (地址 0x1C [4:2])
0x0E[1]	POL1	PPMU Go/No-Go MV低电平, 通道1	0x2E[1]	0x3E[1]	X	X	0	X	XXX
		PPMU Go/No-Go MI范围A低电平, 通道1	0x66[1]	0x5E[1]	X	X	1	X	111
		PPMU Go/No-Go MI范围B低电平, 通道1	0x67[1]	0x5E[1]	X	X	1	X	110
		PPMU Go/No-Go MI范围C低电平, 通道1	0x68[1]	0x5E[1]	X	X	1	X	101
		PPMU Go/No-Go MI范围D低电平, 通道1	0x69[1]	0x5E[1]	X	X	1	X	100
		PPMU Go/No-Go MI范围E低电平, 通道1	0x6A[1]	0x5E[1]	X	X	1	X	0XX
0x0F[0]	OVDL	过压检测低电平	0x2F[0]	0x3F[0]	X	X	X	X	XXX
0x0F[1]	OVDH	过压检测高电平	0x2F[1]	0x3F[1]	X	X	X	X	XXX

¹ X表示无关。

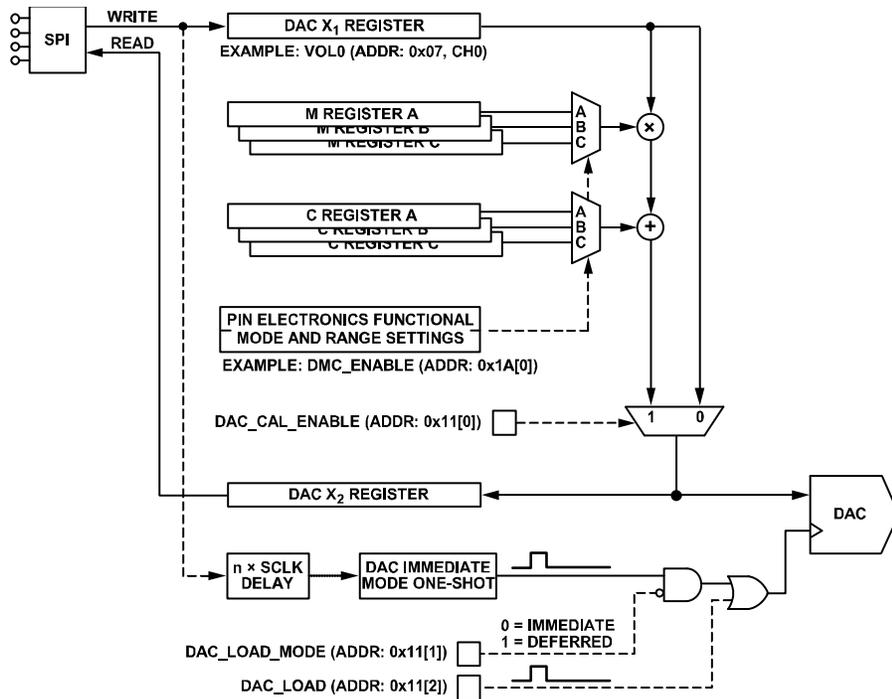


图130. DAC X₂寄存器和校准图

12160-027

警报功能

ADATE320的每个信道上都有过电压检测器(OVDL/OVDH), 每个通道都有PPMU电压/电流箝位(PCLx/PCHx), 还有一个温度警报器, 用于检测和标示这些相应的故障情况。这些功能中的任何一个都可以在警报状态寄存器中单独标记警报(参见图153)。可以通过读取SPI警报状态寄存器随时确定警报状态。该寄存器是只读的, 其内容由读操作清除。然后, 警报标志位可以由任何相应的警报功能设置。各个故障条件标志都用逻辑“或”关系关联起来, 用于驱动开漏ALARM输出引脚, 以标示发生了故障(见图134)。

可以使用警报屏蔽寄存器启用或禁用(屏蔽)各种警报标志(见图152)。默认情况下启用温度警报(屏蔽位清零), 禁用过压和PPMU箝位警报(设置屏蔽位)。

PPMU箝位警报行为取决于PPMU的模式。在FI模式下, PPMU箝位表现为可编程电压箝位。高低压箝位电平由相应的PCHx和PCLx电平设置DAC设置。如果DUTx引脚上的电压达到PCHx或PCLx设置, 则会产生PPMU箝位警报, 但当箝

位是通过PPMU控制寄存器中的PPMU_CLAMP_ENABLE_x控制位使能之时(见图151)。请注意, 如果启用PPMU箝位并生成PPMU箝位警报, 则仍可通过警报屏蔽寄存器屏蔽警报。但是, 如果禁用电压箝位, 则不会产生PPMU箝位警报。

当PPMU处于FV模式时, PPMU箝位表现为可编程电流箝位。源电流和灌电流箝位电平由相应的PCHx和PCLx电平设置DAC设置。通过设置或清零PPMU_CLAMP_ENABLE_x控制位不能禁用电压箝位——在PPMU FV模式下箝位始终有效。如果PCHx和PCLx电平的设置超出其功能范围, 则保持±140%的静态电流限制。如果DUTx引脚上的电流达到PCHx或PCLx箝位设置或者静态电流限制中的一个, 则会产生PPMU箝位警报。PPMU箝位警报可以在警报屏蔽寄存器中单独屏蔽。

有关PPMU箝位功能的更多信息, 请参见图131至图134。

各种警报电路的唯一作用是检测并指示存在用户关注的故障状况。ADATE320检测到故障时进行唯一的操作是置位警报状态寄存器中相应的警报状态寄存器标志位, 然后激活开漏ALARM引脚。不会进行其他操作。

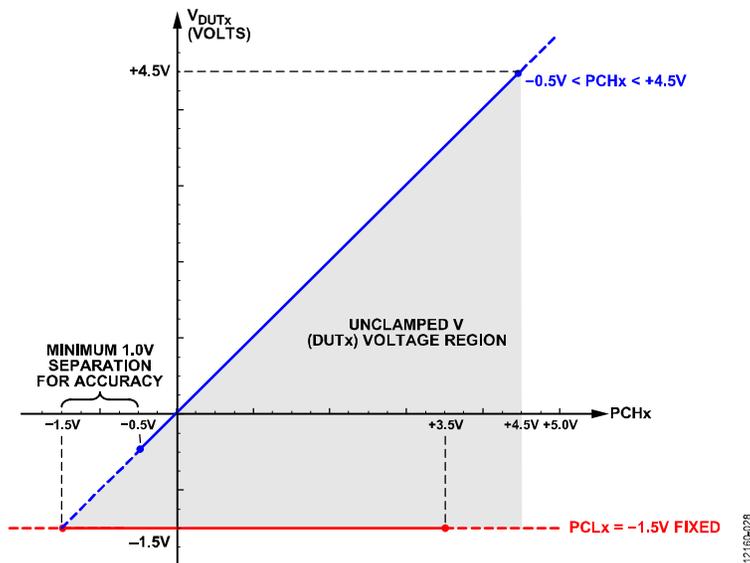


图131. PPMU电压箝位高电平功能图 (电压箝位低电平固定于-1.5 V)

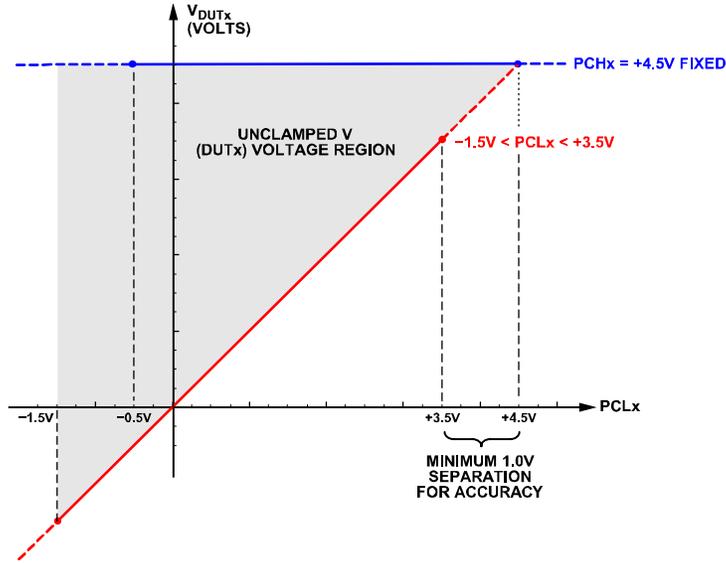


图132. PPMU电压箝位低电平功能图
(电压箝位高电平固定于4.5 V)

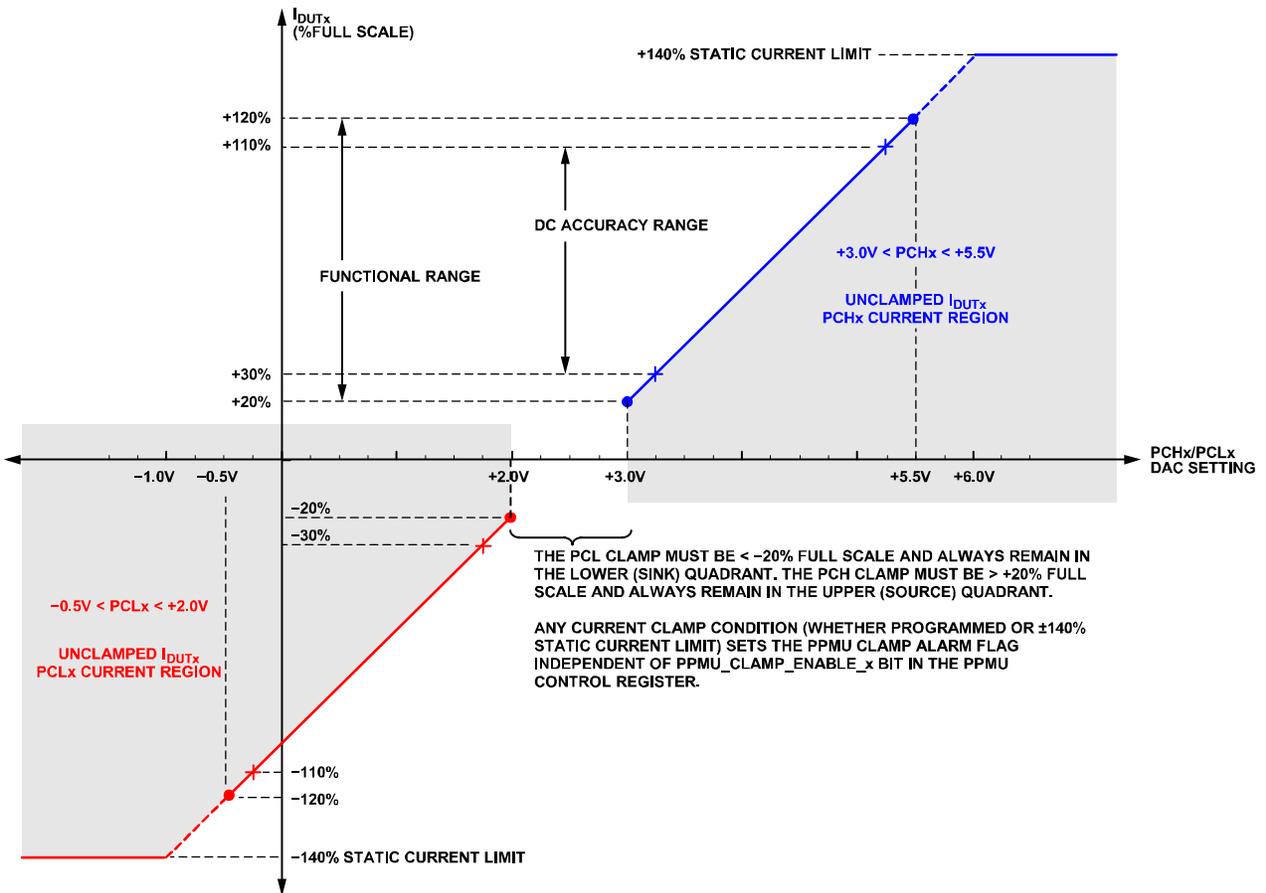


图133. PPMU电流箝位高低电平功能图

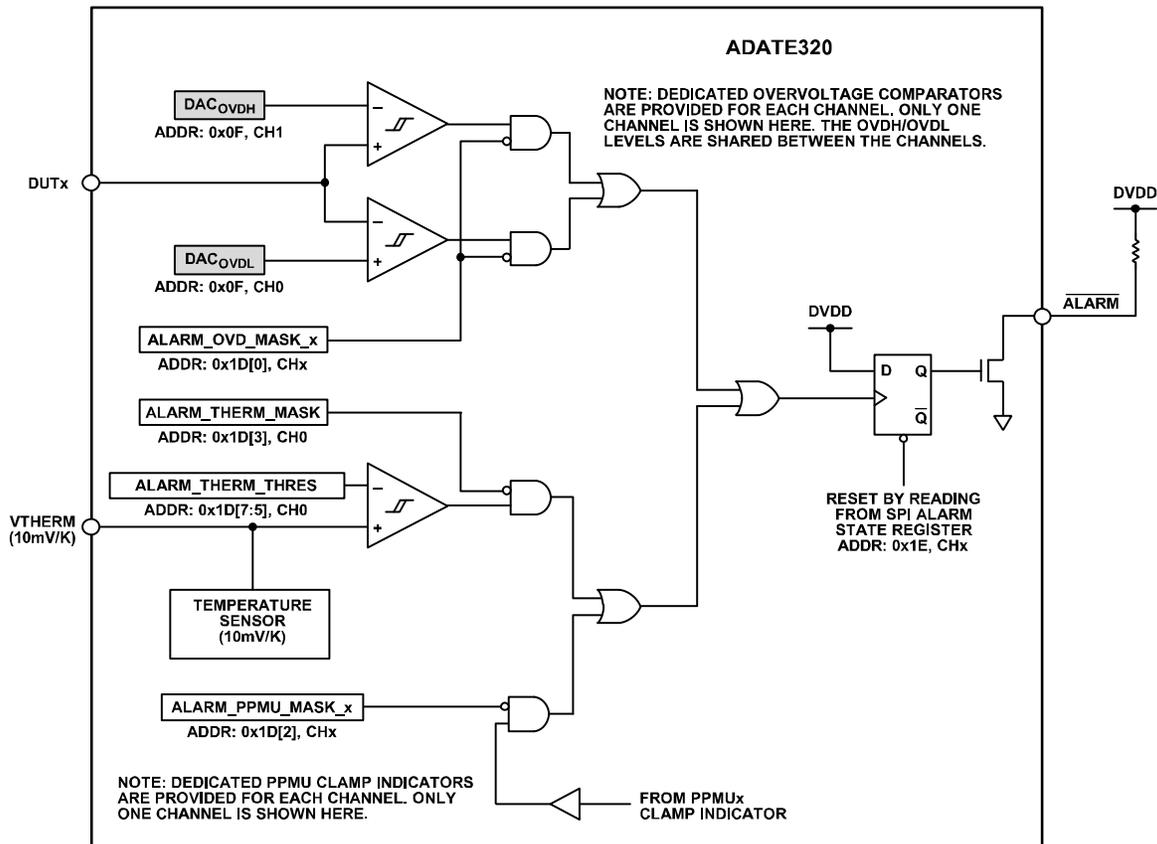


图134. 故障警报功能框图

12160-031

应用信息

电源、接地与典型去耦策略

ADATE320在其内部分为一个数字内核和一个模拟内核。

VDD和DGND引脚为数字内核提供电源和地，数字内核包括SPI、某些逻辑功能和数字校准功能。DGND是VDD电源的逻辑接地参考。因此，使用高质量、低电平有效串联电阻(ESR)旁路电容将VDD充分旁路至DGND。为了减少耦合到模拟内核的瞬态数字开关噪声，请将DGND连接到与模拟地域分离的专用外部接地层。如果应用允许，DGND引脚可与ADATE320 SPI接口的监控FPGA或ASIC共享数字地域。所有CMOS输入和输出均在VDD和DGND之间折合，其担保有效电平必须与这些电源引脚相对。

器件的模拟内核包括所有模拟ATE功能模块，如DAC、驱动器、比较器、负载和PPMU。VCC和VEE电源为模拟内核提供电源。AGND和PGND分别是模拟地基准和电源地基准。一般地，PGND在模拟开关瞬态条件下的噪声更大，而且也可能具有大的静态直流电流。AGND通常更安静，而且其静态直流电流相对小。这两个地可以在芯片外部一起连接到共享的模拟地平面。无论如何，如果不受系统设计约束，请保持PGND和AGND（无论是分离还是共享）与DGND地平面的分离。

模拟内核产生的瞬态频率可能比SPI和片上数字电路产生的瞬态频率大一个数量级。因此，要密切注意VCC和VEE电源的去耦。必须使用现有最高质量的旁路电容将每个电源充分旁路至PGND地域。尽可能靠近器件放置去耦电容。去耦电容的ESR和有效串联电感(ESL)必须非常低。在ADATE320中的频率下，市场上的普通陶瓷电容可能只能提供极低的阻抗接地路径。因此，如果可能，请只考虑使用最高性能的去耦

电容。根据人们普遍认同的惯例，每个电源域还要共用一个典型的10 μ F钽电容。

请特别注意器件DUTx引脚处传输线路附近VCC和VEE电源的去耦。为了避免无用波形畸变和性能下降，必须确保，进出传输线路的所有返回电流都有一条直接和低阻抗路径，返回到相应DUTx引脚附近的VCCDx和VEEDx引脚。有关典型的传输线路去耦策略，请参见图135。

ADATE320有一个DUTGND基准输入引脚，用于检测目标被测器件(DUT)处的远处低频地电位。在PPMU FI模式下，除VIOH和VIOL有源负载电流和VPMU外，所有DAC电平均相对于此DUTGND输入在片内进行调整。此外，PPMU测量输出引脚(PPMU_Mx)也折合到DUTGND。因此，测量PPMU_Mx引脚的片外系统模数转换器(ADC)也必须折合到DUTGND。将系统ADC折合到AGND会导致误差，除非DUTGND直接连接到AGND，尽可能靠近ADATE320。对于不区分DUT地基准和系统模拟地基准的应用，DUTGND引脚可以连接到与AGND相同的地平面。

避免在该器件下方布设数字线路，否则会将噪声耦合至器件中。在器件下大量使用模拟接地层可以屏蔽可能以其他方式进入器件的噪声耦合。配电线必须提供到相应电源平面的超宽、超低电感路径。VCC和VEE尤其如此。在这些电源中，务必注意通孔电感——它不容忽视。必须充分屏蔽在ADATE320附近布线的快速开关信号，最好采用适当的接地回路，避免将噪声辐射到电路板的其他部分。布设这些线路时应尽可能远离器件的模拟输入端，例如AGND、DUTGND、VREF和VREFGND参考输入。

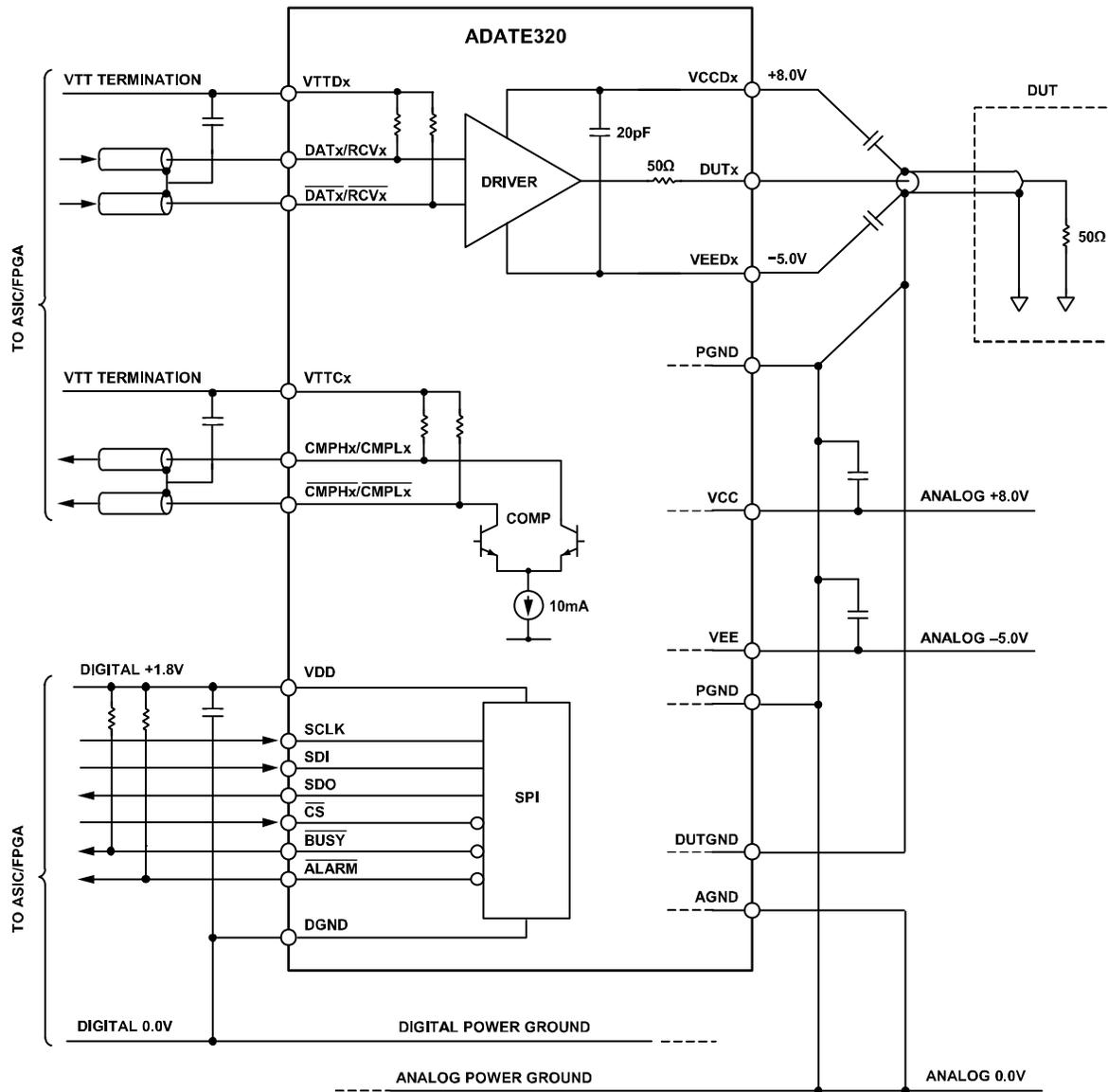


图135. 电源和传输路径去耦详解

121864-03

上电顺序

根据设计, ADATE320能容许任何电源上电顺序方案。因此, 是否用任何特定顺序对电源上电排序并不重要; 但是, 也有最佳做法。

ADATE320有两个模拟电源 (V_{CC} 、 V_{EE}) 和一个数字电源 (V_{DD})。模拟电源为芯片上的所有模拟功能供电, 如电平设置DAC、驱动器、比较器、负载和PPMU。数字电源为SPI和所有数字CMOS控制电路供电。

芯片的模拟分区和数字分区之间经过谨慎的分离, 并且尽可能从功能和电气两个方面对这两个分区去耦。在没有 V_{DD} 的情况下, 模拟分区保持默认配置, 同样, 在没有 V_{CC} 和 V_{EE} 二者之一 (或两者均无) 的情况下, 数字分区保持默认配置。

如果 V_{EE} 或 V_{CC} 电源调节不良或不存在, 则无法保证模拟分区行为的可预测性。因此, 建议将任何外部连接的器件与DUTx引脚断开, 防止在 V_{EE} 或 V_{CC} 电源之一超出额定规格范围时对器件造成损坏。

假设 V_{EE} 和 V_{CC} 模拟电源均已施加且符合规格要求, 模拟分区可确保所有功能保持默认配置。即使没有 V_{DD} 电源且数字CMOS控制电路尚未运行, 情况也是如此。在这种情况下 (或每当 \overline{RST} 引脚置位时), 所有电平设置DAC均采用DUTGND输入引脚上的电压, 所有SPI控制位均采用其复位默认值。只要 V_{DD} 不存在或者 \overline{RST} 引脚保持置位, 模拟功能就会保持在这种安全状态下。

在 V_{DD} 电源启动期间, 建议始终将 \overline{RST} 引脚置位。如果满足此条件, 则电平设置DAC会在 V_{DD} 稳定以及 \overline{RST} 释放之后继续保持DUTGND电位。在完成时钟复位顺序后将电平设置DAC初始化为表29中指定的复位默认条件。

复位序列在“SPI复位序列与引脚”部分有更详细的描述。

鉴于这些考虑因素, 建议先用两个模拟电源。最好在较大电源(V_{CC})之前加载较小值的电源(V_{EE})。接下来在 \overline{RST} 引脚置位时, 启动数字 V_{DD} 电源。 V_{DD} 稳定后且 \overline{RST} 引脚随后释放后, 必须执行完全时钟复位序列。此电源序列可确保模拟功能和所有电平设置DAC在数字分区复位序列期间接收到正确的配置信息。

必须按相反的顺序移除电源。

请注意, V_{REF} 和高速传输线路端接引脚 (V_{TTDx} 、 V_{TTCx}) 都是模拟分区的一部分, 但我们不将它们视为电源。 V_{REF} 可以独立于 V_{CC} 和 V_{EE} 进行管理, 前提是其电位永远不会超出 V_{EE} 和 V_{CC} 电源总线, 以防止ESD保护二极管变为正向偏置。 V_{TTDx} 和 V_{TTCx} 引脚没有相对于 V_{CC} 和 V_{EE} 的限制, 但它们绝不能超出相对于PGND测量的绝对最大额定值。

详细功能框图

图142至图145显示了ADATE320的驱动器、比较器、有源负载和PPMU功能等功能。

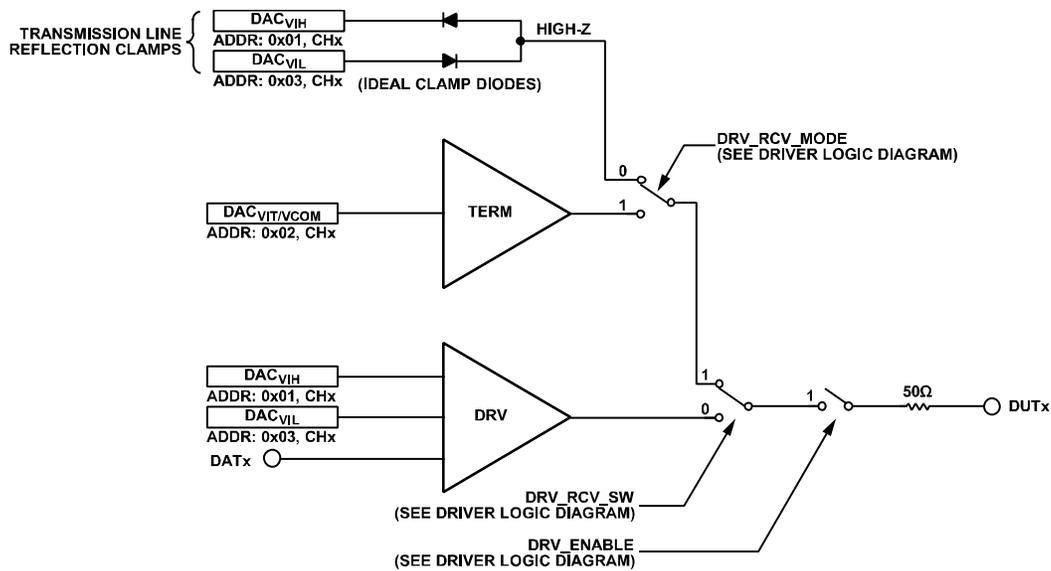


图136. 驱动器功能框图

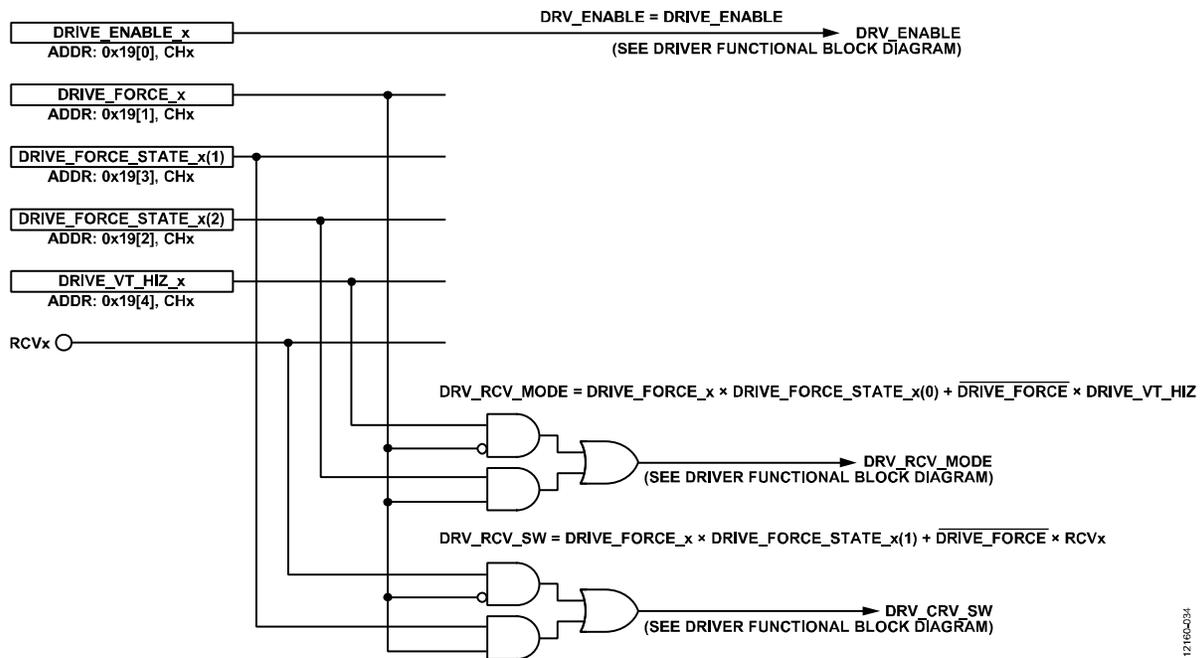


图137. 驱动器逻辑图

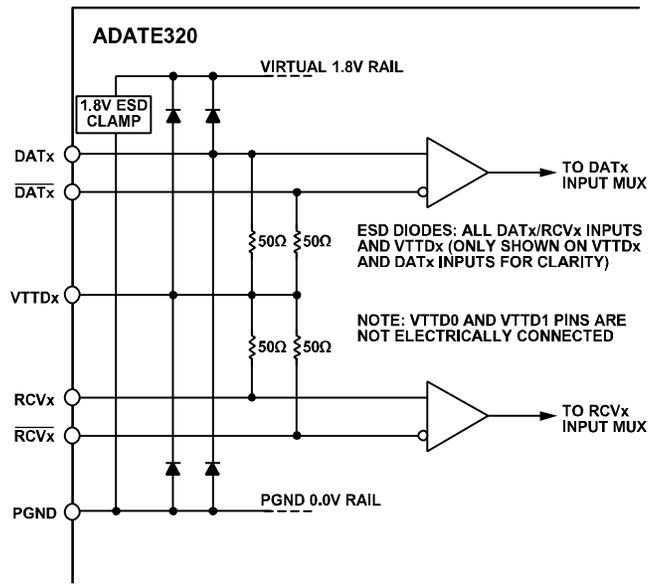


图138. 驱动器等效输入级图

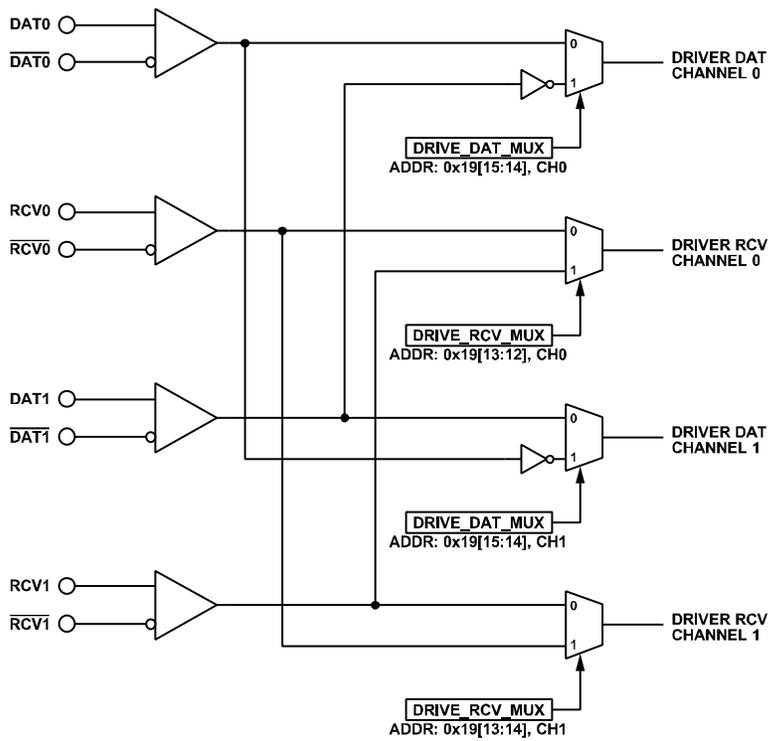


图139. 驱动器输入多路复用图

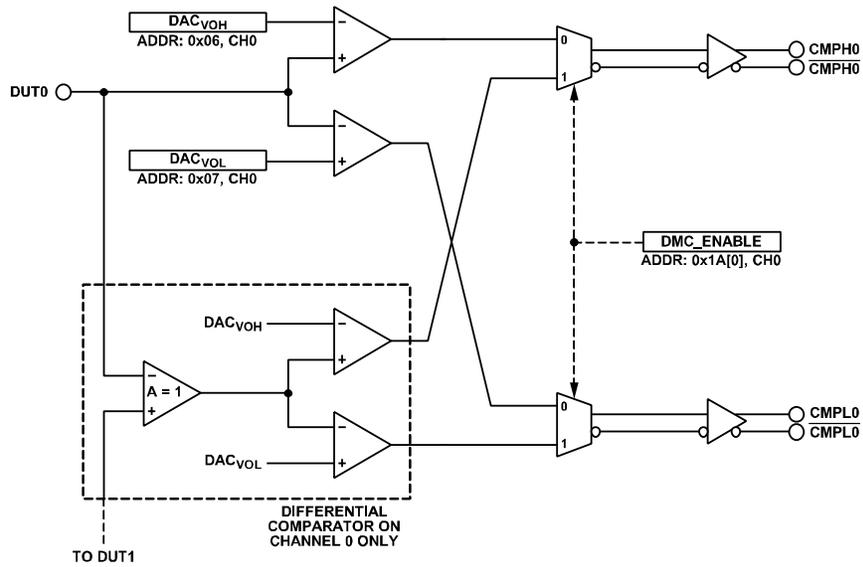


图140. 比较器功能框图

12160437

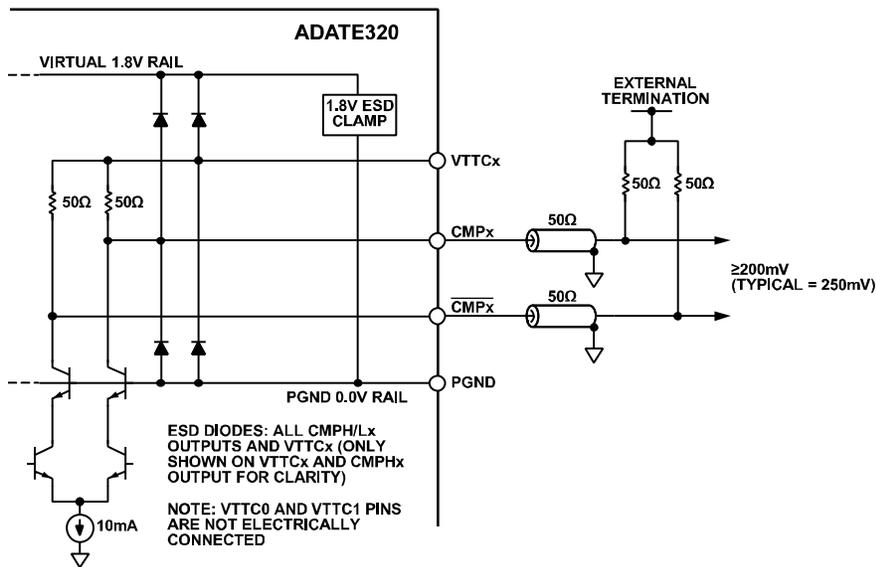


图141. 比较器等效输出级图

12160438

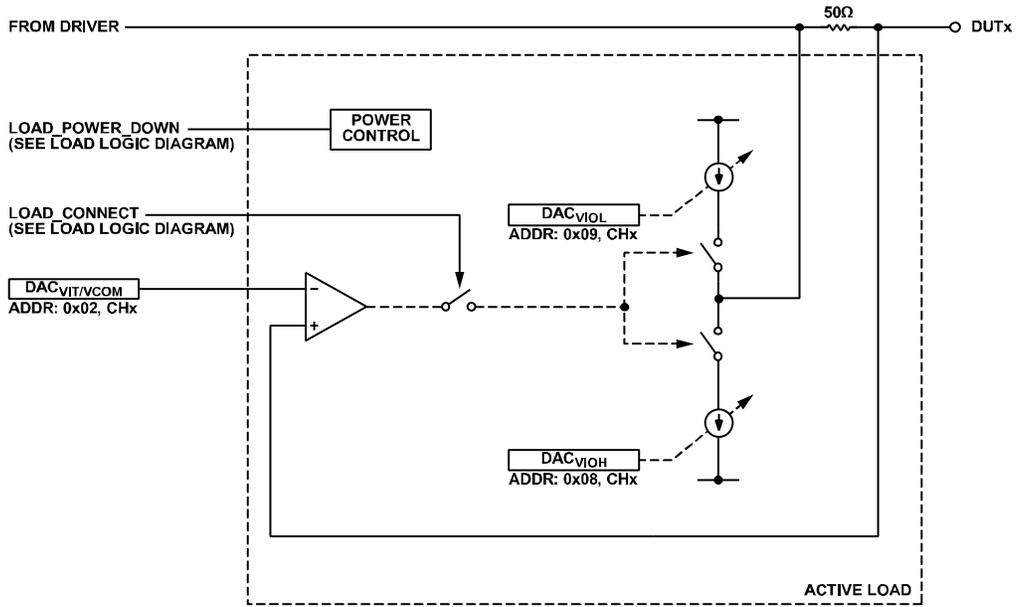


图142. 有源负载框图

12160-039

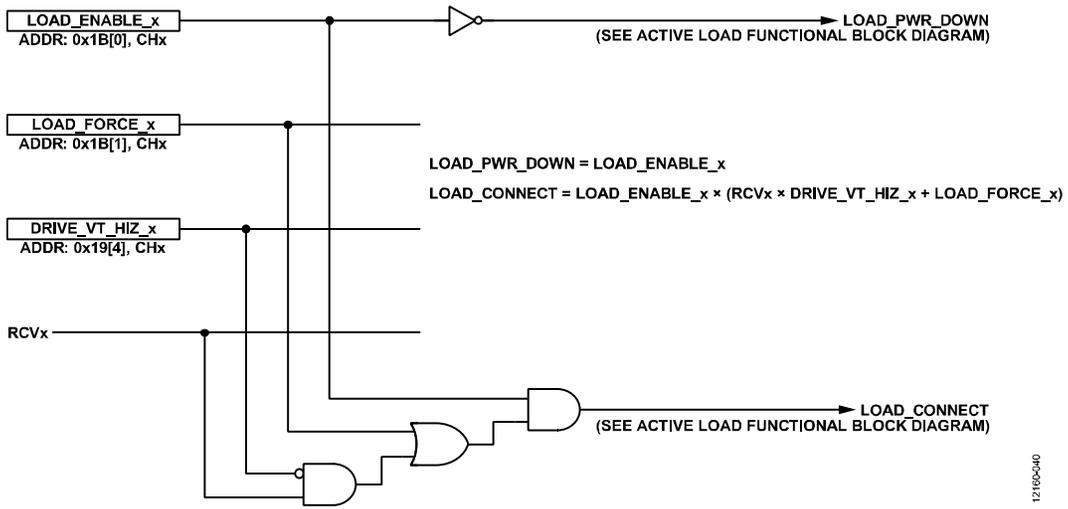


图143. 有源负载功能逻辑图

12160-040

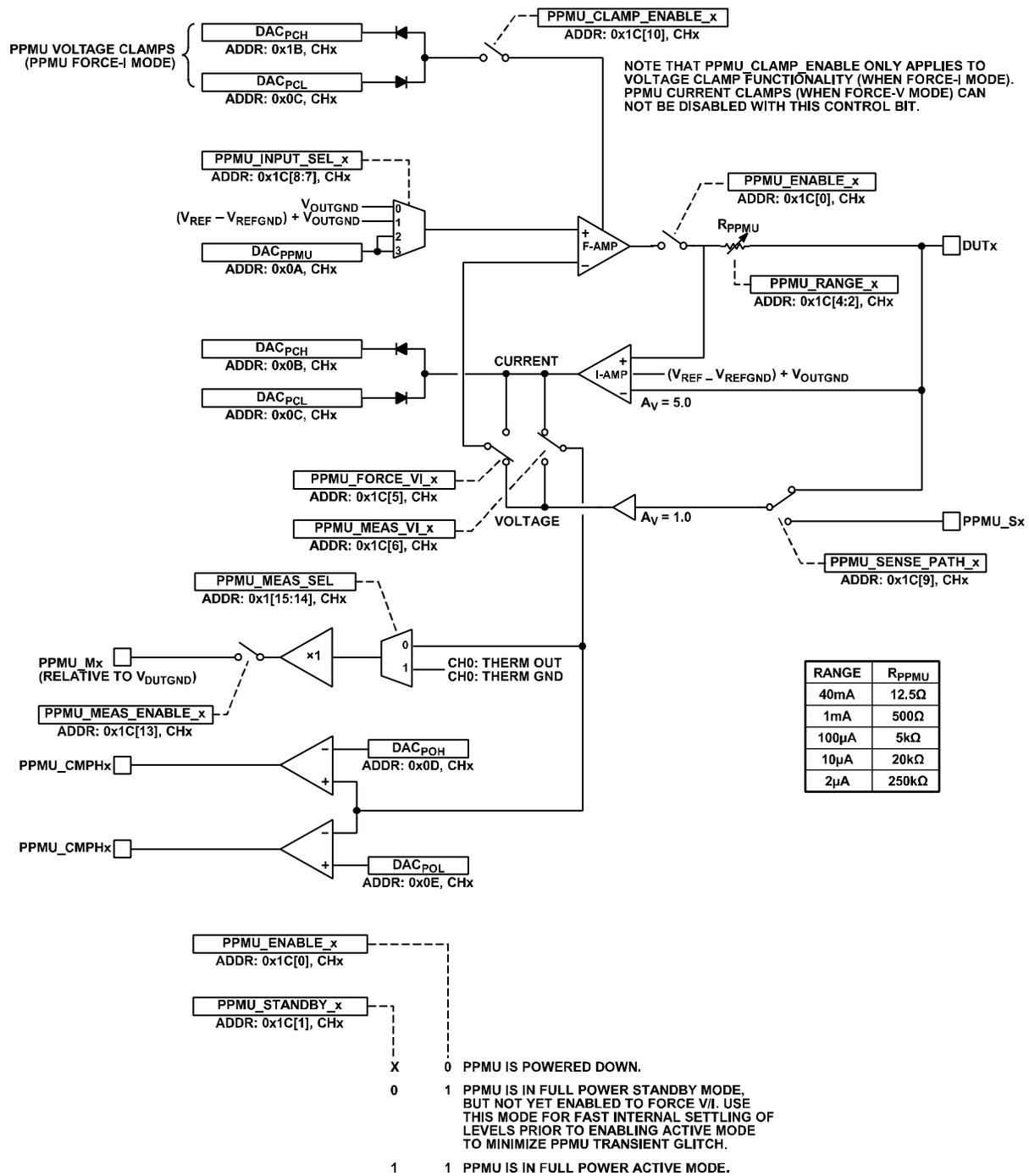


图144. PPMU功能框图

12160-041

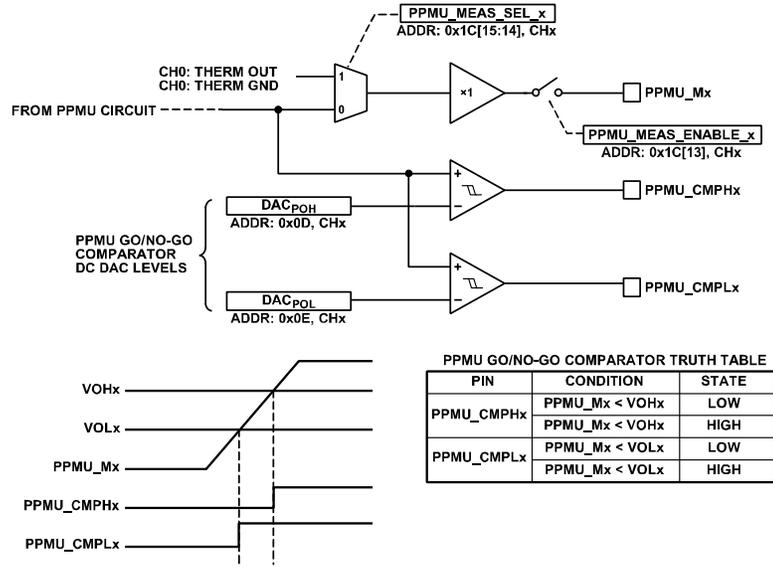


图145. PPMU Go/No-Go比较器功能框图

12165-042

SPI寄存器存储器映射及详解

存储器映射

表29. SPI寄存器存储器映射¹

CH[1:0] ²	地址(ADDR[6:0])	R/W	DATA[15:0] ³	寄存器描述	复位值
XX	0x00	X	XXXX	NOP	
CC	0x01	R/W	DDDD	VIH DAC电平 (复位值= 0.0 V)	0x4000
CC	0x02	R/W	DDDD	VIT/VCOM DAC电平 (复位值= 0.0 V)	0x4000
CC	0x03	R/W	DDDD	VIL DAC电平 (复位值= 0.0 V)	0x4000
CC	0x04	R/W	DDDD	VCHx DAC电平 (复位值= V_{MAX})	0xFFFF
CC	0x05	R/W	DDDD	VCLx DAC电平 (复位值= V_{MIN})	0x0000
CC	0x06	R/W	DDDD	VOHx DAC电平 (复位值= 4.0 V)	0xA666
CC	0x07	R/W	DDDD	VOLx DAC电平 (复位值= -1.0 V)	0x2666
CC	0x08	R/W	DDDD	VIOH DAC电平 (复位值 $\geq 0\mu A$) ⁴	0x4000
CC	0x09	R/W	DDDD	VIOL DAC电平 (复位值 $\geq 0\mu A$) ⁴	0x4000
CC	0x0A	R/W	DDDD	PPMU DAC电平 (复位值= 0.0 V)	0x4000
CC	0x0B	R/W	DDDD	PCHx DAC电平 (复位值= V_{MAX})	0xFFFF
CC	0x0C	R/W	DDDD	PCLx DAC电平 (复位值= V_{MIN})	0x0000
CC	0x0D	R/W	DDDD	POHx DAC电平 (复位值= 4.0 V)	0xA666
CC	0x0E	R/W	DDDD	POLx DAC电平 (复位值= -1.0 V)	0x2666
01	0x0F	R/W	DDDD	OVDL DAC电平 (复位值= V_{MIN})	0x0000
10	0x0F	R/W	DDDD	OVDH DAC电平 (复位值= V_{MAX})	0xFFFF
XX	0x10	X	XXXX	保留	
CC	0x11	R/W	DDDD	DAC控制寄存器	0x0000
01	0x12	R/W	DDDD	SPI控制寄存器	0x0000
XX	0x13至0x18	X	XXXX	保留	
CC	0x19	R/W	DDDD	DRV控制寄存器	0x0000
CC	0x1A	R/W	DDDD	CMP控制寄存器	0xFF00
CC	0x1B	R/W	DDDD	负载控制寄存器	0x0003
CC	0x1C	R/W	DDDD	PPMU控制寄存器	0x0000
01	0x1D	R/W	DDDD	警报屏蔽寄存器	0x0085
10	0x1D	R/W	DDDD	警报屏蔽寄存器	0x0005
CC	0x1E	R	DDDD	警报状态寄存器	0x0000
CC	0x1F	R/W	DDDD	产品序列化代码寄存器	Unique
XX	0x20	X	XXXX	NOP	
CC	0x21	R/W	DDDD	VIH (驱动器高电平) m系数	0xFFFF
CC	0x22	R/W	DDDD	VIT (驱动器端接电平) m系数	0xFFFF
CC	0x23	R/W	DDDD	VIL (驱动器低电平) m系数	0xFFFF
CC	0x24	R/W	DDDD	VCHx (驱动器反射箝位) m系数	0xFFFF
CC	0x25	R/W	DDDD	VCLx (驱动器反射箝位) m系数	0xFFFF
CC	0x26	R/W	DDDD	VOHx (常规窗口比较器) m系数	0xFFFF
CC	0x27	R/W	DDDD	VOLx (常规窗口比较器) m系数	0xFFFF
CC	0x28	R/W	DDDD	VIOH (有源负载IOHx) m系数	0xFFFF
CC	0x29	R/W	DDDD	VIOL (有源负载IOL) m系数	0xFFFF
CC	0x2A	R/W	DDDD	PPMU (PPMU FV) m系数	0xFFFF
CC	0x2B	R/W	DDDD	PCHx (PPMU电压箝位, FI) m系数	0xFFFF
CC	0x2C	R/W	DDDD	PCLx (PPMU电压箝位, FI) m系数	0xFFFF
CC	0x2D	R/W	DDDD	POHx (PPMU比较器MV) m系数	0xFFFF
CC	0x2E	R/W	DDDD	POLx (PPMU比较器MV) m系数	0xFFFF
01	0x2F	R/W	DDDD	OVDL m系数	0xFFFF
10	0x2F	R/W	DDDD	OVDH m系数	0xFFFF

CH[1:0] ²	地址(ADDR[6:0])	R/W	DATA[15:0] ³	寄存器描述	复位值
XX	0x30	X	XXXX	保留	
CC	0x31	R/W	DDDD	VIH (驱动器高电平) c系数	0x8000
CC	0x32	R/W	DDDD	VIT (驱动器端接电平) c系数	0x8000
CC	0x33	R/W	DDDD	VIL (驱动器低电平) c系数	0x8000
CC	0x34	R/W	DDDD	VCHx (驱动器反射箝位) c系数	0x8000
CC	0x35	R/W	DDDD	VCLx (驱动器反射箝位) c系数	0x8000
CC	0x36	R/W	DDDD	VOHx (常规窗口比较器) c系数	0x8000
CC	0x37	R/W	DDDD	VOLx (常规窗口比较器) c系数	0x8000
CC	0x38	R/W	DDDD	VIOH (有源负载IOHx) c系数	0x8000
CC	0x39	R/W	DDDD	VIOL (有源负载IOL) c系数	0x8000
CC	0x3A	R/W	DDDD	PPMU (PPMU FV) c系数	0x8000
CC	0x3B	R/W	DDDD	PCHx (PPMU电压箝位, FI) c系数	0x8000
CC	0x3C	R/W	DDDD	PCLx (PPMU电压箝位, FI) c系数	0x8000
CC	0x3D	R/W	DDDD	POHx (PPMU比较器MV) c系数	0x8000
CC	0x3E	R/W	DDDD	POLx (PPMU比较器MV) c系数	0x8000
01	0x3F	R/W	DDDD	OVDL c系数	0x8000
10	0x3F	R/W	DDDD	OVDH c系数	0x8000
XX	0x40至0x41	X	XXXX	保留	
CC	0x42	R/W	DDDD	VCOM (有源负载) m系数	0xFFFF
XX	0x43	X	XXXX	保留	
CC	0x44	R/W	DDDD	PCHx (PPMU电流箝位, FV) m系数	0xFFFF
CC	0x45	R/W	DDDD	PCLx (PPMU电流箝位, FV) m系数	0xFFFF
01	0x46	R/W	DDDD	VOHx (差分比较器) m系数	0xFFFF
01	0x47	R/W	DDDD	VOLx (差分比较器) m系数	0xFFFF
XX	0x48至0x49	X	XXXX	保留	
CC	0x4A	R/W	DDDD	PPMU FI范围A m系数	0xFFFF
CC	0x4B	R/W	DDDD	PPMU FI范围B m系数	0xFFFF
CC	0x4C	R/W	DDDD	PPMU FI范围C m系数	0xFFFF
CC	0x4D	R/W	DDDD	PPMU FI范围D m系数	0xFFFF
CC	0x4E	R/W	DDDD	PPMU FI范围E m系数	0xFFFF
XX	0x4F	X	XXXX	保留	
XX	0x50至0x51	X	XXXX	保留	
CC	0x52	R/W	DDDD	VCOM (有源负载) c系数	0x8000
XX	0x53	X	XXXX	保留	
CC	0x54	R/W	DDDD	PCHx (PPMU电流箝位, FV) c系数	0x8000
CC	0x55	R/W	DDDD	PCLx (PPMU电流箝位, FV) c系数	0x8000
01	0x56	R/W	DDDD	VOHx (差分比较器) c系数	0x8000
01	0x57	R/W	DDDD	VOLx (差分比较器) c系数	0x8000
XX	0x58至0x59	X	XXXX	保留	
CC	0x5A	R/W	DDDD	PPMU FI c系数	0x8000
XX	0x5B至0x5C	X	XXXX	保留	
CC	0x5D	R/W	DDDD	POHx (PPMU比较器MI) c系数	0x8000
CC	0x5E	R/W	DDDD	POLx (PPMU比较器MI) c系数	0x8000
XX	0x5F	X	XXXX	保留	
XX	0x60	X	XXXX	保留	
CC	0x61	R/W	DDDD	POHx (PPMU比较器MI范围A) m系数	0xFFFF
CC	0x62	R/W	DDDD	POHx (PPMU比较器MI范围B) m系数	0xFFFF
CC	0x63	R/W	DDDD	POHx (PPMU比较器MI范围C) m系数	0xFFFF
CC	0x64	R/W	DDDD	POHx (PPMU比较器MI范围D) m系数	0xFFFF
CC	0x65	R/W	DDDD	POHx (PPMU比较器MI范围E) m系数	0xFFFF
CC	0x66	R/W	DDDD	POLx (PPMU比较器MI范围A) m系数	0xFFFF

CH[1:0] ²	地址(ADDR[6:0])	R/W	DATA[15:0] ³	寄存器描述	复位值
CC	0x67	R/W	DDDD	POLx (PPMU比较器MI范围B) m系数	0xFFFF
CC	0x68	R/W	DDDD	POLx (PPMU比较器MI范围C) m系数	0xFFFF
CC	0x69	R/W	DDDD	POLx (PPMU比较器MI范围D) m系数	0xFFFF
CC	0x6A	R/W	DDDD	POLx (PPMU比较器MI范围E) m系数	0xFFFF
XX	0x6B至0x7F	X	XXXX	保留	

¹ X表示不必处理相应字段。

² CC表示两个连续的二进制通道位。

³ DDDD表示四位十六进制数据。

⁴ 有源负载VIOHx和VIOLx电压偏置有非零和正保证。在有效复位序列之后和校准之前，这些偏置会给每个IOHx和IOLx电平带来非零电流。此外，有源负载在复位后被强制进入有效导通状态，这有助于在有效复位序列（具有小但非零的IOHx和IOLx电流）之后将DUTx引脚软连接至VCOMx = 0.0 V。

寄存器详解

所有寄存器中的保留位都未定义。有时候可能实际存在但未用的存储器位。

保留位或寄存器的任何SPI读操作都会产生未知但确定性的回读值。对保留位或寄存器的任何SPI写操作都不会导致操作。

对仅在通道0上定义的控制位或控制寄存器的写操作必须至少寻址至通道0。如果在通道1上没有定义寄存器或控制位，则忽略仅寻址到通道1的任何此类写操作。

此外，任何同时寻址至通道0和通道1的写操作（作为多通道写操作）的执行方式均与仅寻址至通道0和通道1的写操作相同。如果通道1未定义寄存器或控制位，则忽略寻址到未定义通道1的数据。如果在通道1中定义了寄存器或控制位，则将作为多通道写操作的一部分进行填充。

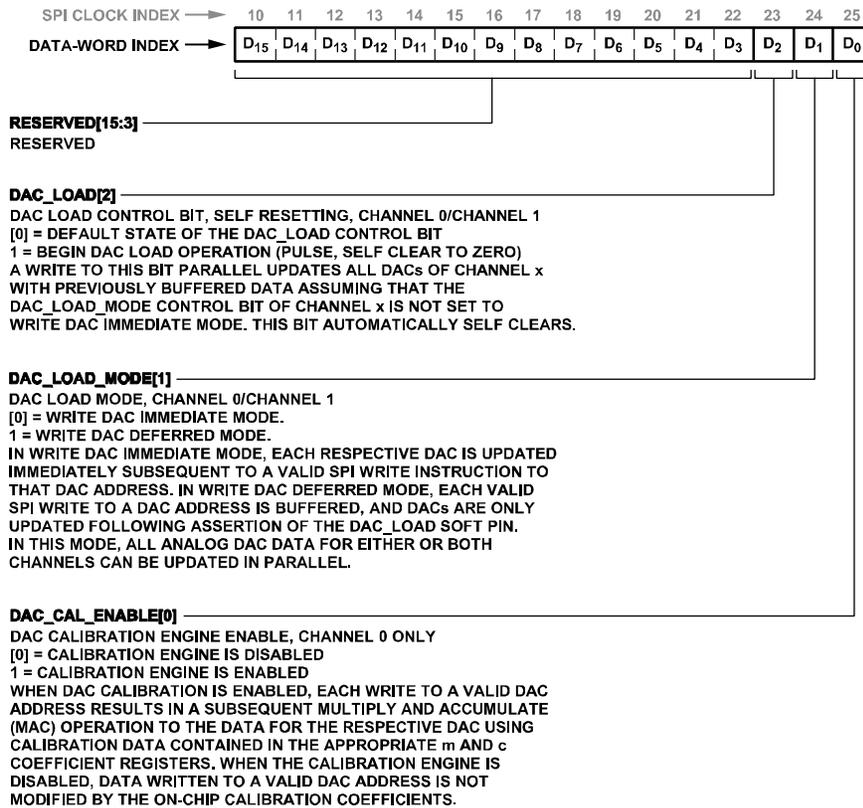


图146. DAC控制寄存器(地址0x11)

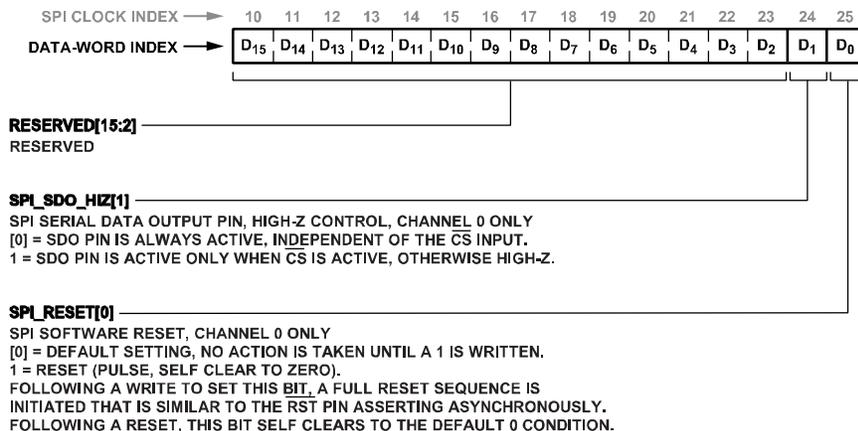
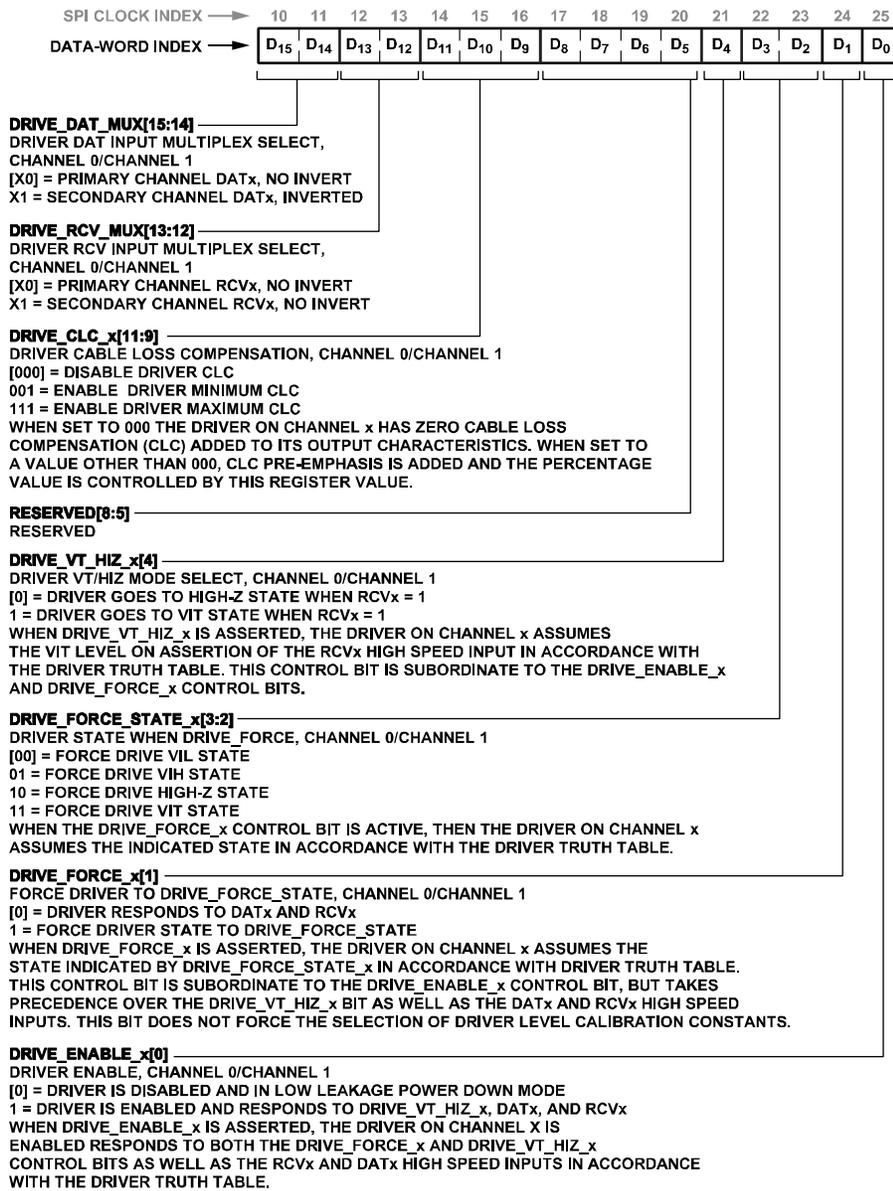


图147. SPI控制寄存器(地址0x12)



12780-019

图148. DRV控制寄存器(地址0x19)

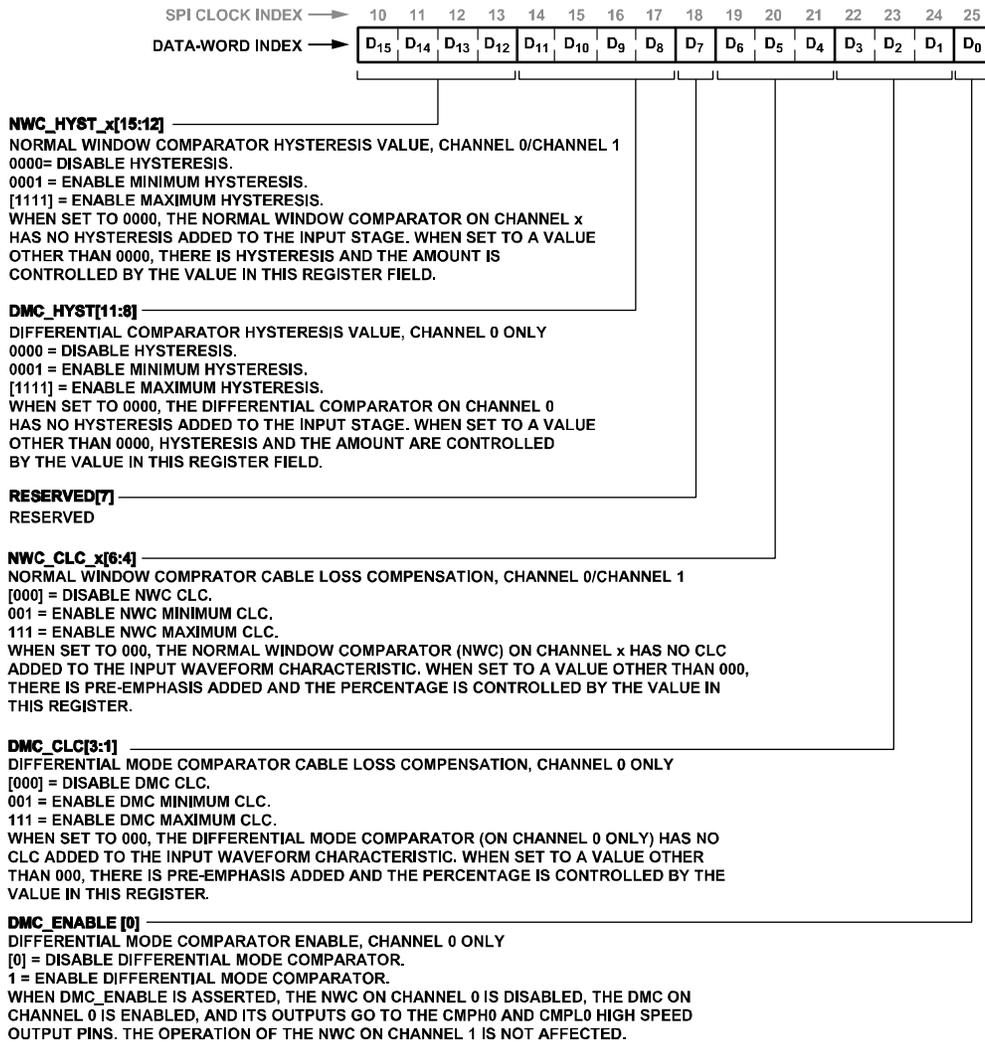


图149. CMP控制寄存器(地址0x1A)

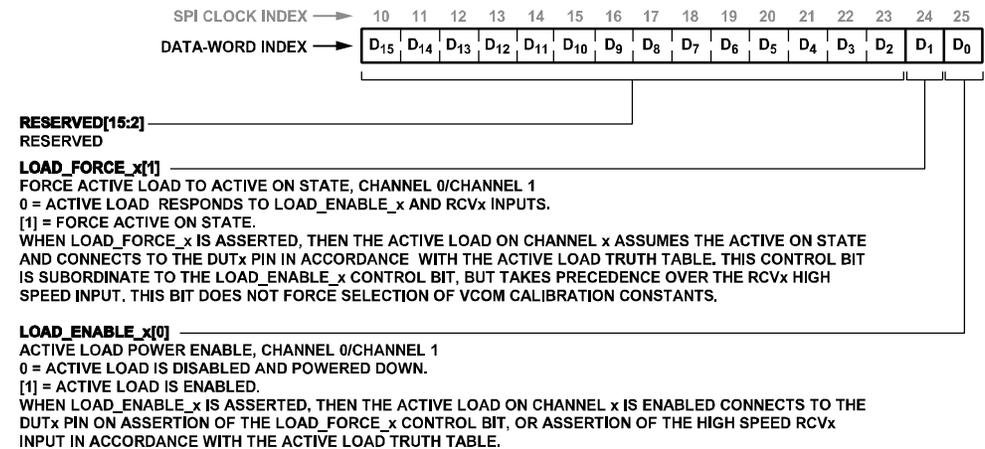
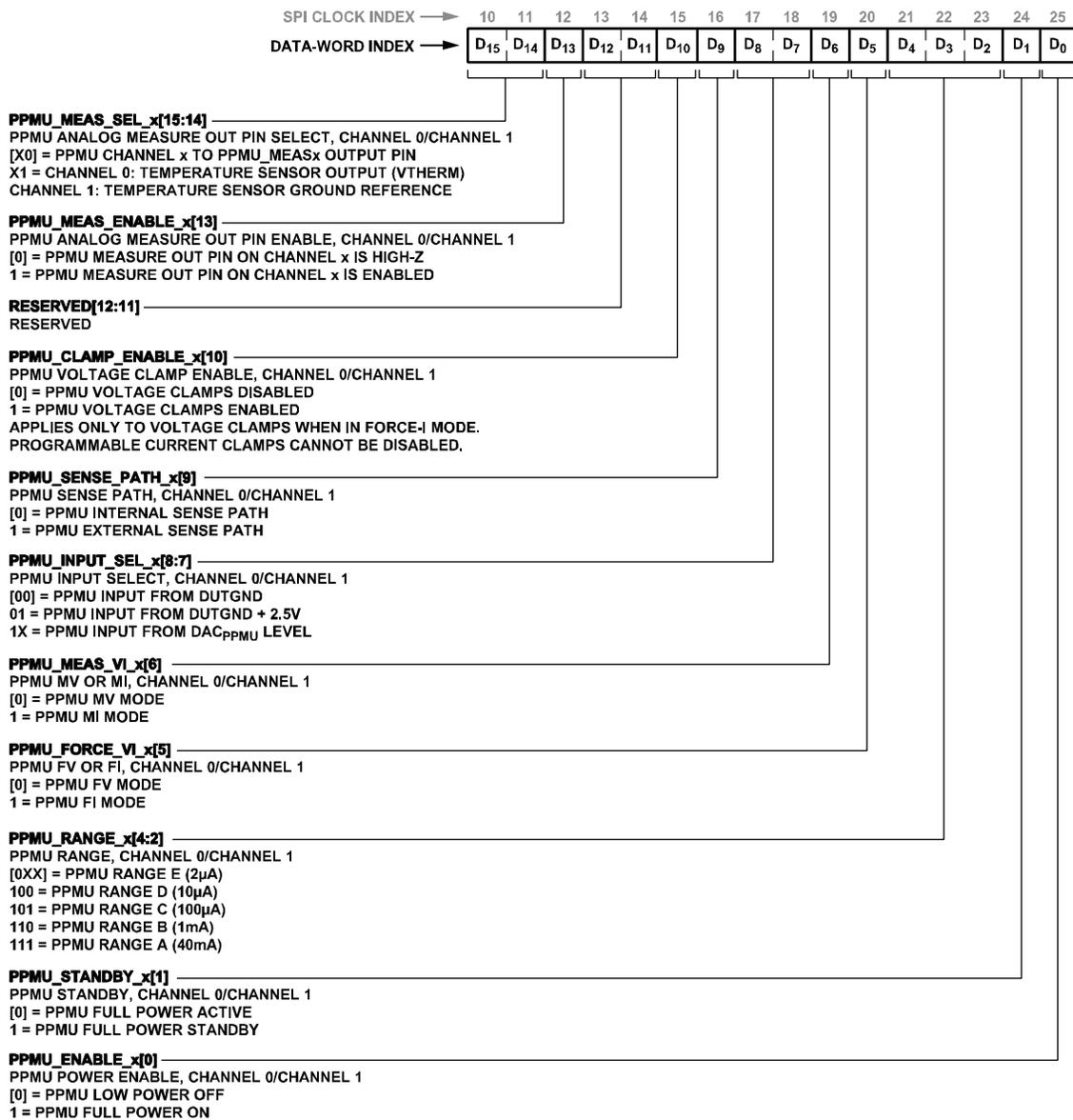
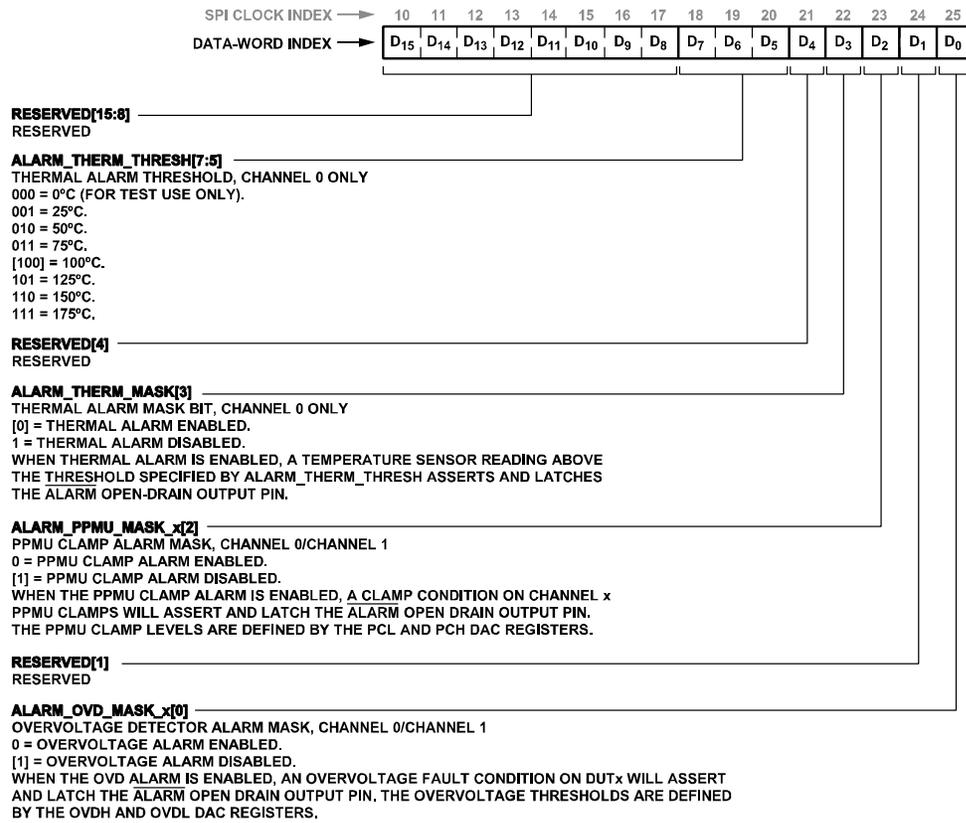


图150. 负载控制寄存器 (地址0x1B)



12160-022

图151. PPMU控制寄存器(地址0x1C)



12166-023

图152. 警报屏蔽寄存器(地址0x1D)

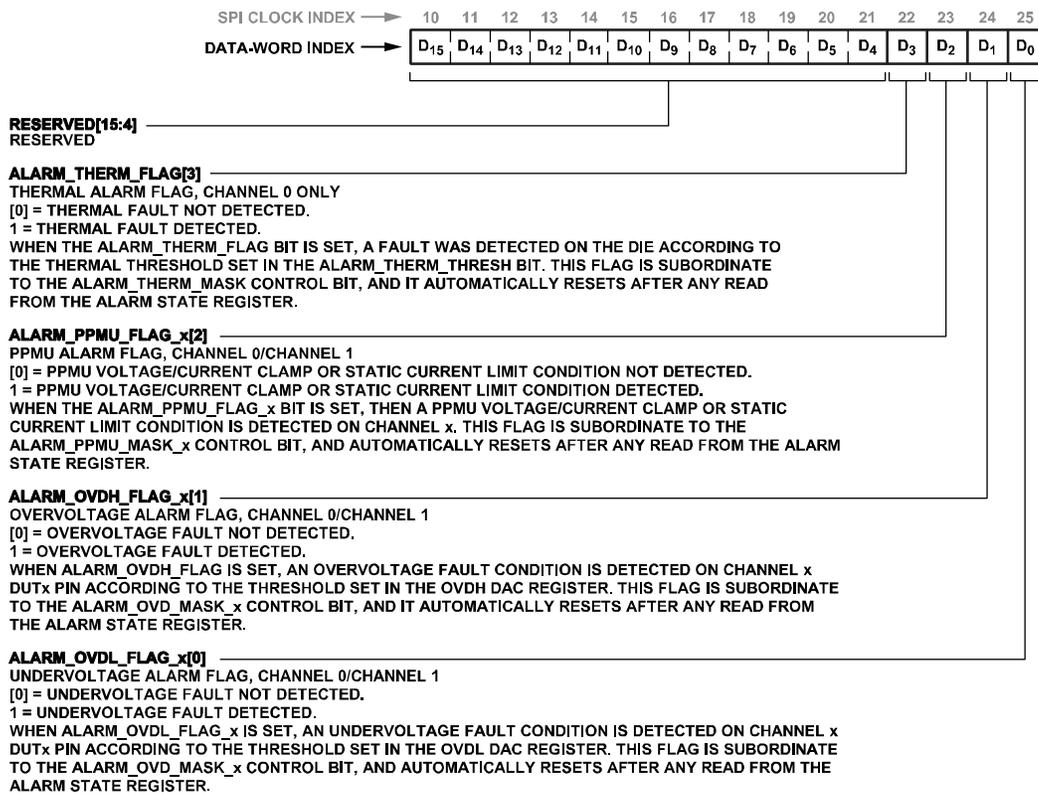


图153. 警报状态寄存器(地址0x1E) (只读)

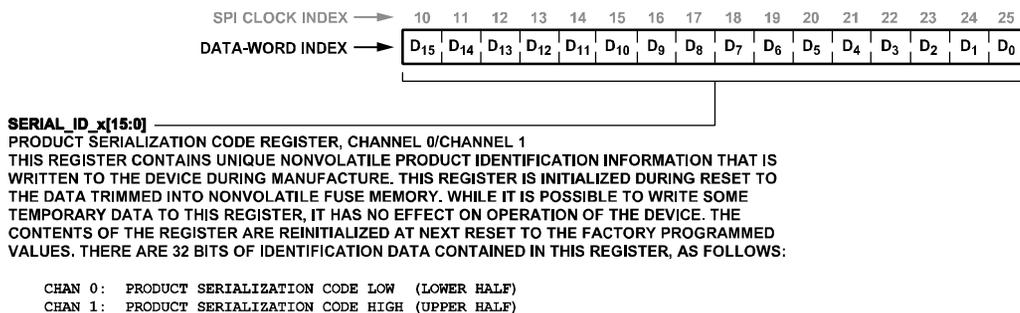


图154. 产品序列化代码寄存器 (地址0x1F)

默认测试条件

表30. 默认测试条件

名称	SPI地址	默认测试条件	描述
VIHx DAC电平	地址0x01[x]	2.0 V	
VITx/VCOMx DAC电平	地址0x02[x]	1.0 V	
VILx DAC电平	地址0x03[x]	0.0 V	
VOHx DAC电平	地址0x06[x]	5.0 V	
VOLx DAC电平	地址0x07[x]	-2.0 V	
POHx DAC电平	地址0x0D[x]	5.5 V	
POLx DAC电平	地址0x0E[x]	-2.0 V	
VCHx DAC电平	地址0x04[x]	5.0 V	
VLx DAC电平	地址0x05[x]	-2.0 V	
PCHx DAC电平	地址0x0B[x]	7.0 V	
PCLx DAC电平	地址0x0C[x]	-2.0 V	
VIOHx DAC电平	地址0x08[x]	0.0 mA	
VIOLx DAC电平	地址0x09[x]	0.0 mA	
PPMux DAC电平	地址0x0A[x]	0.0 V	
OVDH DAC电平	地址0x0F[1]	5.0 V	
OVDL DAC电平	地址0x0F[0]	-2.0 V	
DAC控制寄存器	地址0x11[0]	0x0000	DAC校准禁用, DAC负载模式立即生效
SPI控制寄存器	地址0x12[1]	0x0000	SDO引脚始终有效, 与 \overline{CS} 状态无关
DRV控制寄存器	地址0x19[x]	0x0000	驱动器在低泄漏模式下禁用, DATx/RCVx输入复用到主通道, CLC关闭, 驱动器在启用时响应高阻态到RCVx输入
CMP控制寄存器	地址0x1A[x]	0x0000	常规窗口比较器模式, CLC关闭, 迟滞关闭
LOAD控制寄存器	地址0x1B[x]	0x0000	有源负载禁用并处于关断模式
PPMU控制寄存器	地址0x1C[x]	0x0000	PPMU禁用且处于关断模式, 模式设置为FVMV范围E, 输入选择 V_{DUTGND} 内部检测路径至 V_{DUTx} , PPMU_Mx引脚为高阻态, 箝位禁用
ALARM屏蔽寄存器	地址0x1D[x]	0x0085	禁用PPMU和过压检测器警报功能
校准m系数	不适用	1.0 (0xFFFF)	
校准c系数	不适用	0.0 (0x8000)	
DATx, RCVx输入	不适用	静态低电平	
SCLK输入	不适用	静态低电平	
DUTx引脚	不适用	未端接	
CMPhx, CMPLx输出	不适用	未端接	
V_{DUTGND}	不适用	0.0 V	

外部器件

除了表31和表32中列出的外部元件外，还可参见“电源、接地和典型去耦策略”部分，进一步了解推荐的电源去耦电容。

表31. PPMU外部补偿电容

外部元件值(pF)	位置
1000 pF	在CFFB0和CFFA0引脚之间
1000 pF	在CFFB1和CFFA1引脚之间

表32. 其他外部器件

外部元件值(kΩ)	位置
10 kΩ	ALARM上拉电阻到VDD
1 kΩ	BUSY上拉电阻到VDD

