

产品特性

大型、32 × 32、非阻塞式开关阵列
G = +1 (ADV3200)或G = +2 (ADV3201)运作
 提供引脚兼容32 × 16版本
 (ADV3202/ADV3203)
 5 V单电源, ±2.5 V双电源, 或
 ±3.3 V双电源(G = +2)
 开关阵列的串行编程
 每个输出均配备2:1 OSD插入多路复用器
 输入同步端箝位
 利用高阻抗输出禁用功能, 多个器件
 可以相连, 而且输出总线负载极小
出色的视频性能
 60 MHz, 0.1 dB增益平坦度
 0.1%差分增益误差($R_L = 150 \Omega$)
 0.1°差分相位误差($R_L = 150 \Omega$)
出色的交流性能
 带宽: >300 MHz
 压摆率: >400 V/ μ s
低功耗: 1.25 W
 所有不利串扰低: -48 dB (5 MHz)
 复位引脚可以禁用所有输出
 通过一个电容与地相连可提供上电复位功能
 176引脚裸露焊盘LQFP (24 mm × 24 mm)封装

应用

闭路电视监控
 高速信号路由, 包括:
 复合视频(NTSC、PAL、S、SECAM)
 RGB和分量视频路由
 压缩视频(MPEG、小波)
 视频会议

概述

ADV3200/ADV3201为32 × 32模拟交叉点开关矩阵。具有适合交流耦合应用的可选同步脉冲顶部箝位输入, 以及屏幕显示(OSD)插入多路复用器。两款器件的串扰性能均为-48 dB, 隔离性能为-80 dB (5 MHz), 因而适合许多高密度路由应用。同时0.1 dB平坦度达60 MHz, 堪称复合视频切换应用的理想之选。

ADV3200/ADV3201内置32个独立输出缓冲器, 可以将这些缓冲器置于高阻抗状态, 以提供并行交叉点输出, 因此构建更大阵列时, 关断通道仅向输出总线提供极小的负载。

功能框图

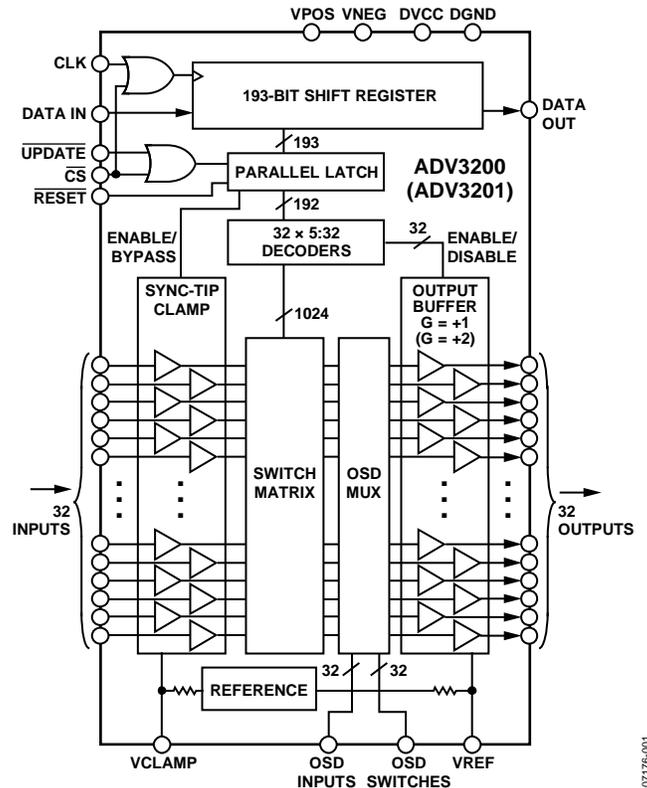


图1.

ADV3200提供增益+1, ADV3201提供增益+2, 适合后部端接负载应用。两款器件可以采用5 V单电源、±2.5 V双电源或±3.3 V双电源(G = +2)供电, 所有输出均使能时的空闲功耗仅为250 mA。通道开关通过双缓冲式串行数字控制接口实现, 可以利用该接口将多个器件以菊花链形式连接起来。

ADV3200/ADV3201采用176引脚裸露焊盘LQFP (24 mm × 24 mm)封装, 工作温度范围为-40°C至+85°C扩展工业温度范围。

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700
 Fax: 781.461.3113
www.analog.com

©2008 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	I/O原理图.....	12
应用.....	1	典型性能参数.....	13
功能框图.....	1	ADV3200.....	13
概述.....	1	ADV3201.....	20
修订历史.....	2	工作原理.....	27
技术规格.....	3	应用信息.....	29
OSD禁用.....	3	编程.....	29
OSD使能.....	4	输入交流耦合.....	29
时序特性(串行模式).....	5	屏幕显示(OSD).....	31
绝对最大额定值.....	7	去耦.....	31
热阻.....	7	功耗.....	31
功耗.....	7	串扰.....	32
ESD警告.....	7	PCB端接布局.....	34
引脚配置和功能描述.....	8	外形尺寸.....	36
真值表和逻辑图.....	11	订购指南.....	36

修订历史

2008年10月—版本0：初始版

技术规格

OSD禁用

除非另有说明, $V_S = \pm 2.5\text{ V}$ (ADV3200), $V_S = \pm 3.3\text{ V}$ (ADV3201, $T_A = 25^\circ\text{C}$ 时), $G = +1$ (ADV3200), $G = +2$ (ADV3201), $R_L = 150\ \Omega$, 全配置。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能					
-3 dB带宽	200 mV p-p		300		MHz
增益平坦度	2 V p-p 0.1 dB, 200 mV p-p		120 60		MHz MHz
建立时间	0.1 dB, 2 V p-p 1%, 2 V阶跃		40 6		MHz ns
压摆率	2 V阶跃, 峰值		400		V/ μs
噪声/失真性能					
差分增益误差	NTSC或PAL				
ADV3200			0.06		%
ADV3201			0.1		%
差分相位误差	NTSC或PAL				
ADV3200			0.06		度
ADV3201			0.03		度
所有不利串扰, RTI	$f = 5\text{ MHz}$, $R_L = 150\ \Omega$ $f = 5\text{ MHz}$, $R_L = 1\text{ k}\Omega$ $f = 100\text{ MHz}$, $R_L = 150\ \Omega$ $f = 100\text{ MHz}$, $R_L = 1\text{ k}\Omega$		-48 -65 -23 -30		dB dB dB dB
关断隔离, 输入至输出, RTI	$f = 5\text{ MHz}$, 一个通道		-80		dB
输入电压噪声	0.1 MHz至50 MHz				
ADV3200			25		nV/ $\sqrt{\text{Hz}}$
ADV3201			22		nV/ $\sqrt{\text{Hz}}$
直流性能					
增益误差					
ADV3200	空载(广播模式)		± 0.5	± 1.75	%
ADV3201	广播模式		± 0.5	± 2.2	%
增益匹配	空载(广播模式)		± 0.5	± 2.2	%
增益匹配	广播模式		± 0.5	± 2.7	%
增益匹配	通道间空载		± 0.5	± 2.8	%
增益匹配	通道至通道		± 0.8	± 3.4	%
输出特性					
输出阻抗	直流, 使能		0.15		Ω
ADV3200	直流, 禁用	900	1000		k Ω
ADV3201	直流, 禁用	3.2	4		k Ω
输出电容	禁用		3.7		pF
输出电压范围					
ADV3200		-1.1至+1.1	-1.2至+1.2		V
ADV3201		-1.5至+1.5	-1.6至+2.0		V
无输出负载		-1.5至+1.5	-2.0至+2.0		V
输入特性					
输入失调电压			± 5	± 30	mV
输入电压范围					
ADV3200		-1.1至+1.1	-1.2至+1.2		V
ADV3201		-0.75至+0.75	-0.8至+1.0		V
无输出负载		-0.75至+0.75	-1.0至+1.0		V

ADV3200/ADV3201

参数	测试条件/注释	最小值	典型值	最大值	单位
输入电容			3		pF
输入电阻		1	4		MΩ
输入偏置电流	同步端箝位使能, $V_{IN} = V_{CLAMP} + 0.1 V$	0.1	3	12	μA
	同步端箝位使能, $V_{IN} = V_{CLAMP} - 0.1 V$	-2.9	-1	-0.25	mA
	同步端箝位禁用	-10	-3		μA
开关特性					
使能导通时间	50%更新至1%建立		50		ns
开关时间, 2 V阶跃信号	50%更新至1%建立		40		ns
开关瞬变(毛刺)	IN00至IN31, RTI		300		mV p-p
电源					
电源电流					
ADV3200	VPOS或VNEG, 输出使能, 空载		250	300	mA
	VPOS或VNEG, 输出禁用		120	155	mA
ADV3201	VPOS或VNEG, 输出使能, 空载		260	310	mA
	VPOS或VNEG, 输出禁用		130	165	mA
DVCC			2.5	3.5	mA
电源电压范围	VPOS - VNEG		5 ± 10%至 6.6 ± 10%		V
PSR	VNEG, VPOS, f = 1 MHz				
ADV3200			-50		dB
ADV3201			-45		dB
工作温度范围					
温度范围	工作时(静止空气)		-40 to +85		°C
θ_{JA}	工作时(静止空气)		16		°C/W

OSD使能

除非另有说明, $V_S = \pm 2.5 V$ (ADV3200), $V_S = \pm 3.3 V$ (ADV3201, $T_A = 25^\circ C$ 时), $G = +1$ (ADV3200), $G = +2$ (ADV3201), $R_L = 150 \Omega$, 全配置。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
OSD动态性能					
-3 dB带宽					
ADV3200	200 mV p-p		170		MHz
	2 V p-p		135		MHz
ADV3201	200 mV p-p		150		MHz
	2 V p-p		130		MHz
增益平坦度	0.1 dB, 200 mV p-p		35		MHz
	0.1 dB, 2 V p-p		35		MHz
建立时间	1%, 2 V阶跃		6		ns
压摆率	2 V阶跃, 峰值		400		V/μs
OSD噪声/失真性能					
差分增益误差	NTSC或PAL				
ADV3200			0.12		%
ADV3201			0.35		%
差分相位误差	NTSC或PAL				
ADV3200			0.06		度
ADV3201			0.04		度
输入电压噪声	0.5 MHz至50 MHz				
ADV3200			27		nV/√Hz
ADV3201			25		nV/√Hz

参数	测试条件/注释	最小值	典型值	最大值	单位
OSD直流性能 增益误差					
ADV3200	无负载		±0.1	±2.3	%
ADV3201	无负载		±0.1	±2.7	%
OSD输入特性 输入失调电压			±5	±30	mV
输入偏置电流		-10	-4		μA
OSD开关特性 OSD开关延迟, 2 V阶跃	50% OSD开关至1%建立		20		ns
OSD开关瞬变(毛刺)					
ADV3200			15		mV p-p
ADV3201			40		mV p-p

时序特性(串行模式)

表3.

参数	符号	限值			单位
		最小值	典型值	最大值	
串行数据建立时间	t_1	40			ns
CLK脉冲宽度	t_2	50			ns
串行数据保持时间	t_3	50			ns
CLK脉冲间隔	t_4	150			ns
CLK至UPDATE延迟	t_5		50	160	ns
UPDATE 脉冲宽度	t_6				ns
CLK至DATA OUT有效	t_7			130	ns
传播延迟, UPDATE至开关ON或OFF			50		ns
数据加载时间, CLK = 5 MHz, 串行模式			38.6		μs
RESET 时间			160		ns

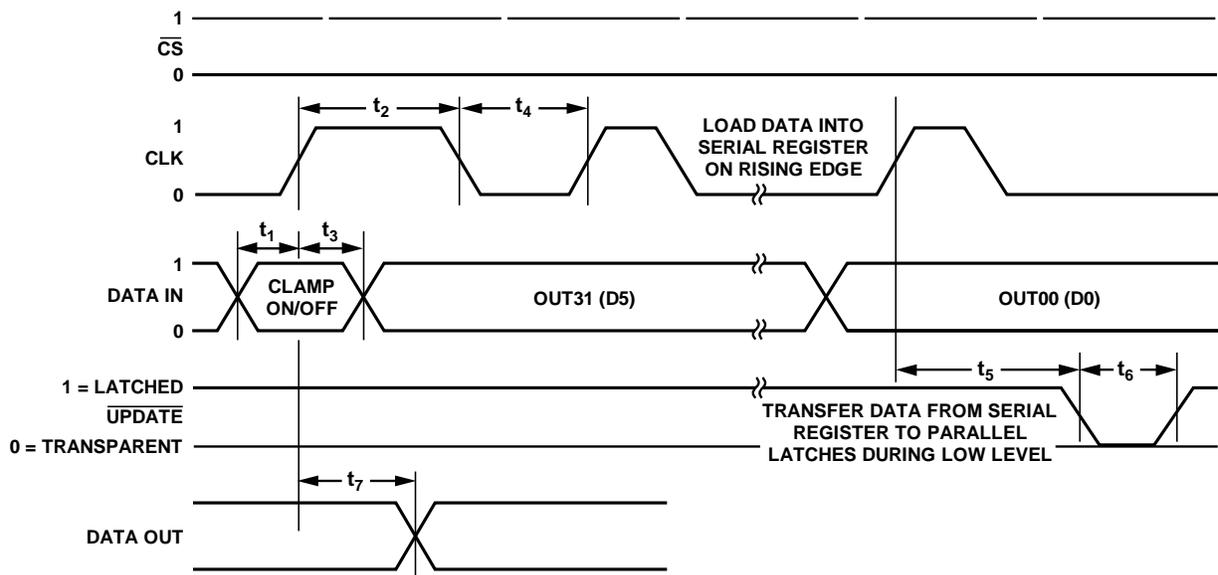


图2. 时序图, 串行模式

07176-002

ADV3200/ADV3201

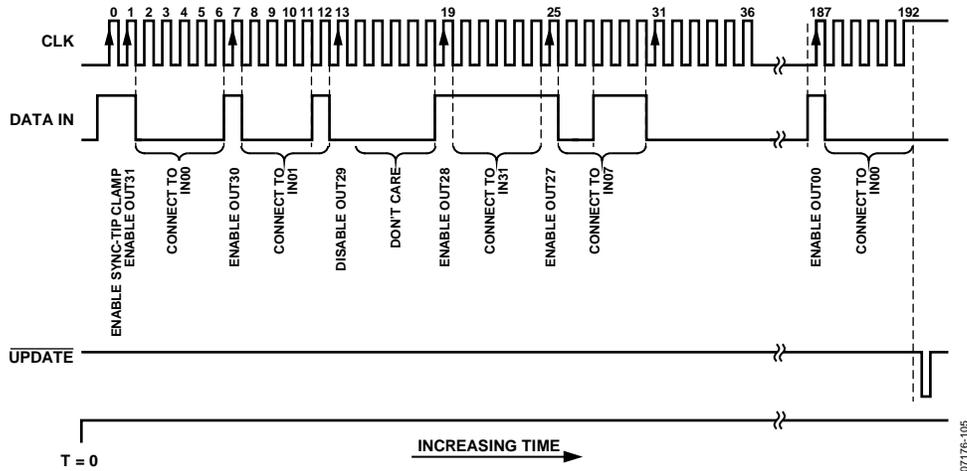


图3. 编程示例

表4. 逻辑电平, DVCC = 3.3 V

V_{IH}	V_{IL}	V_{OH}	V_{OL}	I_{IH}	I_{IL}	I_{OH}	I_{OL}
RESET, \overline{CS} , CLK, DATA IN, UPDATE, OSDS	RESET, \overline{CS} , CLK, DATA IN, UPDATE, OSDS	DATA OUT	DATA OUT	RESET, \overline{CS} , CLK, DATA IN, UPDATE, OSDS	RESET, \overline{CS} , CLK, DATA IN, UPDATE, OSDS	DATA OUT	DATA OUT
2.5 V(最小值)	0.8 V(最大值)	2.7 V(最小值)	0.5 V(最大值)	0.5 μ A(典型值)	-0.5 μ A(典型值)	3 mA(典型值)	-3 mA(典型值)

绝对最大额定值

表5.

参数	评分
模拟电源电压 (VPOS - VNEG)	7.5 V
数字电源电压 (DVCC - DGND)	6 V
地电位差 (VNEG - DGND)	+0.5 V至-4 V
最大电位差 DVCC - VNEG	9.4 V
已禁用输出 ADV3200 ($ V_{OSD} - V_{OUT} $)	<3 V
ADV3201 ($ V_{OSD} - (V_{OUT} + V_{REF})/2 $)	<3 V
$ V_{CLAMP} - V_{INXX} $	6 V
VREF输入电压 ADV3200	VPOS - 3.5 V至VNEG + 3.5 V
ADV3201	VPOS - 4 V至VNEG + 4 V
模拟输入电压	VNEG至VPOS
数字输入电压	DVCC
输出电压 (禁用模拟输出)	(VPOS - 1 V)至(VNEG + 1 V)
输出短路持续时间	瞬时
输出短路电流	45 mA
存储温度范围	-65°C至+125°C
工作温度范围	-40°C至+85°C
引脚温度 (焊接, 10秒)	300°C
结温	150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即焊接在电路板上的器件为表贴封装。

表6. 热阻

封装类型	θ_{JA}	单位
176引脚 LQFP_EP	16	°C/W

功耗

ADV3200/ADV3201采用±2.5 V、5 V或±3.3 V电源供电，可驱动最低150 Ω负载，因而可能存在多种不同功耗。为此，必须注意根据环境温度降低工作条件。

ADV3200/ADV3201采用176引脚裸露焊盘LQFP封装。ADV3200/ADV3201的结至环境热阻(θ_{JA})为16°C/W。为确保长期可靠性，芯片的最大容许结温不应超过150°C。即便只是暂时超过此限值，由于封装对芯片作用的应力改变，参数性能也可能会发生变化。长时间超过175°C的结温可能会导致器件失效。图4显示了在-40°C至+85°C的环境温度范围内满足这些条件的芯片内部功耗容许范围。图4不包括最大功耗计算中的外部负载功耗，但包括通过芯片输出晶体管下降的负载电流。

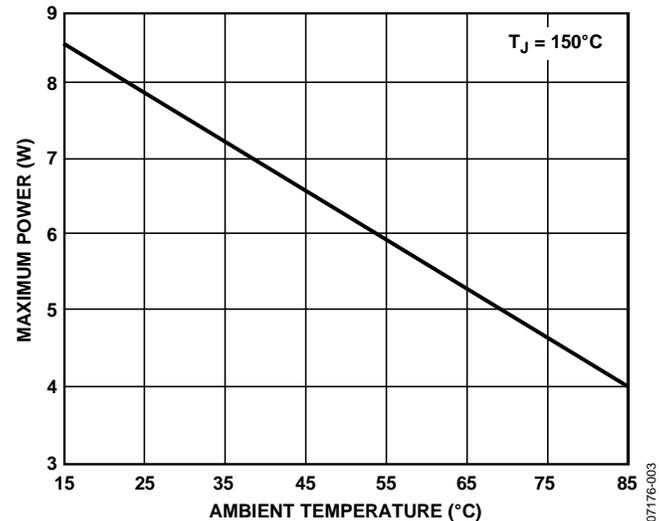


图4. 芯片最大功耗与环境温度的关系

ESD警告

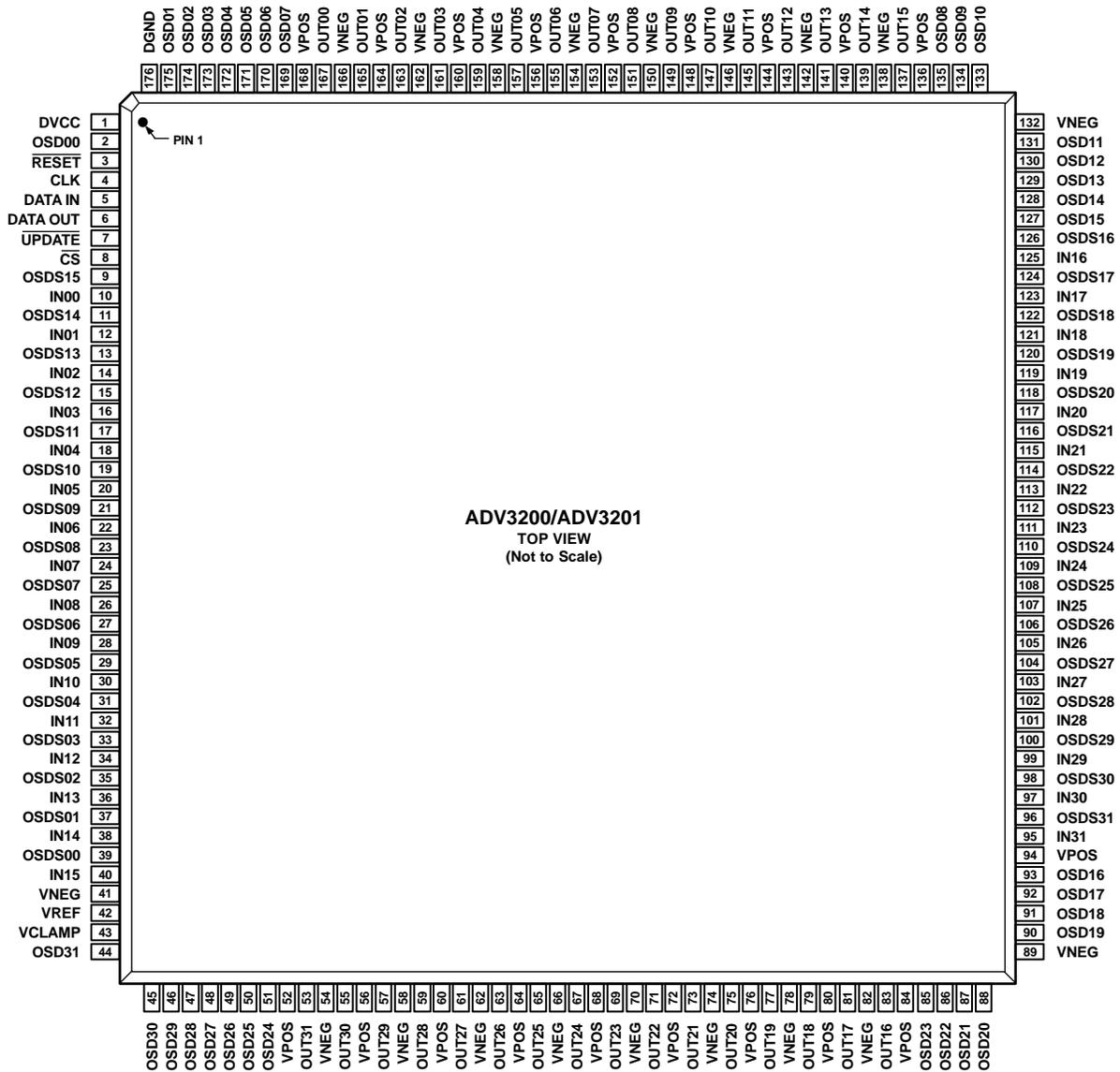


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADV3200/ADV3201

引脚配置和功能描述



NOTES

1. OSDSxx: OSD SELECT FOR OUTxx
OSDxx: OSD VIDEO INPUT FOR OUTxx
2. THE EXPOSED PAD SHOULD BE CONNECTED TO ANALOG GROUND.

图5. 引脚配置

07176-004

表7.引脚功能描述

引脚	引脚名称	说明	引脚	引脚名称	说明
1	DVCC	数字正电源。	50	OSD25	OSD输入数字25。
2	OSD00	OSD输入数字0。	51	OSD24	OSD输入数字24。
3	RESET	控制引脚：一级和二级复位。	52	VPOS	模拟正电源。
4	CLK	控制引脚：串行数据时钟。	53	OUT31	输出数字31。
5	DATA IN	控制引脚：串行数据输入。	54	VNEG	模拟负电源。
6	DATA OUT	控制引脚：串行数据输出。	55	OUT30	输出数字30。
7	UPDATE	控制引脚：二级写选通。	56	VPOS	模拟正电源。
8	CS	控制引脚：片选。	57	OUT29	输出数字29。
9	OSDS15	控制引脚：OSD选择数字15。	58	VNEG	模拟负电源。
10	IN00	输入数字0。	59	OUT28	输出数字28。
11	OSDS14	控制引脚：OSD选择数字14。	60	VPOS	模拟正电源。
12	IN01	输入数字1。	61	OUT27	输出数字27。
13	OSDS13	控制引脚：OSD选择数字13。	62	VNEG	模拟负电源。
14	IN02	输入数字2。	63	OUT26	输出数字26。
15	OSDS12	控制引脚：OSD选择数字12。	64	VPOS	模拟正电源。
16	IN03	输入数字3。	65	OUT25	输出数字25。
17	OSDS11	控制引脚：OSD选择数字11。	66	VNEG	模拟负电源。
18	IN04	输入数字4。	67	OUT24	输出数字24。
19	OSDS10	控制引脚：OSD选择数字10。	68	VPOS	模拟正电源。
20	IN05	输入数字5。	69	OUT23	输出数字23。
21	OSDS09	控制引脚：OSD选择数字9。	70	VNEG	模拟负电源。
22	IN06	输入数字6。	71	OUT22	输出数字22。
23	OSDS08	控制引脚：OSD选择数字8。	72	VPOS	模拟正电源。
24	IN07	输入数字7。	73	OUT21	输出数字21。
25	OSDS07	控制引脚：OSD选择数字7。	74	VNEG	模拟负电源。
26	IN08	输入数字8。	75	OUT20	输出数字20。
27	OSDS06	控制引脚：OSD选择数字6。	76	VPOS	模拟正电源。
28	IN09	输入数字9。	77	OUT19	输出数字19。
29	OSDS05	控制引脚：OSD选择数字5。	78	VNEG	模拟负电源。
30	IN10	输入数字10。	79	OUT18	输出数字18。
31	OSDS04	控制引脚：OSD选择数字4。	80	VPOS	模拟正电源。
32	IN11	输入数字11。	81	OUT17	输出数字17。
33	OSDS03	控制引脚：OSD选择数字3。	82	VNEG	模拟负电源。
34	IN12	输入数字12。	83	OUT16	输出数字16。
35	OSDS02	控制引脚：OSD选择数字2。	84	VPOS	模拟正电源。
36	IN13	输入数字13。	85	OSD23	OSD输入数字23。
37	OSDS01	控制引脚：OSD选择数字1。	86	OSD22	OSD输入数字22。
38	IN14	输入数字14。	87	OSD21	OSD输入数字21。
39	OSDS00	控制引脚：OSD选择数字0。	88	OSD20	OSD输入数字20。
40	IN15	输入数字15。	89	VNEG	模拟负电源。
41	VNEG	模拟负电源。	90	OSD19	OSD输入数字19。
42	VREF	基准电压。更多信息参见工作原理部分。	91	OSD18	OSD输入数字18。
43	VCLAMP	同步端箝位电压。更多信息参见工作原理部分。	92	OSD17	OSD输入数字17。
44	OSD31	OSD输入数字31。	93	OSD16	OSD输入数字16。
45	OSD30	OSD输入数字30。	94	VPOS	模拟正电源。
46	OSD29	OSD输入数字29。	95	IN31	输入数字31。
47	OSD28	OSD输入数字28。	96	OSDS31	控制引脚：OSD选择数字31。
48	OSD27	OSD输入数字27。	97	IN30	输入数字30。
49	OSD26	OSD输入数字26。	98	OSDS30	控制引脚：OSD选择数字30。
			99	IN29	输入数字29。
			100	OSDS29	控制引脚：OSD选择数字29。

ADV3200/ADV3201

引脚	引脚名称	说明
101	IN28	输入数字28。
102	OSDS28	控制引脚：OSD选择数字8。
103	IN27	输入数字27。
104	OSDS27	控制引脚：OSD选择数字7。
105	IN26	输入数字26。
106	OSDS26	控制引脚：OSD选择数字6。
107	IN25	输入数字25。
108	OSDS25	控制引脚：OSD选择数字5。
109	IN24	输入数字24。
110	OSDS24	控制引脚：OSD选择数字4。
111	IN23	输入数字23。
112	OSDS23	控制引脚：OSD选择数字3。
113	IN22	输入数字22。
114	OSDS22	控制引脚：OSD选择数字2。
115	IN21	输入数字21。
116	OSDS21	控制引脚：OSD选择数字1。
117	IN20	输入数字20。
118	OSDS20	控制引脚：OSD选择数字0。
119	IN19	输入数字19。
120	OSDS19	控制引脚：OSD选择数字19。
121	IN18	输入数字18。
122	OSDS18	控制引脚：OSD选择数字18。
123	IN17	输入数字17。
124	OSDS17	控制引脚：OSD选择数字17。
125	IN16	输入数字16。
126	OSDS16	控制引脚：OSD选择数字16。
127	OSD15	OSD 输入数字15。
128	OSD14	OSD 输入数字14。
129	OSD13	OSD 输入数字13。
130	OSD12	OSD 输入数字12。
131	OSD11	OSD 输入数字11。
132	VNEG	模拟负电源。
133	OSD10	OSD 输入数字10。
134	OSD09	OSD 输入数字9。
135	OSD08	OSD 输入数字8。
136	VPOS	模拟正电源。
137	OUT15	输出数字15。
138	VNEG	模拟负电源。
139	OUT14	输出数字14。

引脚	引脚名称	说明
140	VPOS	模拟正电源。
141	OUT13	输出数字13。
142	VNEG	模拟负电源。
143	OUT12	输出数字12。
144	VPOS	模拟正电源。
145	OUT11	输出数字11。
146	VNEG	模拟负电源。
147	OUT10	输出数字10。
148	VPOS	模拟正电源。
149	OUT09	输出数字9。
150	VNEG	模拟负电源。
151	OUT08	输出数字8。
152	VPOS	模拟正电源。
153	OUT07	输出数字7。
154	VNEG	模拟负电源。
155	OUT06	输出数字6。
156	VPOS	模拟正电源。
157	OUT05	输出数字5。
158	VNEG	模拟负电源。
159	OUT04	输出数字4。
160	VPOS	模拟正电源。
161	OUT03	输出数字3。
162	VNEG	模拟负电源。
163	OUT02	输出数字2。
164	VPOS	模拟正电源。
165	OUT01	输出数字1。
166	VNEG	模拟负电源。
167	OUT00	输出数字0。
168	VPOS	模拟正电源。
169	OSD07	OSD 输入数字7。
170	OSD06	OSD 输入数字6。
171	OSD05	OSD 输入数字5。
172	OSD04	OSD 输入数字4。
173	OSD03	OSD 输入数字3。
174	OSD02	OSD 输入数字2。
175	OSD01	OSD 输入数字1。
176	DGND	数字负电源。
	裸露焊盘	连接到模拟地。

真值表和逻辑图

表8. 操作真值表

CS	UPDATE	CLK	DATA IN	DATA OUT	RESET	工作条件/注释
X ¹	X	X	X	X	0	异步复位所有输出禁用。193位移位寄存器复位为全0。
0	1	\downarrow	Data _i ²	Data _{i-193}	1	串行DATA IN线路上的数据载入串行寄存器。读入串行寄存器中的第一位数据随后出现在DATA OUT 193时钟周期。
0	0	X	X	X	1	开关矩阵更新。193位移位寄存器中的数据传输至并行锁存器，该锁存器控制开关阵列和同步端箝位。
1	X	X	X	X	1	芯片未选定。逻辑无变化。

¹ X = 无关位。

² Data_i: 串行数据。

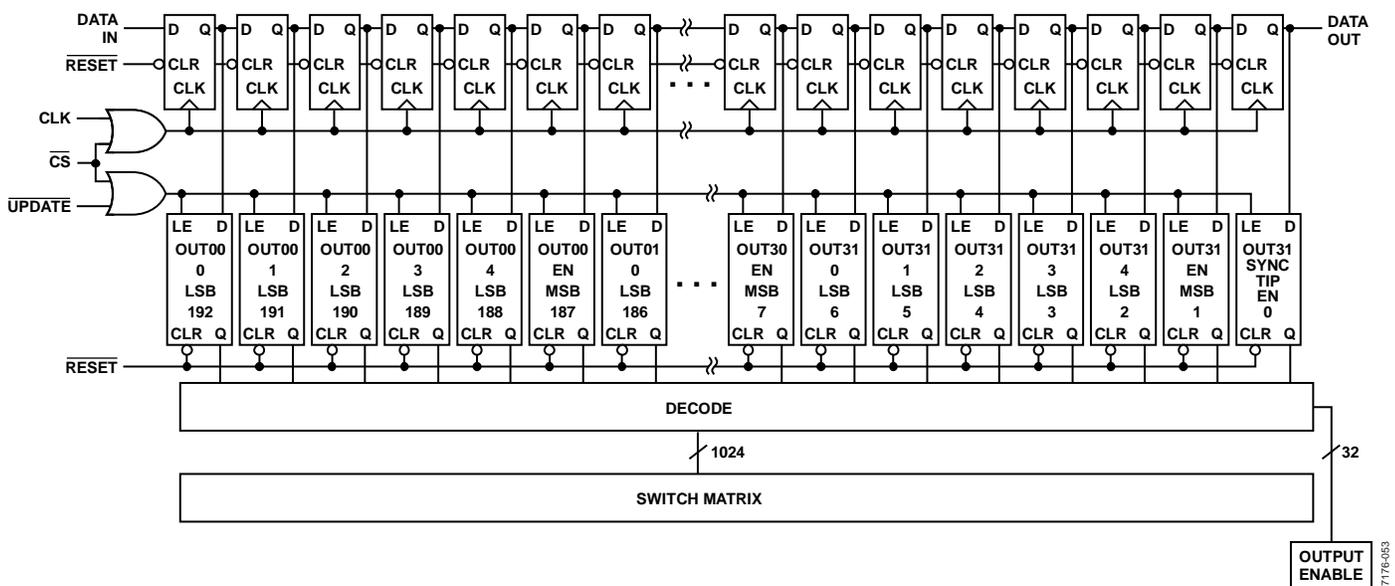


图6. 逻辑图

I/O原理图

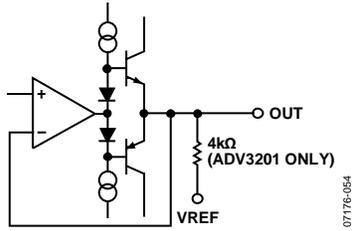


图7. 使能输出
(另可参见图16)

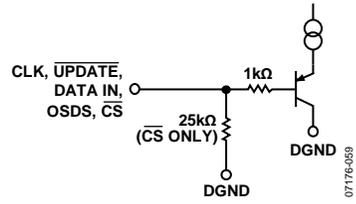


图12. 逻辑输入
(另可参见图16)

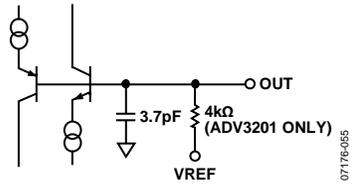


图8. 禁用输出
(另可参见图16)

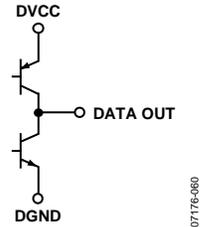


图13. 逻辑输出
(另可参见图16)

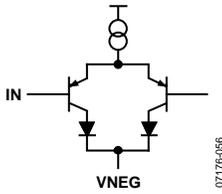


图9. 接收器
(另可参见图16)

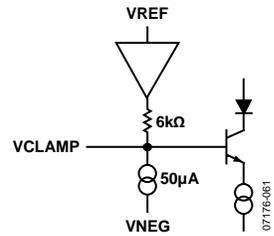


图14. VCLAMP输入
(另可参见图16)

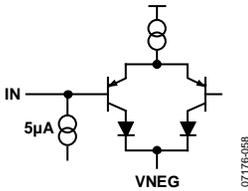


图10. 同步端箝位使能的接收器
(另可参见图16)

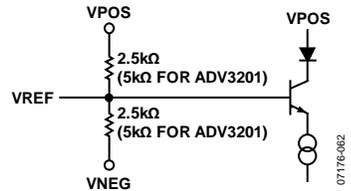


图15. VREF输入
(另可参见图16)

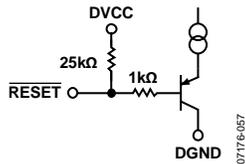


图11. 复位输入
(另可参见图16)

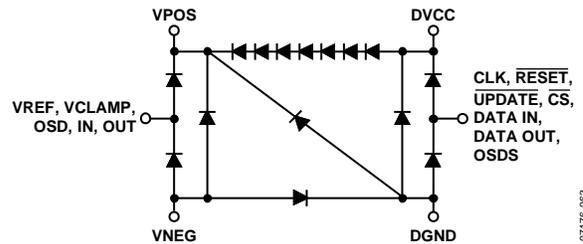


图16. ESD保护映射

典型性能参数

ADV3200

$V_S = \pm 2.5 \text{ V}$ ($T_A = 25^\circ\text{C}$, $R_L = 150 \Omega$)。

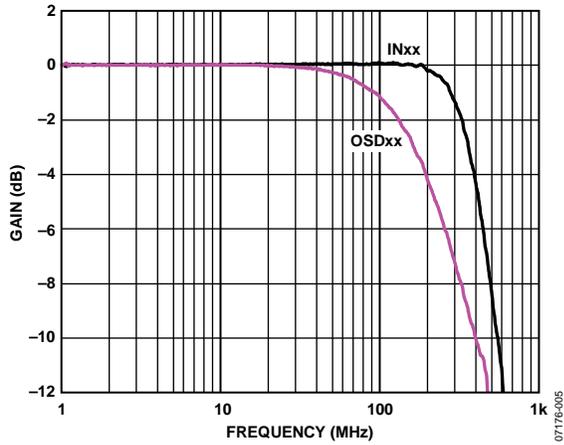


图17. ADV3200小信号频率响应(200 mV p-p)

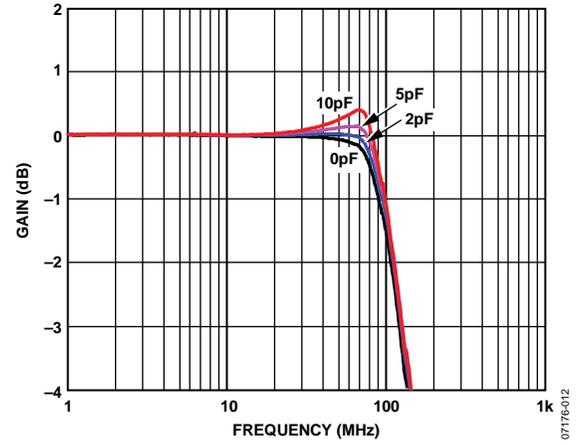


图20. ADV3200大信号频率响应(容性负载, 2 V p-p)

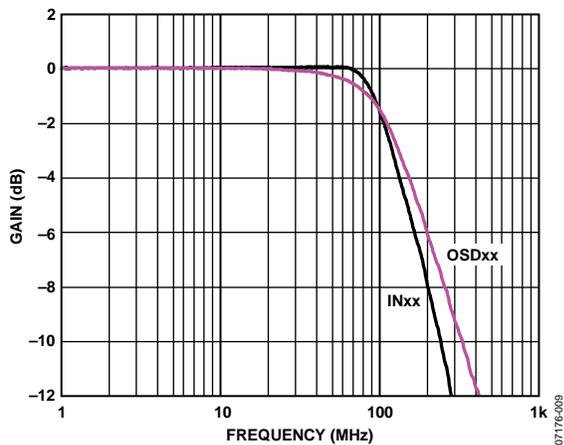


图18. ADV3200大信号频率响应(2 V p-p)

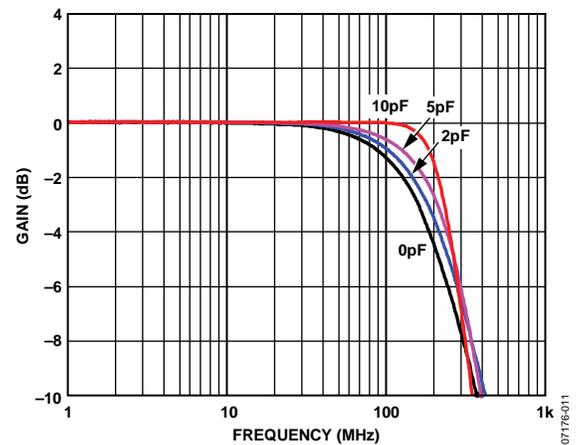


图21. ADV3200 OSD小信号频率响应(容性负载, 200 mV p-p)

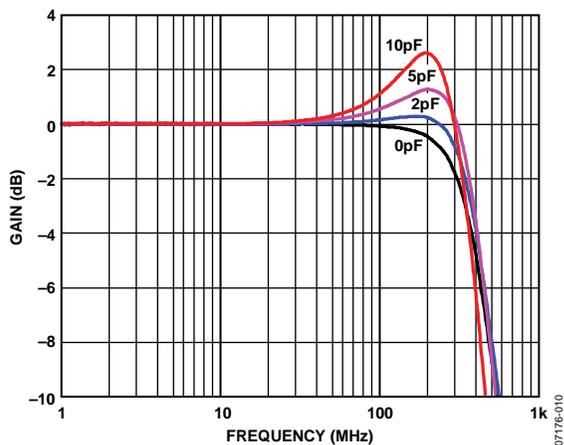


图19. ADV3200小信号频率响应(容性负载, 200 mV p-p)

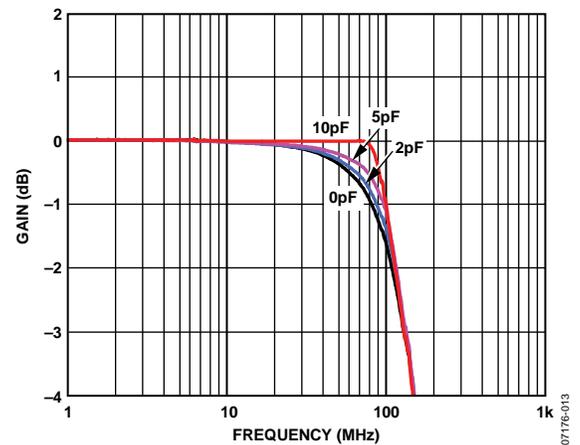


图22. ADV3200 OSD大信号频率响应(容性负载, 2 V p-p)

ADV3200/ADV3201

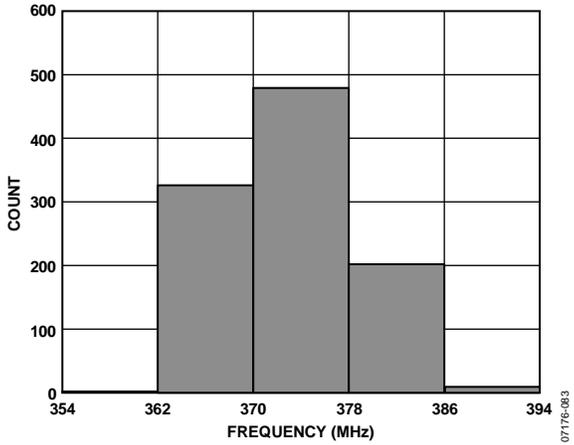


图23. ADV3200 -3 dB带宽直方图(一个器件, 全部1024个通道)

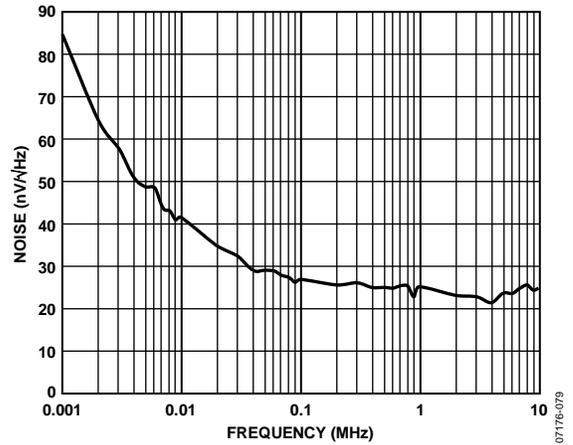


图26. ADV3200输出噪声

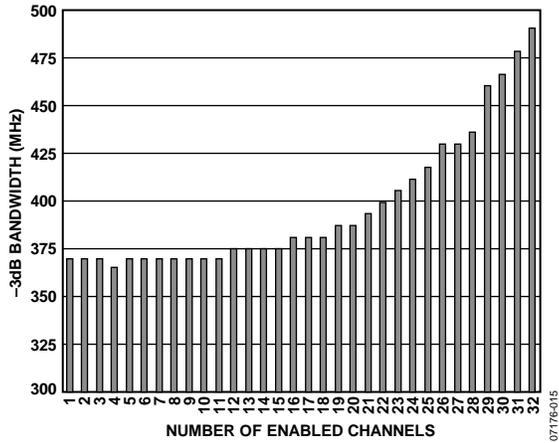


图24. ADV3200小信号带宽与使能通道的关系

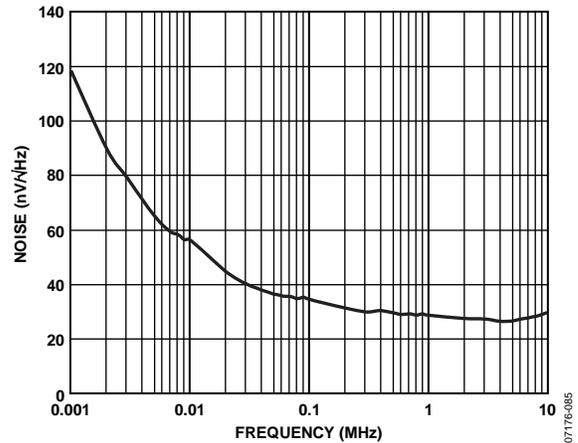


图27. ADV3200 OSD输出噪声

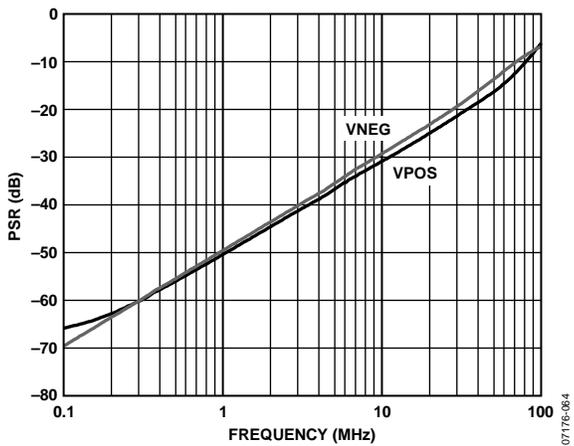


图25. ADV3200电源抑制

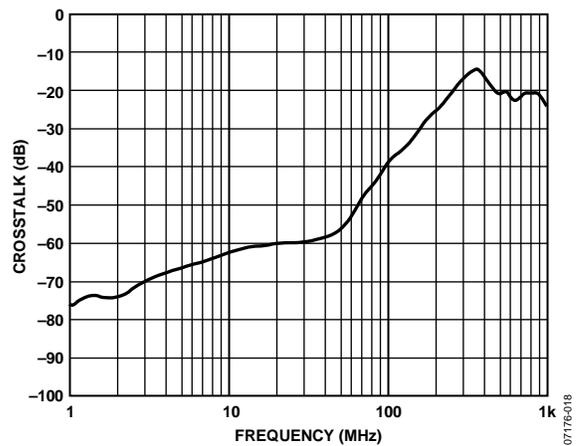


图28. ADV3200邻道串扰(RTO)

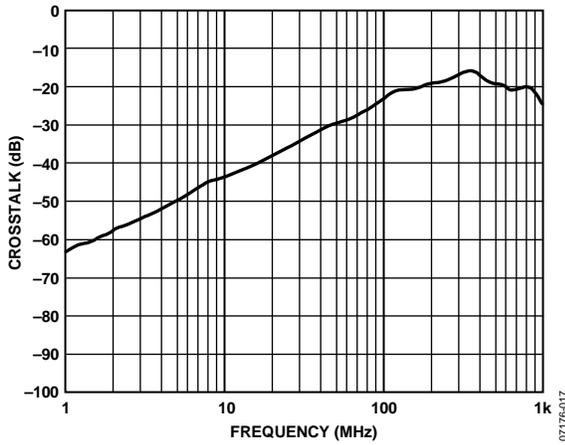


图29. ADV3200所有不利串扰(RTO)

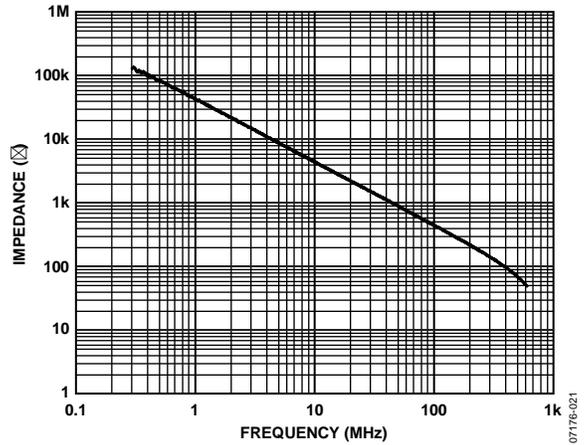


图32. ADV3200输出阻抗(禁用)

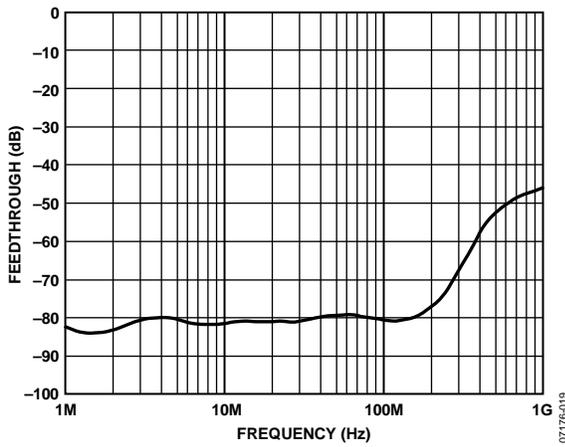


图30. ADV3200关断隔离(RTO)

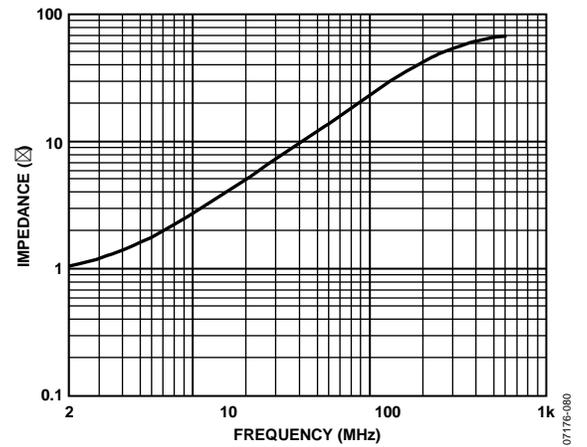


图33. ADV3200输出阻抗(使能)

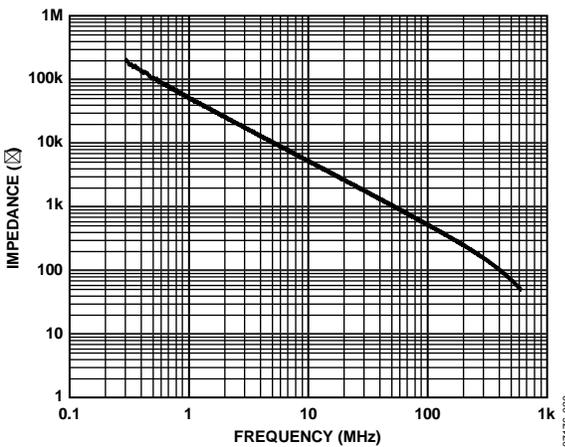


图31. ADV3200输入阻抗

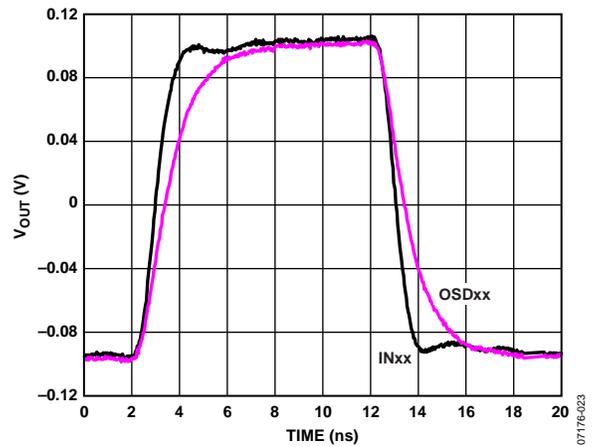


图34. ADV3200小信号脉冲响应(200 mV p-p)

ADV3200/ADV3201

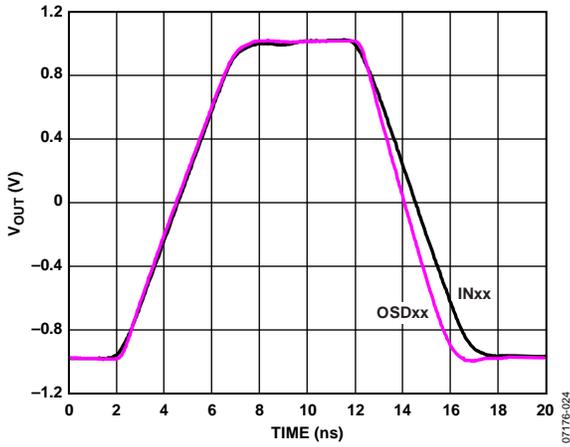


图35. ADV3200大信号脉冲响应(2 V p-p)

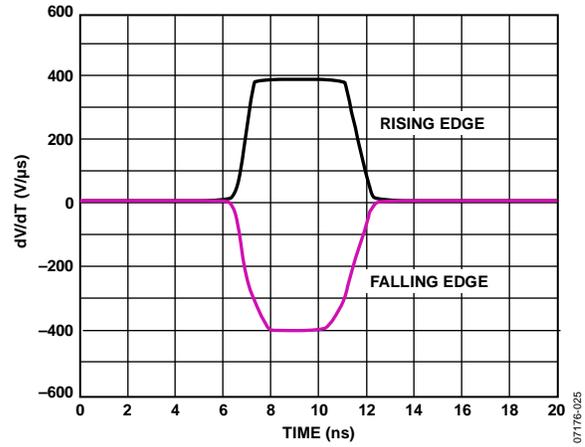


图38. ADV3200压摆率

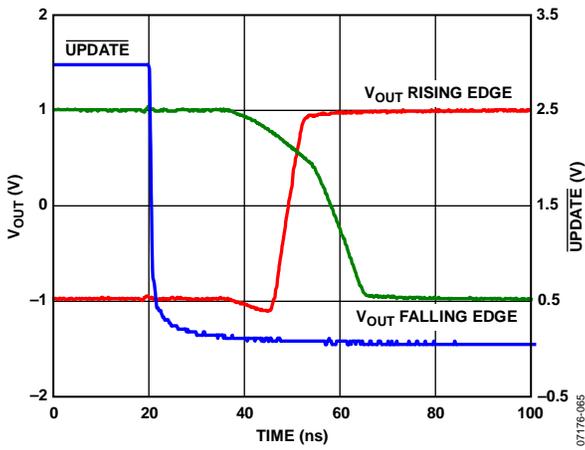


图36. ADV3200开关时间

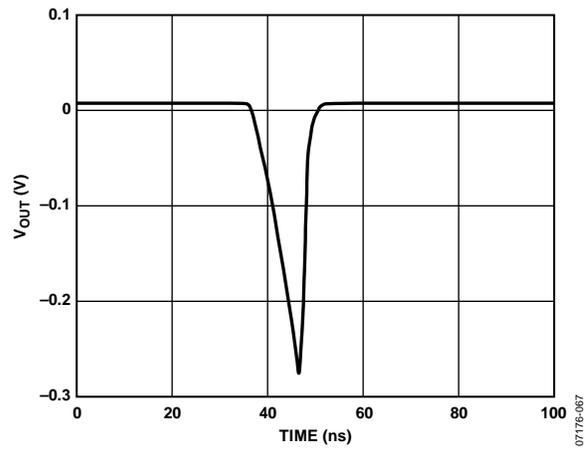


图39. ADV3200开关毛刺

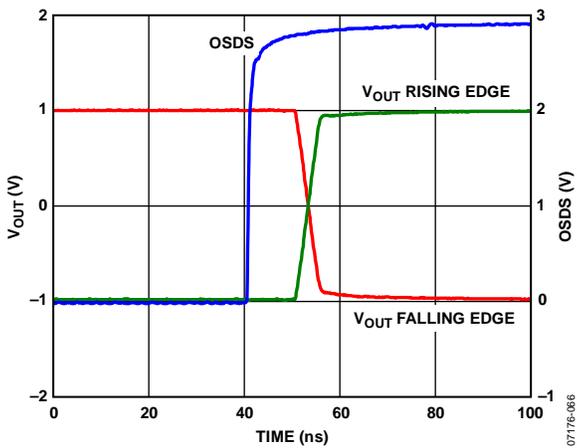


图37. ADV3200 OSD开关时间

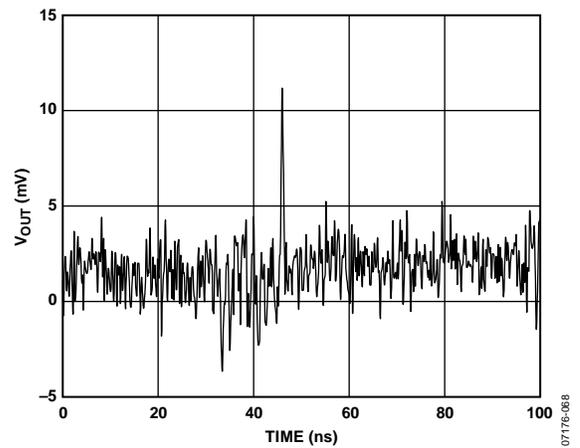


图40. ADV3200 OSD开关毛刺

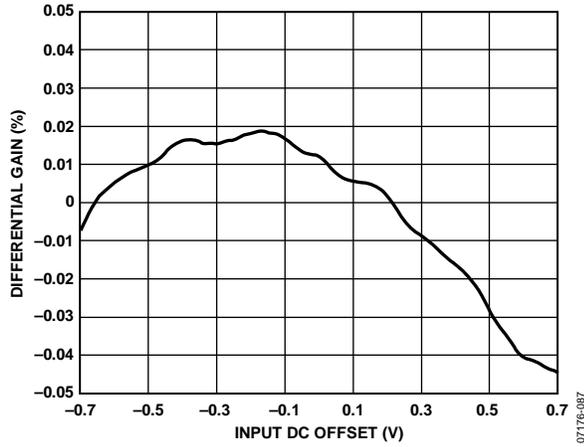


图41. ADV3200差分增益, 载波频率 = 3.58 MHz, 副载波幅度 = 300 mV p-p

07176-087

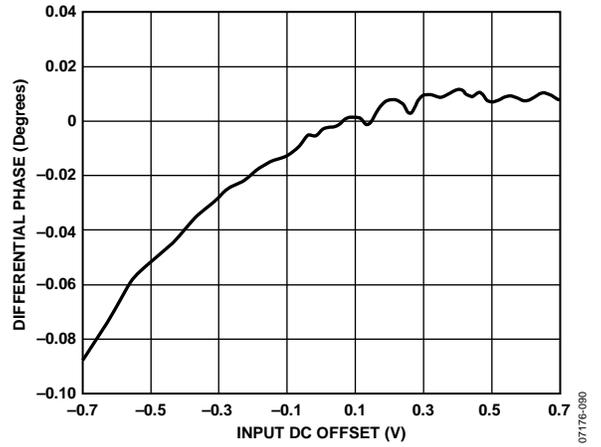


图44. ADV3200 OSD差分相位, 载波频率 = 3.58 MHz, 副载波幅度 = 300 mV p-p

07176-090

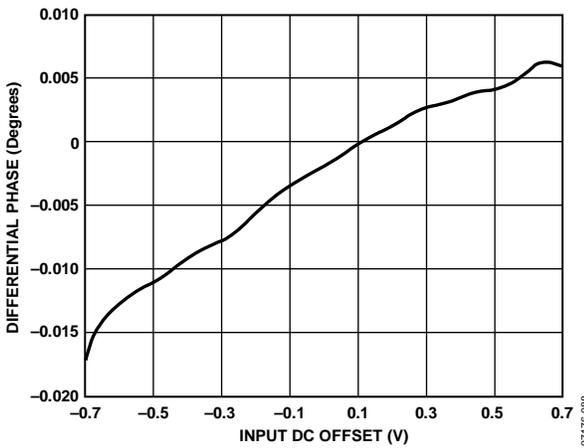


图42. ADV3200差分相位, 载波频率 = 3.58 MHz, 副载波幅度 = 300 mV p-p

07176-088

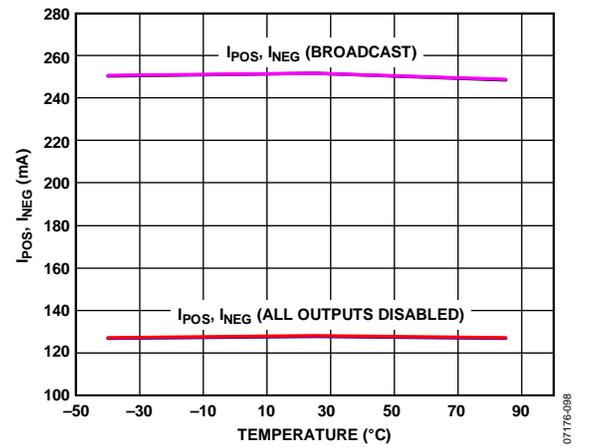


图45. ADV3200电源电流与温度的关系

07176-089

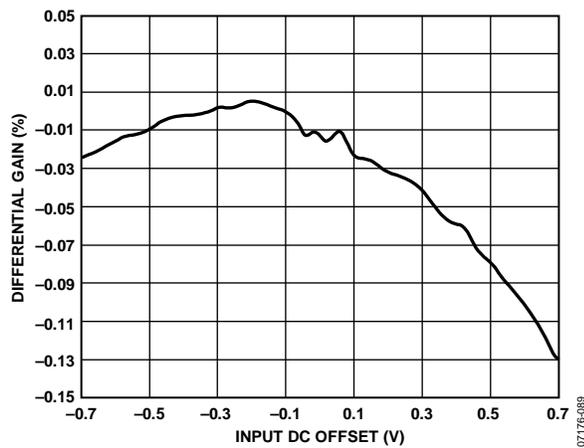


图43. ADV3200 OSD差分增益, 载波频率 = 3.58 MHz, 副载波幅度 = 300 mV p-p

07176-089

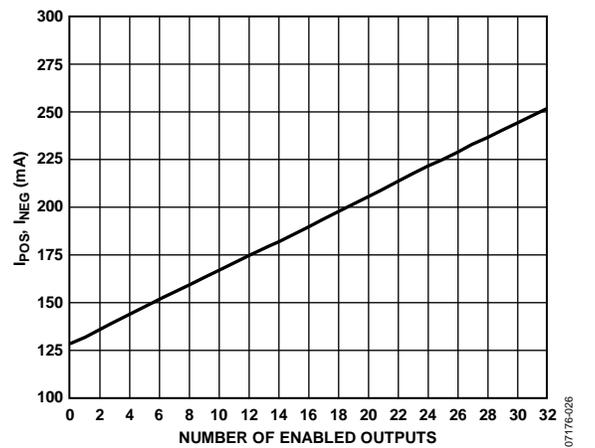


图46. ADV3200电源电流与使能输出的关系

07176-026

ADV3200/ADV3201

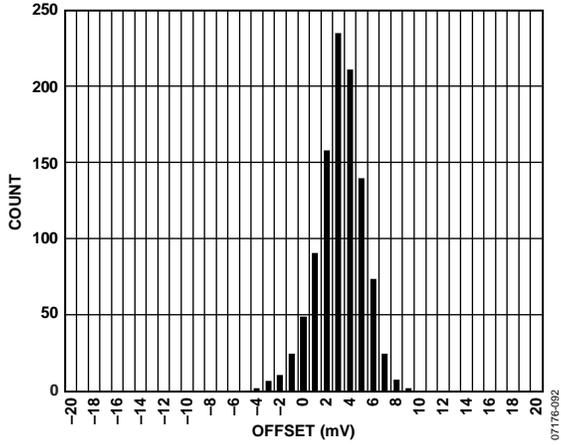


图47. ADV3200输入失调分配(一个器件, 全部1024通道)

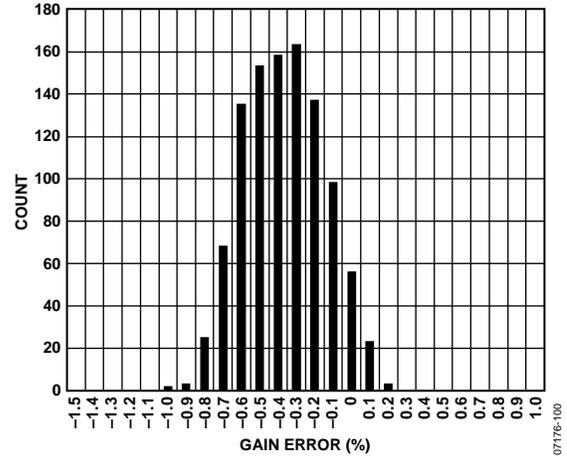


图50. ADV3200增益误差分配(一个器件, 全部1024通道)

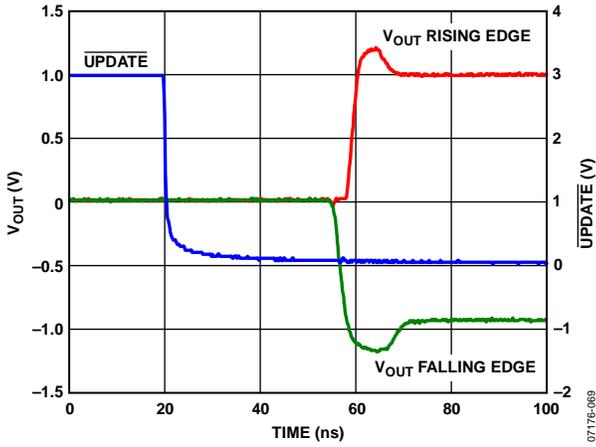


图48. ADV3200使能时间

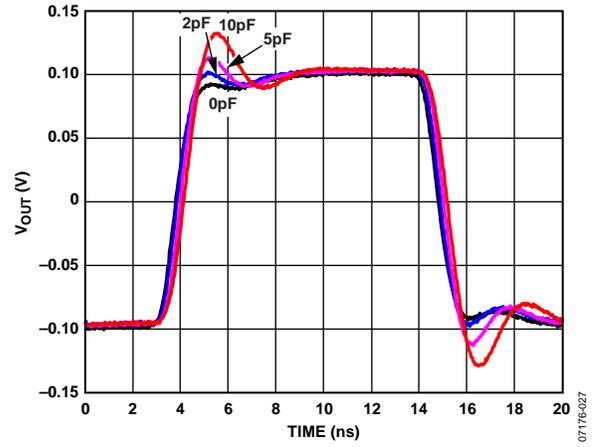


图51. ADV3200小信号脉冲(容性负载, 200 mV p-p)

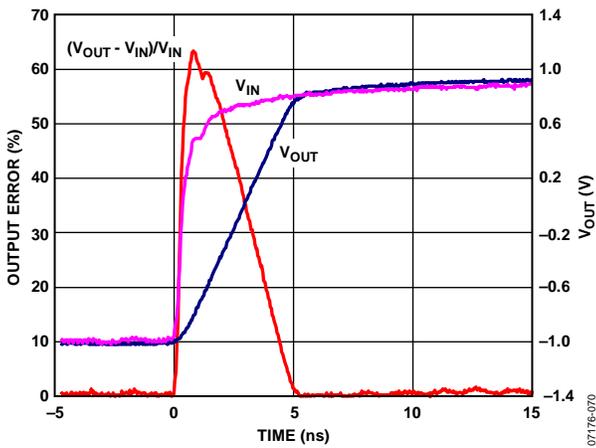


图49. ADV3200建立时间

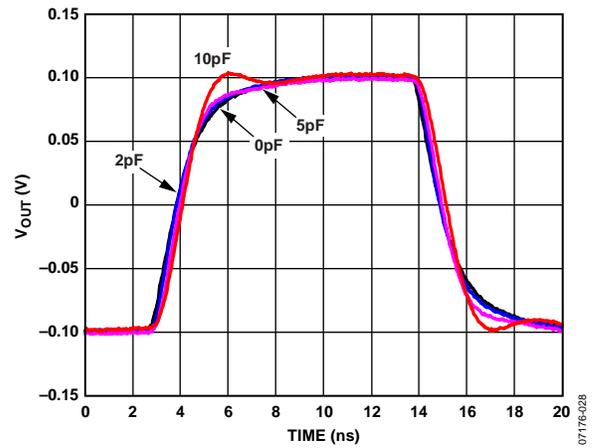


图52. ADV3200 OSD小信号脉冲(容性负载, 200 mV p-p)

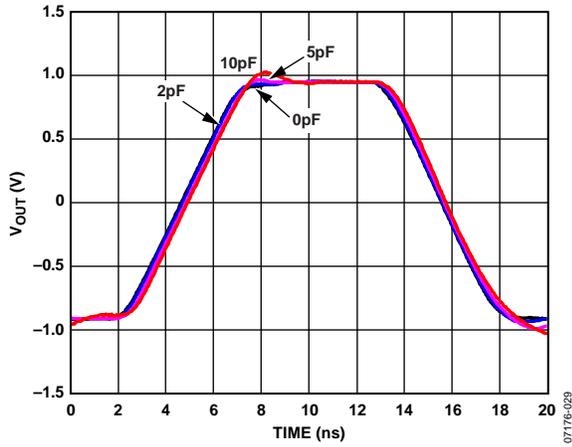


图53. ADV3200大信号脉冲(容性负载, 2 V p-p)

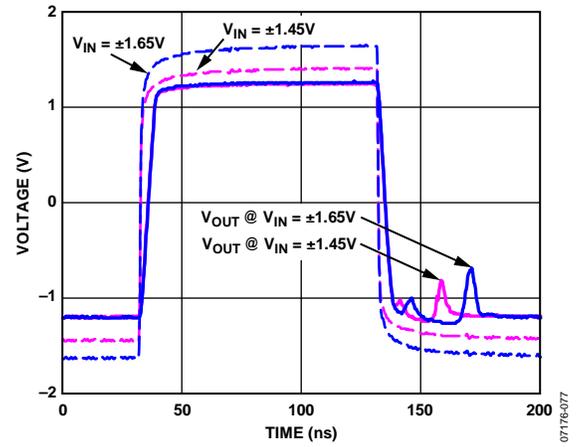


图55. ADV3200过驱恢复时间

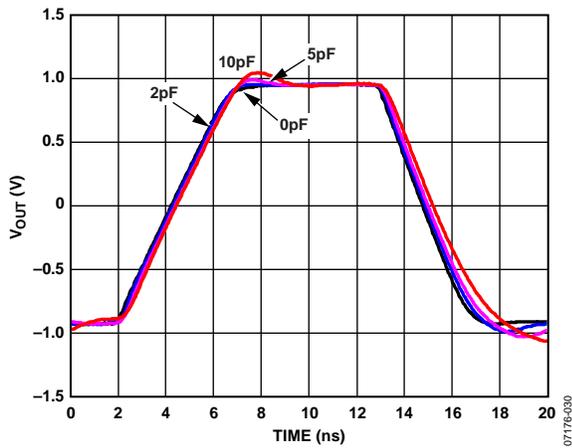


图54. ADV3200 OSD大信号脉冲(容性负载, 2 V p-p)

ADV3200/ADV3201

ADV3201

$V_S = \pm 3.3 \text{ V}$ ($T_A = 25^\circ\text{C}$, $R_L = 150 \Omega$)。

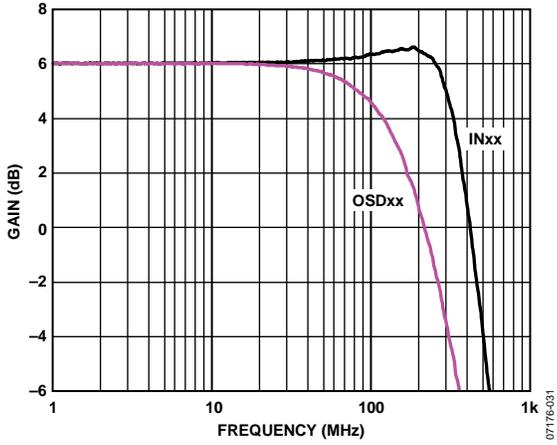


图56. ADV3201小信号频率响应(200 mV p-p)

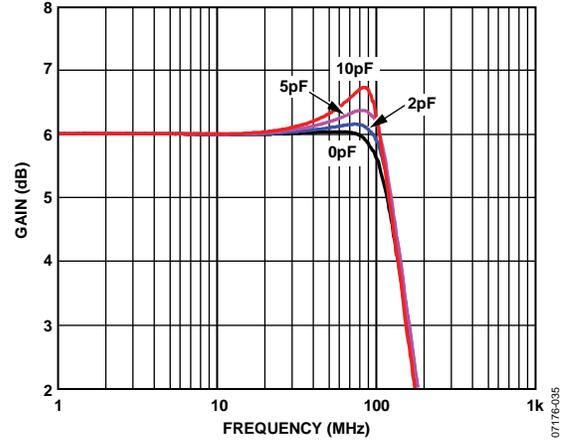


图59. ADV3201大信号频率响应(容性负载, 2 V p-p)

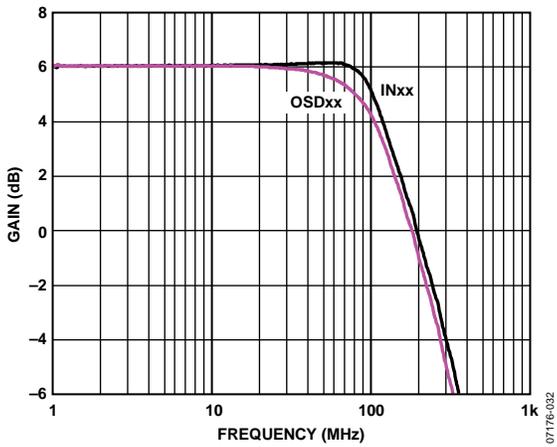


图57. ADV3201大信号频率响应(2 V p-p)

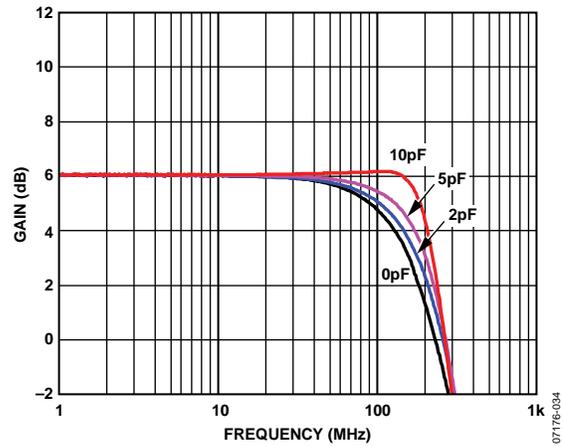


图60. ADV3201 OSD小信号频率响应(容性负载, 200 mV p-p)

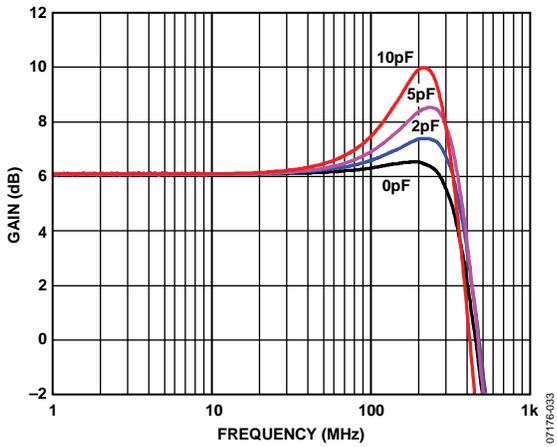


图58. ADV3201小信号频率响应(容性负载, 200 mV p-p)

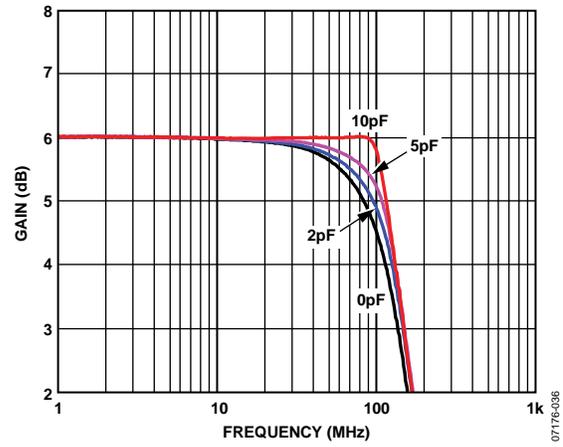


图61. ADV3201 OSD大信号频率响应(容性负载, 2 V p-p)

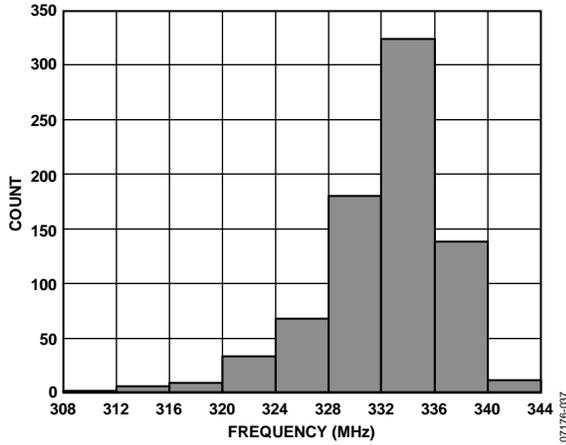


图62. ADV3201 -3 dB带宽直方图(一个器件, 全部1024个通道)

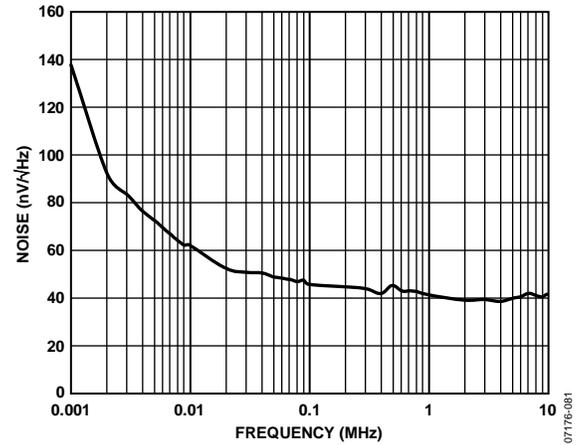


图65. ADV3201输出噪声

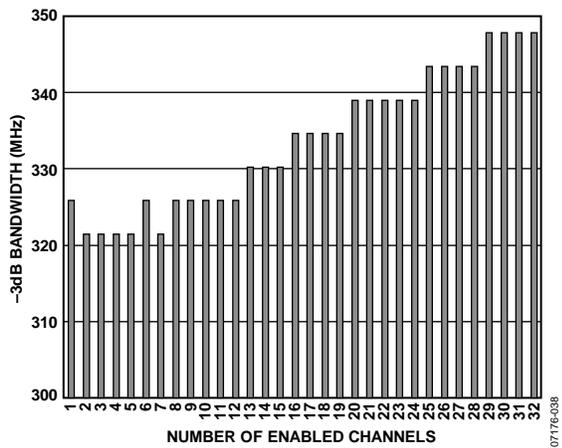


图63. ADV3201小信号带宽与使能通道的关系

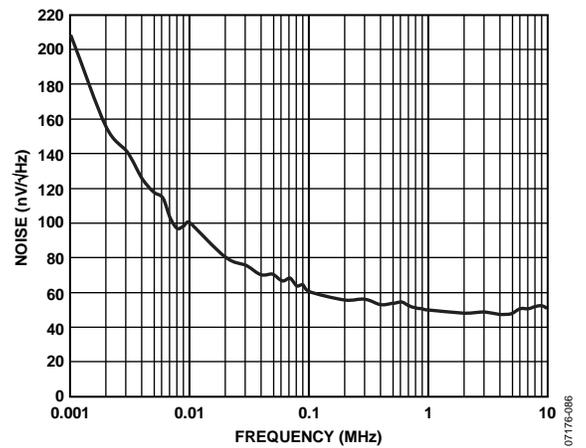


图66. ADV3201 OSD输出噪声

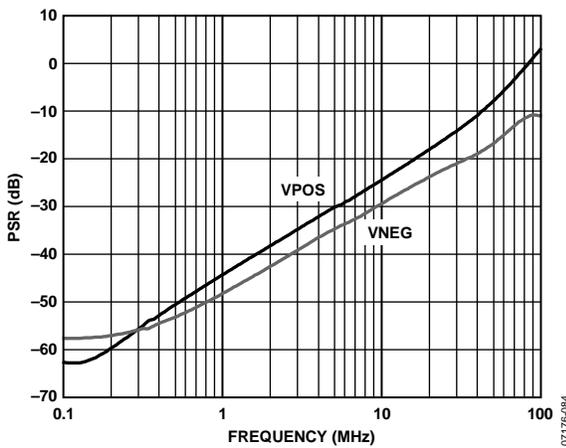


图64. ADV3201电源抑制

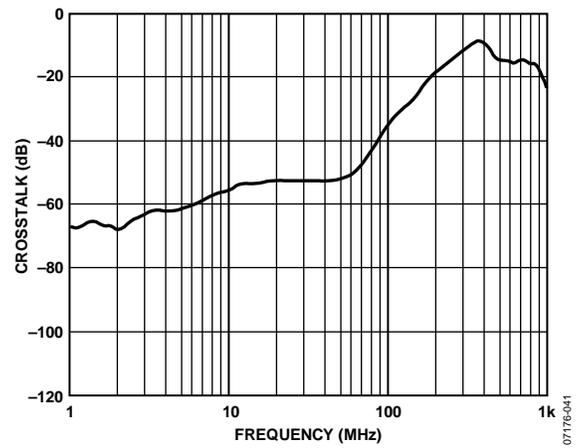


图67. ADV3201邻道串扰(RTO)

ADV3200/ADV3201

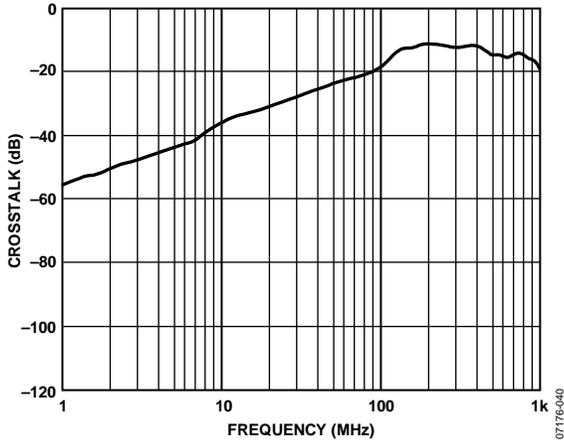


图68. ADV3201所有不利串扰(RTO)

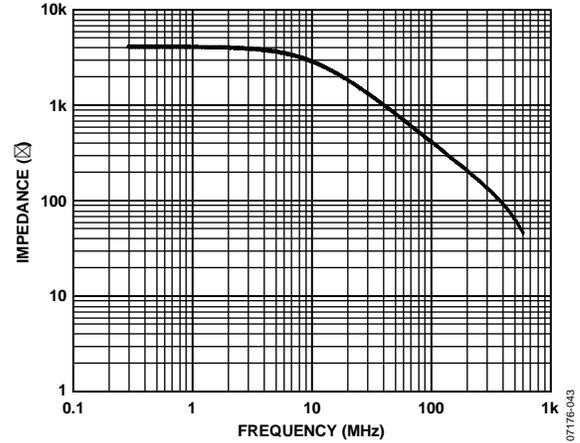


图71. ADV3201输出阻抗(禁用)

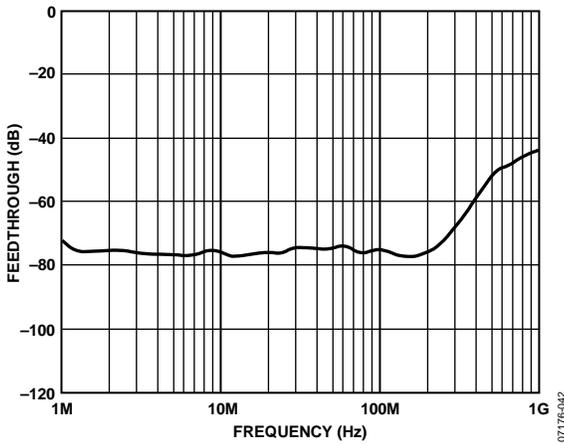


图69. ADV3201关断隔离(RTO)

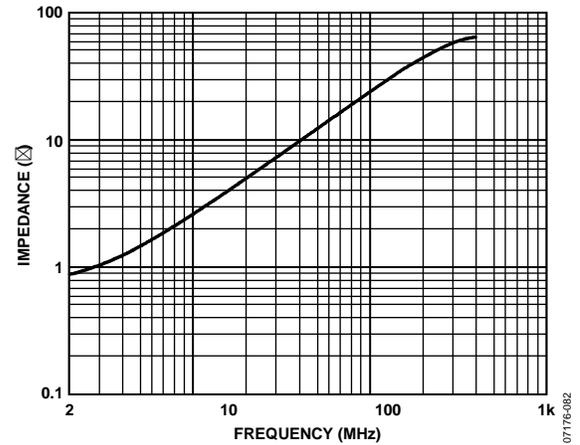


图72. ADV3201输出阻抗(使能)

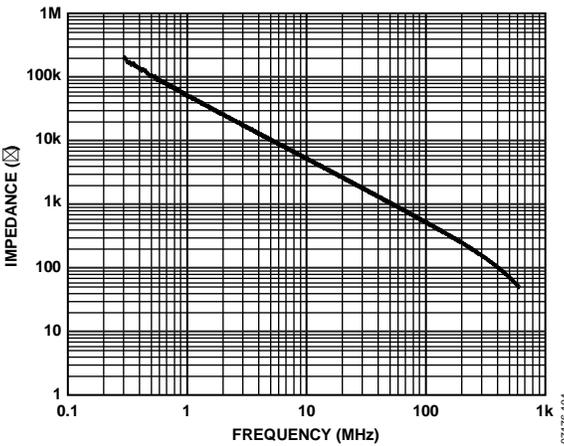


图70. ADV3201输入阻抗

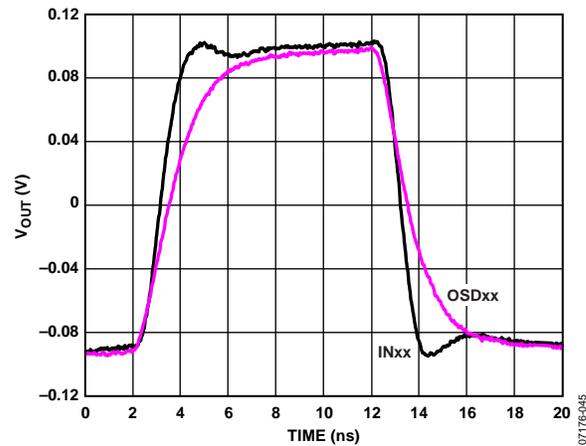


图73. ADV3201小信号脉冲响应(200 mV p-p)

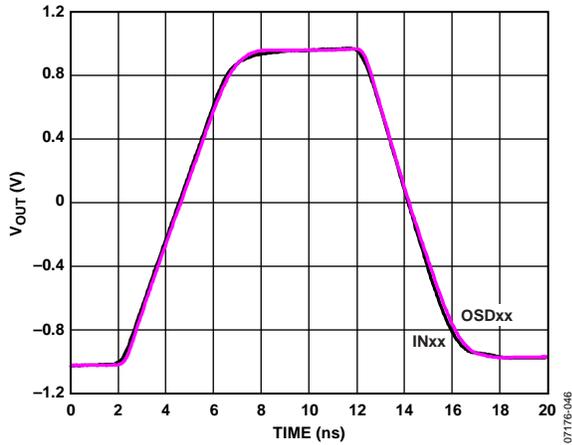


图74. ADV3201大信号脉冲响应(2 V p-p)

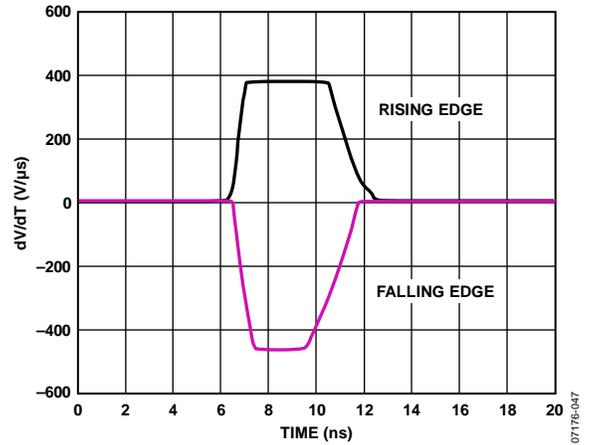


图77. ADV3201压摆率

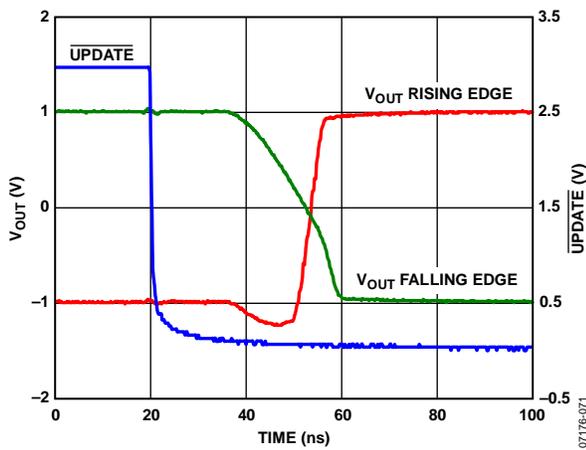


图75. ADV3201开关时间

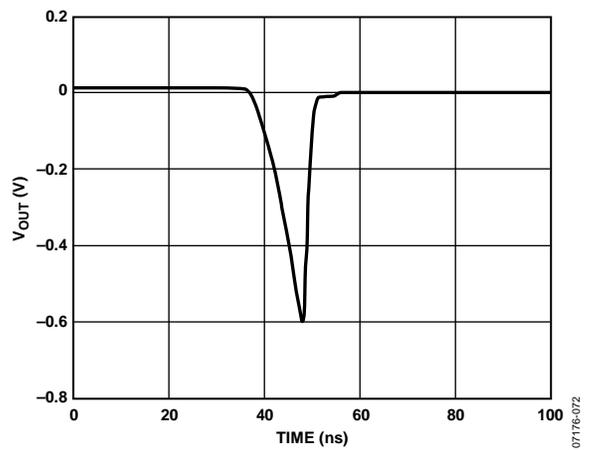


图78. ADV3201开关毛刺

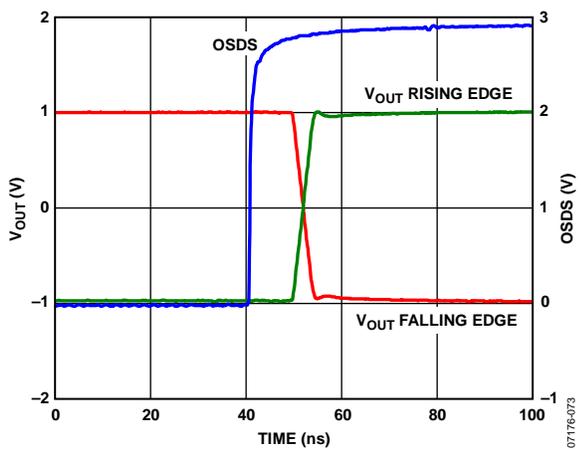


图76. ADV3201 OSD开关时间

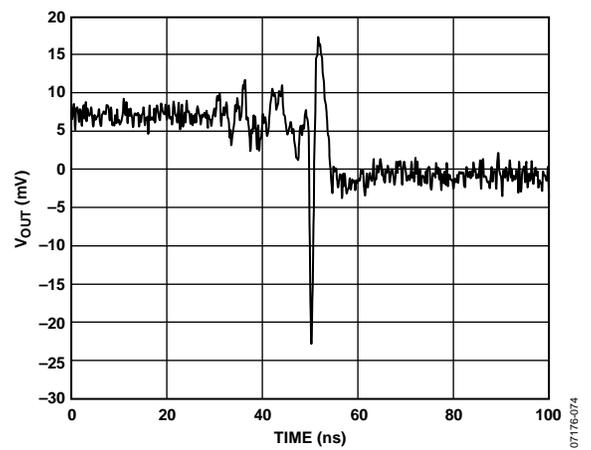


图79. ADV3201 OSD开关毛刺

ADV3200/ADV3201

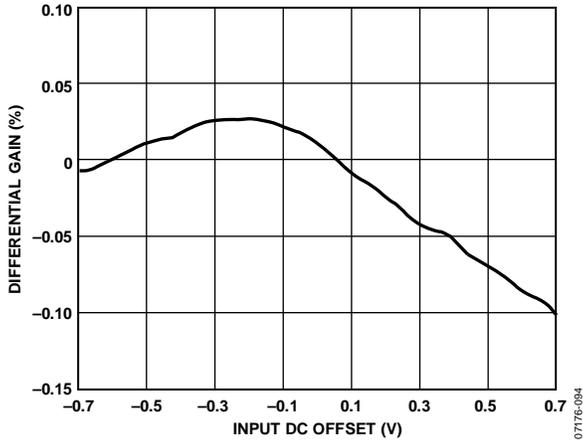


图80. ADV3201差分增益, 载波频率 = 3.58 MHz, 副载波幅度 = 300 mV p-p

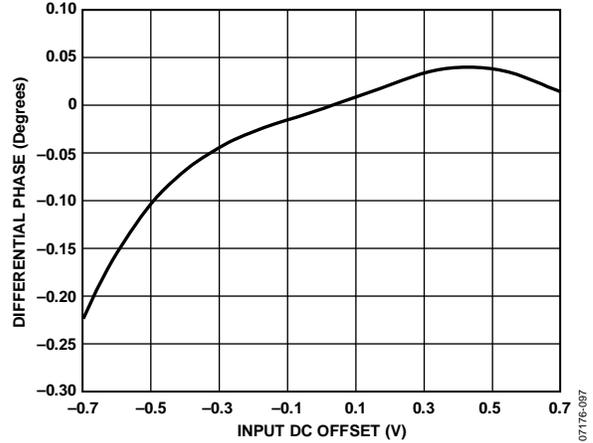


图83. ADV3201 OSD差分相位, 载波频率 = 3.58 MHz, 副载波幅度 = 300 mV p-p

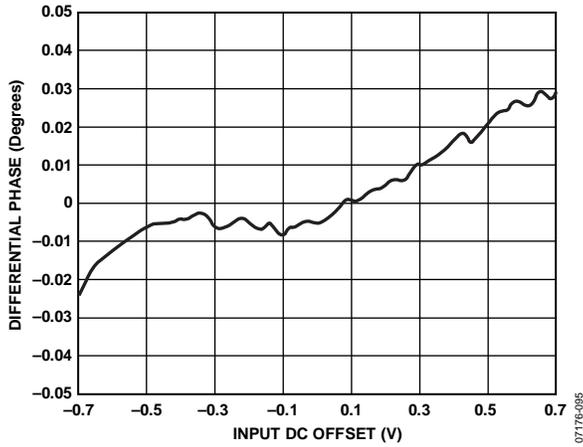


图81. ADV3201差分相位, 载波频率 = 3.58 MHz, 副载波幅度 = 300 mV p-p

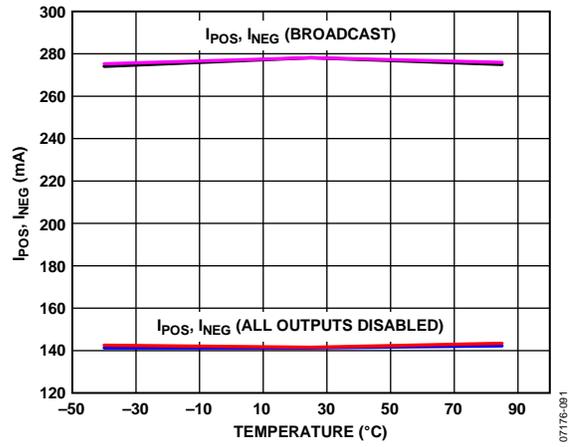


图84. ADV3201电源电流与温度的关系

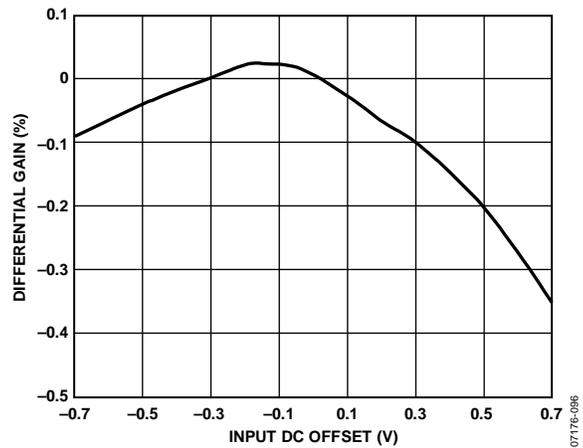


图82. ADV3201 OSD差分增益, 载波频率 = 3.58 MHz, 副载波幅度 = 300 mV p-p

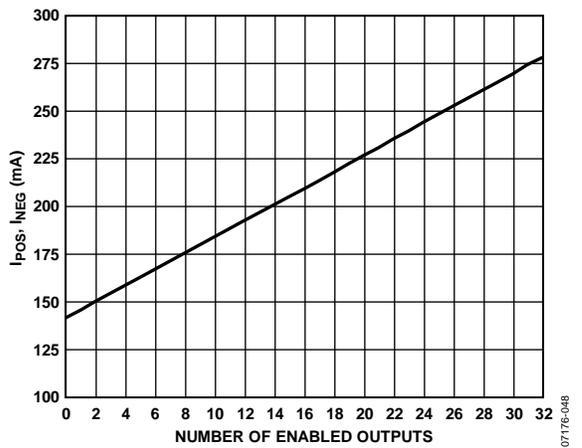


图85. ADV3201电源电流与使能输出的关系

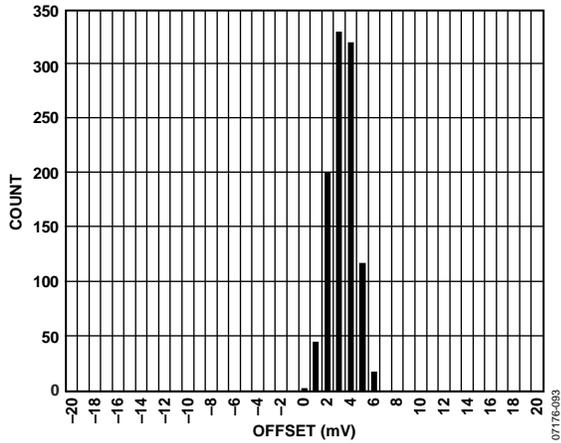


图86. ADV3201输入失调分配(一个器件, 全部1024通道)

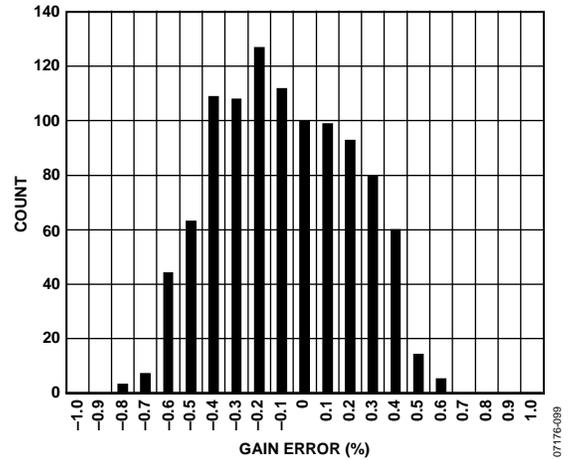


图89. ADV3201增益误差分配(一个器件, 全部1024通道)

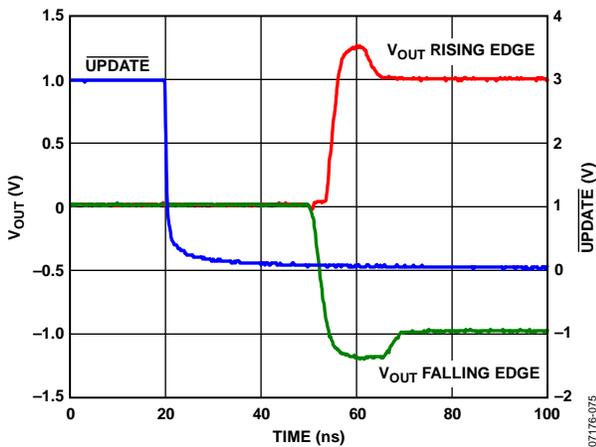


图87. ADV3201使能时间

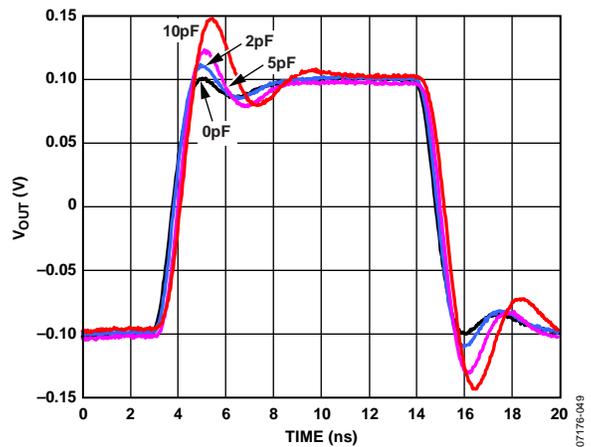


图90. ADV3201小信号脉冲(容性负载, 200 mV p-p)

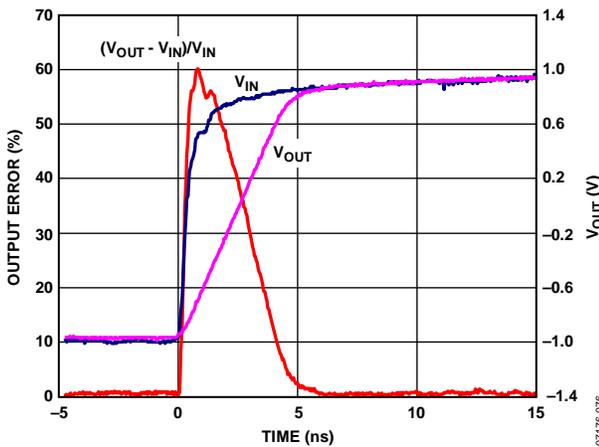


图88. ADV3201建立时间

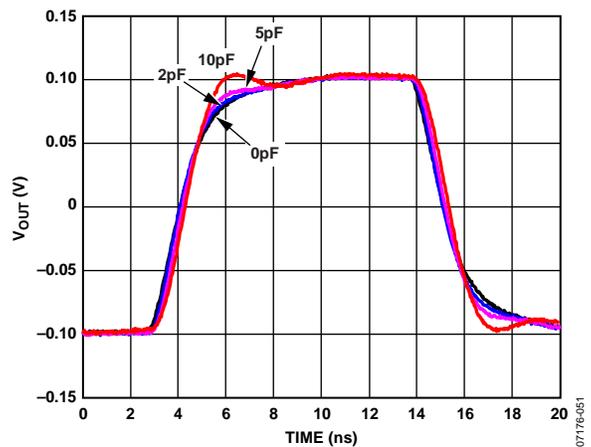


图91. ADV3201 OSD小信号脉冲(容性负载, 200 mV p-p)

ADV3200/ADV3201

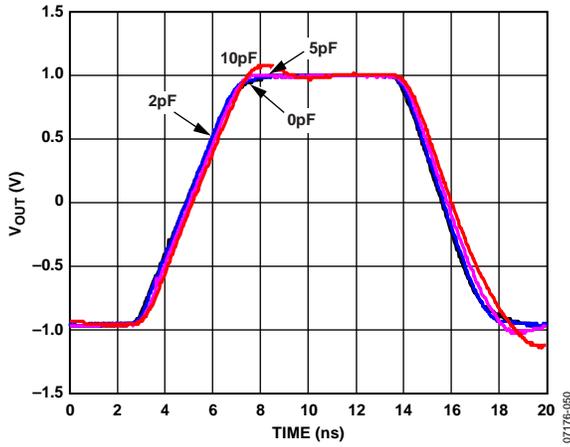


图92. ADV3201大信号脉冲(容性负载, 2 V p-p)

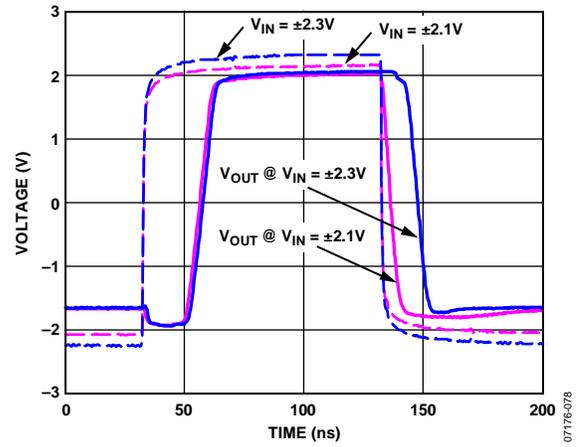


图94. ADV3201过驱恢复时间

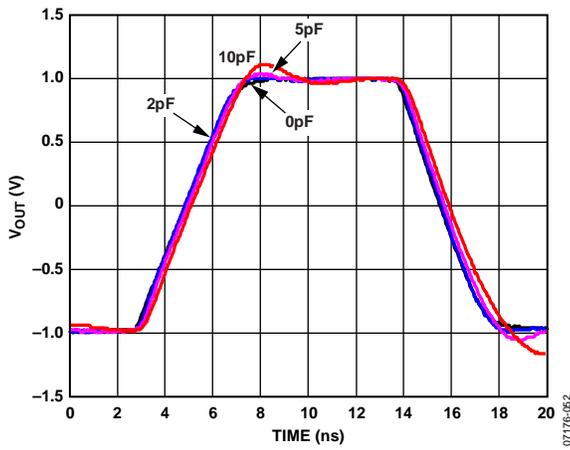


图93. ADV3201 OSD大信号脉冲(容性负载, 2 V p-p)

工作原理

ADV3200/ADV3201是单端交叉点阵列，具有32个输出，每个输出都可以连接32个输入中的任意一个。32个可开关输入级分别连接至每一个输出缓冲器，形成32:1多路复用器。这些多路复用器共有32个，所有输入均采用并联连接，总阵列共1024级，形成具有多播能力的交叉点开关(见图97)。

除了连接所有标称输入(IN_{xx})，每个输出还可通过各输出端额外的2:1多路复用器连接相关的OSD_{xx}输入。该2:1多路复用器可在32:1多路复用器与OSD_{xx}输入端之间开关。

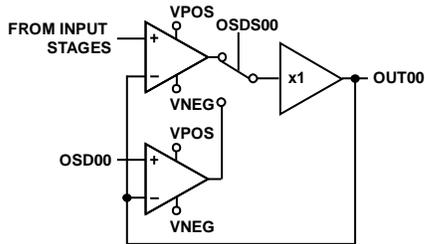


图95. 单个输出通道的概念框图, $G = +1$ (ADV3200)

每个输出的解码逻辑都会选择一个(或不选)输入级，以驱动输出级。使能输入级驱动输出级，该输出级在ADV3200中配置为单位增益放大器(见图95)。

在ADV3201中，内部阻性反馈网络和基准电压缓冲器提供+2的总输出级增益(见图96)。基准电压缓冲器的输入电压来自VREF引脚。该电压为整个芯片所共用，需采用低阻抗源驱动，以避免串扰。

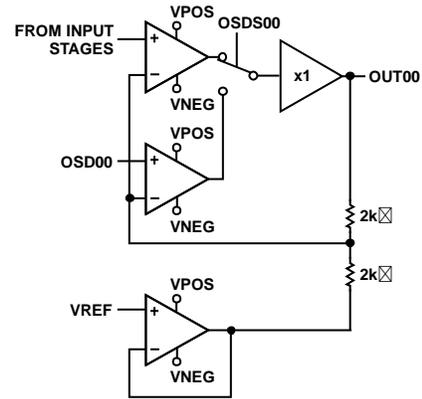


图96. 单个输出通道的概念框图, $G = +2$ (ADV3201)

ADV3200/ADV3201的所有输入均由接收器缓冲。该接收器通过限制信号摆幅，为输入级提供过压保护。在ADV3200中，接收器输出限制为VREF电压 ± 1.2 V，而在ADV3201中，信号摆幅限制为中间电平 ± 1.2 V。该接收器配置为电压反馈型单位增益放大器。较大的环路增益带宽积可降低闭环增益对器件带宽的影响。

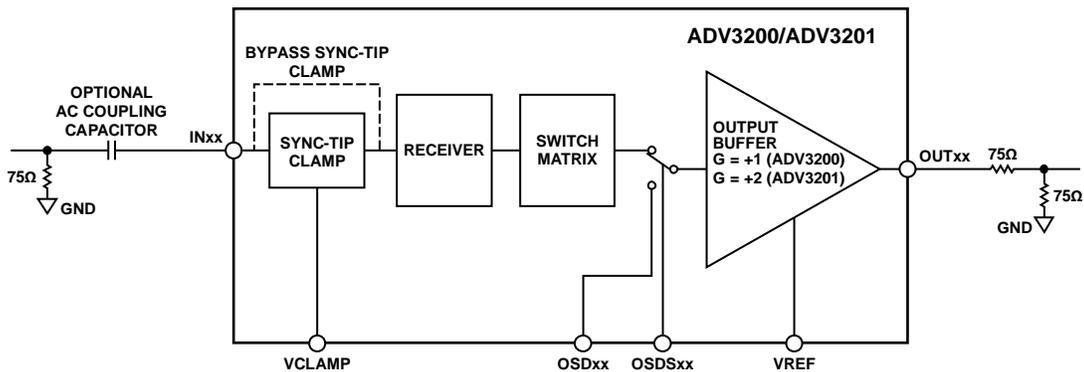


图97. ADV3200/ADV3201信号链(单I/O路径)

ADV3200/ADV3201

除接收器外，每一个输入都有同步端箝位，用于交流耦合应用。所有箝位均根据编程逻辑期间移入的首个串行数据位使能或禁用。使能后，箝位迫使最低输入电压输出至VCLAMP引脚。VCLAMP引脚为整个芯片所共用，需采用低阻抗源驱动，以避免串扰。

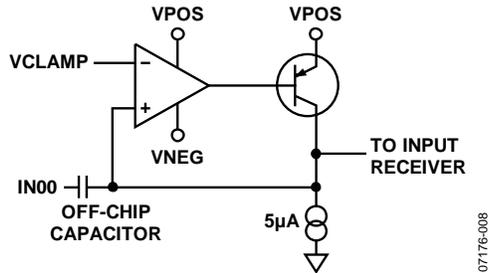


图98. 交流耦合应用中同步端箝位的概念图

ADV3200/ADV3201的输出级针对驱动复合视频信号时的低差分增益和相位误差设计。它还提供压摆电流，用于驱动复合视频信号时的快速脉冲响应。

可以禁用ADV3200/ADV3201的输出以最大程度降低片内功耗。禁用后，一系列内部放大器驱动内部节点，使禁用输出端哪怕在输出总线为大信号摆幅的情况下也存在一个宽带高阻抗。(在ADV3201中，有一个4 kΩ电阻通过基准电压缓冲器端接至VREF电压。)此高阻抗允许多个IC的总线相连，而无需额外缓冲。

降低输出电容时必须谨慎，因为这样会导致更多过冲和频域峰化。此外，当输出禁用并通过外部驱动时，施加于输出的电压一定不能超过ADV3200/ADV3201的有效输出摆幅范围，以使这些内部放大器保持在它们的线性工作范围内。对禁用输出端施加过量电压可能会导致ADV3200/ADV3201损坏，应避免发生这种情况(相关指南参见“绝对最大额定值”部分)。

通过串行逻辑接口，可对ADV3200/ADV3201的内部连接进行控制。串行载入一级锁存将对每个输出实现预编程。全局更新信号(UPDATE)将编程数据移入二级锁存，同步更新全部输出。串行输出引脚(DATA OUT)允许器件以菊花链形式连接，用于单引脚编程多个IC。提供复位引脚，可通过禁用全部输出避免总线冲突。此复位信号清零一级和二级锁存。

ADV3200可采用5 V单电源供电，通过VPOS/VNEG电源引脚为信号路径上电，并通过DVCC/DGND电源引脚为控制逻辑接口上电。然而，为了便于连接地参考视频信号，可将电源分离为±2.5 V(ADV3201设计为采用±3.3 V电源供电)。执行电源分离时，灵活的逻辑接口允许控制逻辑电源(DVCC/DGND)工作在3.3 V/0 V至5 V/0 V范围内，同时内核依然采用分离电源供电。

应用信息

编程

ADV3200/ADV3201通过193位串行字编程，而每次编程器件都会更新矩阵内容和同步端箝位的状态。

串行编程描述

串行编程模式使用CLK、DATA IN、 $\overline{\text{UPDATE}}$ 和 $\overline{\text{CS}}$ 器件引脚。第一步是将 $\overline{\text{CS}}$ 置位低电平，以便选择待编程器件。数据移位至器件的串行端口时， $\overline{\text{UPDATE}}$ 信号必须为高电平。若 $\overline{\text{UPDATE}}$ 为低电平，则数据依然会移入，并且透明异步锁存器允许数据到达矩阵。这使得矩阵尝试更新所有移位数据定义的即时状态。

DATA IN上的数据在每个CLK的上升沿被读入。总共有193位数据必须移入，才能完成编程。32个输出中的每一个都有5位(D4至D0)决定其输入源，后跟1位(D5)决定输出的使能状态。若D5为低电平(输出禁用)，则5个关联位(D4至D0)无关，因为没有输入切换至该输出。

移入逻辑的第一位用于使能或禁用同步端箝位。如果该位为低电平，则禁用同步端箝位；否则使能。

同步端箝位首先移入，然后是最高有效输出地址数据(OUT31)。使能位(D5)首先移入，然后是输入地址(D4至D0)，地址以首位D4、末位D0顺序输入。余下的所有输出均顺序编程，直至最低有效输出地址数据移入为止。此时可拉低 $\overline{\text{UPDATE}}$ ，让器件根据刚移入的数据进行编程。二级锁存为异步，当 $\overline{\text{UPDATE}}$ 为低电平时，它们透明。

当多个ADV3200/ADV3201器件在系统中串联编程时，某个器件的DATA OUT信号可连接至下一个器件的DATA IN，形成串联信号链。所有CLK和 $\overline{\text{UPDATE}}$ 引脚应并联连接，并按前文所述进行操作。串行数据输入信号链第一个器件的DATA IN引脚，并以纹波方式传递至位于最后的器件。因此，输入信号链中最终器件的数据应在编程序列开始时就绪。编程序列的长度为193位乘以链路中的器件数。

复位

上电ADV3200/ADV3201时，通常要求输出启动为禁用状态。拉低 $\overline{\text{RESET}}$ 引脚时，可禁用所有输出。拉高后， $\overline{\text{UPDATE}}$ 引脚应当在 $\overline{\text{RESET}}$ 上升前驱动至高电平。

由于上电后移位寄存器中的数据是随机的，请不要用于编程矩阵，否则可能造成矩阵状态未知。若要防止这种情况，上电初始后不要对 $\overline{\text{UPDATE}}$ 施加逻辑低电平信号。应当首先加载需要的数据至移位寄存器中，然后拉低 $\overline{\text{UPDATE}}$ ，以便对器件编程。

$\overline{\text{RESET}}$ 引脚针对DVCC具有一个25 k Ω 上拉电阻，可用于建立简单的上电复位电路。 $\overline{\text{RESET}}$ 与地之间连接一个电容，保持 $\overline{\text{RESET}}$ 低电平一段时间，同时器件其余部分趋于稳定。低电平条件导致所有输出禁用。电容随后可通过上拉电阻充电至高电平状态，允许器件具有完整的编程能力。

CS引脚具有连接DGND的25 k Ω 下拉电阻。

输入交流耦合

使用交流耦合输入对于采用低压电源或5 V单电源的视频系统而言具有挑战性。在NTSC和PAL视频系统中，如果剥离同步，则700 mV是最大信号电压和黑色电平的近似差值。然而，如图99所示，若要对输入交流耦合，则需两倍于最大信号摆幅的动态范围。对于此扩展的动态范围要求，解决方案是同步端箝位特性。

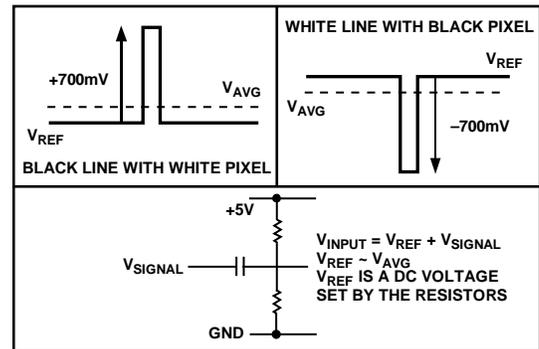


图99. 输入动态范围的“病态”案例

ADV3200/ADV3201

用于交流耦合输入的同步端箝位

ADV3200/ADV3201同步端箝位使能时，会将视频信号中的最大负电压箝位至VCLAMP。这样可为交叉点开关提供正确的直流电平，并确保无论何种平均图像电平，动态范围要求仅为最大输入信号摆幅。

输入端交流耦合的基本方法是在ADV3200/ADV3201的输入端采用串联电容。端接需要放置在串联耦合电容之前。将串联耦合电容尽可能靠近输入引脚放置。

为ADV3200/ADV3201的输入端选择正确的交流耦合电容非常重要。数值太小则会造成不可接受的电压下降，如图100所示。采用数值足够大的交流耦合电容(如100 nF)可防止电压下降，如图101所示。

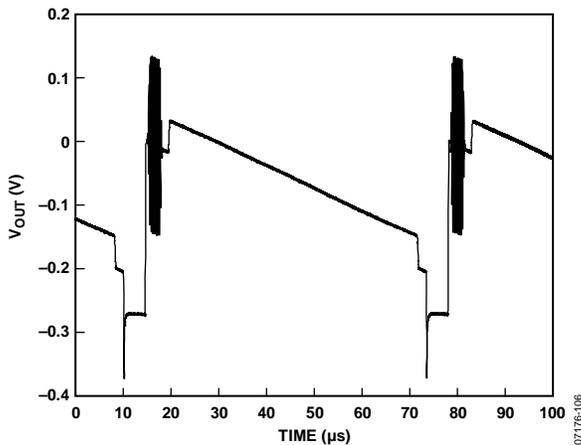


图100. 带1 nF交流耦合电容的视频信号

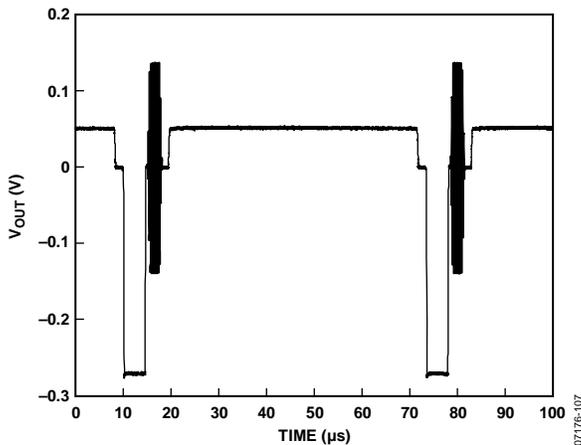


图101. 带100 nF交流耦合电容的视频信号

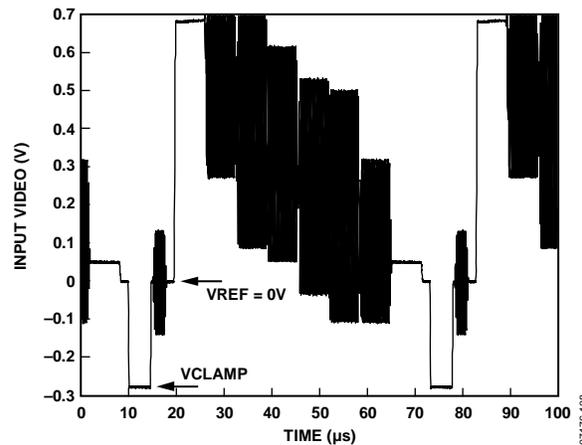


图102. 视频信号输入同步端箝位

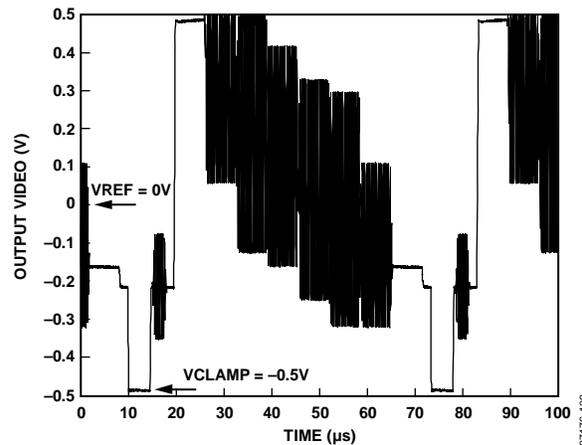


图103. 采用ADV3201的交流耦合视频(同步端箝位使能)

同步端箝位功能通过193位字中的同步端箝位使能位使能或禁用，方法是对ADV3200/ADV3201进行串行编程。同步端箝位使能位开启或关断所有通道的箝位功能；不提供针对单个通道的箝位开启/关断控制。同步端箝位功能仅对包含同步端的信号起作用，如复合视频。如果信号不含同步端，则箝位功能会使其发生失真。

ADV3200采用 ± 2.5 V电源供电时，VCLAMP范围为 -1 V至 $+0.3$ V；而ADV3201采用 ± 3.3 V电源供电时，VCLAMP范围为 -0.5 V至 $+0.3$ V。如果从外部驱动VCLAMP，则输入电路可参考图14。注意，VCLAMP引脚上的6 k Ω 电阻连接片内VREF缓冲电压，并且50 μ A电流源将VCLAMP标称值设为低于VREF 300 mV。建议在VCLAMP引脚上添加旁路电路，因为噪声和失调可能会注入此引脚。

屏幕显示(OSD)

ADV3200/ADV3201针对32个输出的每一个均提供专用的2:1多路复用器,允许外部视频或直流电平通过普通输入通道插入或切换。OSD多路复用器可在20 ns内完成切换,允许显示文字或其他画中画之类的信号。OSDS_{xx}引脚是控制开关,用于开关每个相应的OSD多路复用器(高电平 = OSD,低电平 = 普通输入)。拉高OSDS_{xx}可将OSD_{xx}输入端的信号切换至相应的输出端。将OSDS_{xx}设为低电平可切换IN_{xx}上的电平至相应输出。对于每行扫描而言,此开关动作可逐像素执行;而通过这种方式,任何视频信号(包括图像、字符或文字)可插入至输出并显示。OSD信号必须与其所切换的输入视频信号同步;因此,OSDS信号必须具有正确的时序,才能将OSD信号放置在水平线上。此外,OSD_{xx}输入不存在前文所述之同步端箝位特性,因此直流电平必须在OSD_{xx}输入端正确设置。

去耦

ADV3200/ADV3201的信号路径基于负反馈下的高开环增益放大器。片内主极点补偿用于在预期施加的压摆和负载条件范围内稳定这些放大器。为保证设计稳定性,需对电源适当去耦。信号产生的电流必须在所有频率下通过依然存在的环路增益的低阻抗路径返回它们的源端(至少达到300 MHz)。宽带并联电容配置对于正确去耦ADV3200/ADV3201而言是必须的。

VREF和VCLAMP引脚应视为基准电压源引脚而非电源引脚,因为它们都是片内缓冲器的输入。由于VREF引脚用于ADV3200/ADV3201的接地参考,应确保在整个目标频率范围内生成低噪声VREF源。

功耗

功耗计算

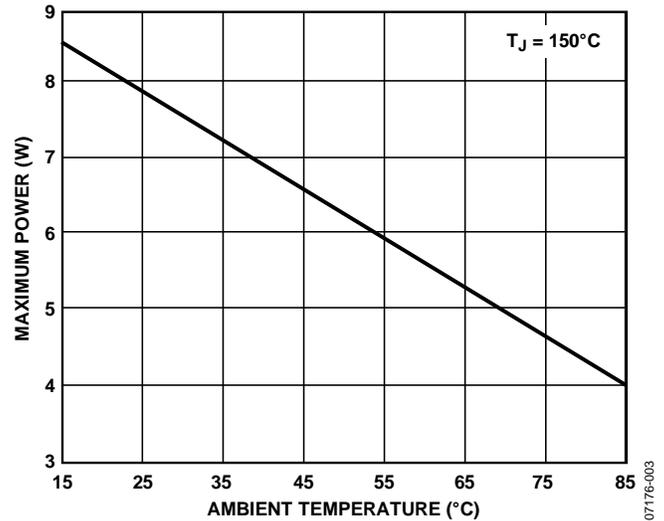


图104. 芯片最大功耗与环境温度的关系

图104中的曲线可从下式计算得到:

$$P_{D,MAX} = \frac{T_{JUNCTION,MAX} - T_{AMBIENT}}{\theta_{JA}} \quad (1)$$

例如,假设ADV3200/ADV3201处于45°C (T_A)环境温度下,则所有负载和电源条件下的总片内功耗必须不能超过6.5 W。

计算片内功耗时,必须包含输入至负载的电流有效值,并将其乘以ADV3200/ADV3201输出器件上的压降有效值。对于正弦输出而言,负载产生的片内功耗可大致计算如下:

$$P_{D,OUTPUT} = (V_{POS} - V_{OUTPUT,RMS}) \times I_{OUTPUT,RMS} \quad (2)$$

对于非正弦输出而言,应当通过对片内压降进行积分,然后乘以一个周期内的负载电流而计算得到。

针对AB类输出级,计算负载功耗时,可以减去静态电流。对于驱动负载的每一个输出级而言,根据下式减去静态功耗:

$$P_{DQ,OUTPUT} = (V_{POS} - V_{NEG}) \times I_{OUTPUT,QUIESCENT} \quad (3)$$

其中, $I_{OUTPUT,QUIESCENT} = 0.95 \text{ mA}$, 针对每个单端输出引脚而言。

对于每个已禁用的输出, VPOS和VNEG上的静态电源电流下降约4 mA。

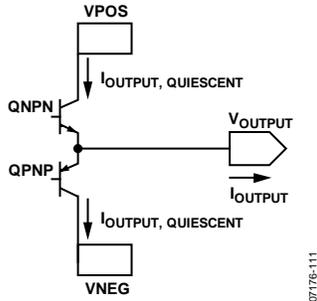


图105. 简化输出级

示例

对于环境温度85°C下的ADV3200，若所有32个输出均驱动1 V rms至150 Ω负载，且电源为±2.5 V，则遵循下列步骤：

1. 使用数据手册中的静态电流计算ADV3200功耗。忽略数值很小的VDD电流。

$$P_{D,QUIESCENT} = (V_{POS} \times I_{V_{POS}}) + (V_{NEG} \times I_{V_{NEG}})$$

$$P_{D,QUIESCENT} = (2.5 \text{ V} \times 250 \text{ mA}) + (2.5 \text{ V} \times 250 \text{ mA}) = 1.25 \text{ W}$$

2. 计算负载功耗。

$$P_{D,OUTPUT} = (V_{POS} - V_{OUTPUT,RMS}) \times I_{OUTPUT,RMS}$$

$$P_{D,OUTPUT} = (2.5 \text{ V} - 1 \text{ V}) \times (1 \text{ V}/150 \Omega) = 10 \text{ mW}$$

存在32个输出，因此有32个输出电流。

$$nP_{D,OUTPUT} = 32 \times 10 \text{ mW} = 0.32 \text{ W}$$

3. 在所有负载中(本例为32)减去静态输出级电流。输出级驻留或驱动负载，但电流只需计算一次(对高于0.5 V的输出电压有效)。

$$P_{DQ,OUTPUT} = (V_{POS} - V_{NEG}) \times I_{OUTPUT,QUIESCENT}$$

$$P_{DQ,OUTPUT} = (2.5 \text{ V} - (-2.5 \text{ V})) \times (0.95 \text{ mA}) = 4.75 \text{ mW}$$

存在32个输出，因此有32个输出电流。

$$nP_{DQ,OUTPUT} = 32 \times 4.75 \text{ mW} = 0.15 \text{ W}$$

4. 验证功耗不超过最大允许值。

$$P_{D,ON-CHIP} = P_{D,QUIESCENT} + nP_{D,OUTPUT} - nP_{DQ,OUTPUT}$$

$$P_{D,ON-CHIP} = 1.25 \text{ W} + 0.32 \text{ W} - 0.15 \text{ W} = 1.42 \text{ W}$$

如图104或等式1所示，此功耗在85°C以内(包括85°C)的所有环境温度下低于最大允许功耗。

串扰

许多系统(如广播视频和KVM开关等处理大量模拟信号通道的系统)具有严格的要求，保持各种信号在系统内不会互相影响。串扰是描述附近其它通道的信号耦合至给定通道的术语。

当系统中存在很多距离很近的信号时(毫无疑问，就像采用ADV3200/ADV3201的系统)，串扰问题可能极为复杂。使用一个或多个交叉点器件时，需对串扰本质以及术语定义有深入了解。

串扰种类

串扰可通过三种方式中的任意一种传播：电场、磁场和共用公共阻抗。本部分内容解释这些影响。

每个导体都可以既是电场的辐射器，同时又是电场的接收器。当发射器产生电场，电场向整个杂散电容(例如空间)传播并与接收器耦合，然后感应出电压时，便形成了电场串扰机制。该电压在任何接收到它的通道里，都是不希望存在的串扰信号。

流经导体的电流产生磁场，该磁场围绕此电流。这些磁场随后便在任何具有与之相连路径的导体内产生电压。在这些其它通道内原本不希望存在的感应电压即为串扰信号。那些受串扰影响的通道具有互感，可将信号从一个通道耦合至另一个通道。

多通道系统的电源、地和其它信号回路通常通过各种通道实现共享。当来自某个通道的电流流过其中一条路径时，阻抗两端产生的电压便成为共享公共阻抗的其它通道的输入串扰信号。

所有这些串扰源都是矢量；因此无法将幅度简单相加，得出总串扰。事实上，有些条件下以特定配置并联驱动额外电路，可降低串扰。

串扰区域

一个实际的ADV3200/ADV3201电路必须在某种电路板上实现，才可连接电源和测量设备。创建评估板时应当极其谨慎，以使固有器件的串扰最小化。但这样也产生了一个问题，即系统的串扰是器件内部的串扰与电路板串扰相叠加的结果。当试图最小化串扰的影响时，尝试区分这两个区域非常重要。

此外，输入至交叉点开关之间，以及输出之间也可能发生串扰。它也可能在输入至输出之间发生。下文提供的技巧可用于诊断系统哪部分产生了串扰。

测量串扰

通过施加一个信号至一路或多路通道，并测量选定通道上的相应信号强度，即可测得串扰。测量值通常以低于测试信号幅度多少dB表示。串扰计算如下：

$$|XT| = 20 \log_{10} \left(\frac{A_{SEL}(s)}{A_{TEST}(s)} \right) \quad (4)$$

其中：

$s = j\omega$ (拉普拉斯变换的变量)。

$A_{SEL}(s)$ 是选定通道上感应信号串扰幅度。

$A_{TEST}(s)$ 是测试信号的幅度。

可以看出，串扰是频率的函数，但不是测试信号(针对一阶而言)幅度的函数。此外，串扰信号相位与关联测试信号有关。

网络分析仪常用于测量目标频率范围内的串扰。它可同时提供串扰信号的幅度和相位信息。

随着交叉点系统或器件的扩大，理论串扰的组合排列数可能变得极为庞大。例如，以ADV3200/ADV3201的 32×32 矩阵为例，注意可视为单通道(如IN00输入)的串扰项数目。IN00编程为连接ADV3200/ADV3201的其中一个输出，可用于测量。

首先，与驱动测试信号至所有其它31个输入有关的串扰项每一次可测量一个，同时施加“无信号”至IN00。然后，与驱动并联测试信号至所有其它31个输入有关的串扰项每一次可测量所有可能的组合中的两个，然后一次三个，以此类推，直至只剩一种方法并行驱动测试信号至所有其它31个输入。

每种情况都与其它情况存在一定差异，并且可能导出一个独特值，具体取决于测量系统的分辨率，但几乎不可能实际测量所有这些项并指定它们。此外，它仅描述了一个输入通道的串扰矩阵。所有其它输入都可假设具有相似的串扰矩阵。此外，如果考虑输入连接至其它输出(未用于测量)的可能排列组合，则数字会大得离谱。如果使用多个ADV3200/ADV3201器件构建更大的交叉点阵列，数字将直线上升。

显然，必须选出这些情况的某些部分，指引人们找到一种实用的串扰测量方法。一个常用的方法是测量所有不利串扰；这表示测量选定通道的串扰，同时并行驱动其它系统通道。总之，该方法得到最差情况下的串扰数，但由于串扰信号的矢量特性，情况并非总是如此。

其它有用的串扰测量方法由一个最近的相邻通道或每一侧两个相邻通道所建立。这些串扰的测量值通常高于相距较远的通道测量值，因此可用作任何其它单通道或双通道在最差情况下的串扰测量值。

输入和输出串扰

容性耦合由电压驱动(dV/dt)，但通常是一个常数比。容性串扰与输入或输出电压成正比，但仅仅通过降低信号摆幅无法降低该比值。必须改变阻抗(降低互电容)从而改变衰减系数，否则必须通过同相与反相元器件相加，利用破坏性消除加以改变。对于高输入阻抗的器件(如ADV3200/ADV3201)，输入串扰通常主要由电容产生。

感性耦合与电流成正比(dI/dt)，并通常以恒定的比例随信号电压而改变，但它与阻抗也有关系(负载电流)。感性耦合还可通过同相或反相部分加以破坏性消除。在驱动低阻抗视频负载的情况下，输出电感对输出串扰会产生很大影响。

ADV3200/ADV3201灵活的编程能力可用于诊断串扰更多地存在于输入侧还是输出侧。一些例子可以说明。给定的输入对(本例中，IN07位于中间)可编程驱动OUT07(同样位于中间)。输入至IN07端接至地(通过50Ω或75Ω电阻)，并且不施加信号。

其它所有输入都采用相同的测试信号(实际由分布式放大器提供)并行驱动，除OUT07外的其它所有输出都禁用。由于接地IN07输入编程驱动OUT07，因此不应当有任何信号。任何信号的存在都可影响到另外15个不利输入信号，因为不驱动其它输出(它们都被禁用)。因此，这种方法测量所有不利输入对IN07的串扰贡献。当然，该方法可用于其它输入通道和不利输入组合。

对于输出串扰测量而言，单个输入通道被驱动(例如IN00)，并且除给定输出(位于中间的IN07)外的所有输出都编程连接至IN00。OUT07编程连接IN15(远离IN00)，后者端接至地。因此，OUT07应当不存在任何信号，因为它监听的是无噪声输入。在OUT07端测得的任意信号都可能对其它15个不利输出贡献了输出串扰。同样，该方法可经过修改，用于测量其它通道以及其它交叉点矩阵组合。

ADV3200/ADV3201

阻抗对串扰的影响

输入侧的串扰受驱动输入的源端输出阻抗的影响。驱动源阻抗越低，串扰幅度也越低。输入侧的主要串扰机制是容性耦合。高阻抗输入不产生大电流，也就无法形成磁感应串扰。但是，大电流可能流经输入端接电阻和驱动它们的环路。因此，输入侧的PCB可能对磁耦合串扰作出贡献。

从电路角度来看，输入串扰机制与电容耦合至阻性负载相似。对于低频而言，串扰幅度可计算如下：

$$|XT| = 20 \log_{10} [(R_S C_M) \times s] \quad (5)$$

其中：

R_S 为源电阻。

C_M 为测试信号电路和选定电路之间的互电容。

s 为拉普拉斯变换的变量。

由之前公式可以看出，这种串扰机制具有高通特性；它可通过降低输入电路的耦合电容并降低驱动器的输出阻抗，最大程度地加以减少。若输入由75 Ω 端接电缆驱动，则使用低输出阻抗缓冲器缓冲该信号即可降低输入串扰。

在输出侧，串扰可通过驱动较轻的负载而减少。虽然驱动标准150 Ω 视频负载时，ADV3200/ADV3201具有出色的差分增益和相位规格，但由于高输出电流，串扰会高于可达到的最小值。这些电流通过输出引脚互感以及ADV3200/ADV3201的焊线而引起串扰。

从电路角度来看，此输出串扰机制与绕组间含有互感，并驱动负载电阻的变压器类似。对于低频而言，串扰幅度可计算如下：

$$|XT| = 20 \log_{10} \left(M_{XY} \times \frac{s}{R_L} \right) \quad (6)$$

其中：

M_{XY} 为输出X至输出Y的互感。

R_L 为测量输出的负载电阻。

s 为拉普拉斯变换的变量。

该串扰机制可通过保持低互感，并增加RL而最大程度地减少。通过增加导体间距并使并联长度最短，便可保持低互感。

PCB布局布线

必须特别注意尽量降低系统电路板产生的额外串扰。细节上需要注意的区域有：接地、屏蔽、信号路由和电源旁路。

如果输入和输出信号位于上层与下层的接地层之间，并且之间以接地层隔开，则它们将具有最小的串扰。将过孔尽可能靠近IC放置，以便内层承载输入和输出。输入和输出信号受输入端接电阻和输出串联后部端接电阻的影响。只要有可能，就应当在这些信号从IC封装出现后立即予以隔离。

PCB端接布局

随着工作频率的增加，正确路由传输线路信号也变得越重要。ADV3200/ADV3201的带宽足够宽，因此对于实际的信号走线长度，使用高阻抗路由不会提供平坦的带内频率响应。用户必须选择适合应用的特性阻抗，并正确端接ADV3200/ADV3201的输入和输出信号。一般而言，视频应用使用75 Ω 单端环境。

出于灵活性方面的考虑，ADV3200/ADV3201不包含片内端接电阻。这一应用的灵活性为电路板布局带来了一些挑战。输入传输线路端接与ADV3200/ADV3201芯片之间的距离是高阻抗分支路径，会造成输入信号反射。经过简化，可以看到，根据信号在所选电路板材料上的传播速度(v_p)以及端接电阻和ADV3200/ADV3201之间的距离(d)，这些反射会导致固定频率间隔下的输入峰化。如果距离足够远，则峰化可能出现在带内。事实上，实际经验表明这些峰化不具有高Q特性，应当将其移出所需带宽的3至4倍外，以便不影响信号。对于使用FR4 ($v_p = 144 \times 10^6$ m/s)电路板的设计人员而言，这意味着ADV3200/ADV3201输入应当在端接电阻2 cm以内，且最好能靠得更近。因此，2 cm PCB路由在计算上相当于 $d = 2 \times 10^{-2}$ m。

$$f_{PEAK} = \frac{(2n+1) \times v_p}{4d} \quad (7)$$

其中， $n = \{0, 1, 2, 3, \dots\}$ 。

某些情况下，由于空间限制或电阻尺寸较大，难以将端接电阻靠近ADV3200/ADV3201放置。这种情况下更好的解决方法是保持受控传输线路经过ADV3200/ADV3201输入，并端接线路末端。这种方法称为飞越式端接。ADV3200/ADV3201的输入阻抗足够大，而封装内的分支长度足够小，这种设计在实际使用中能发挥很好的效果。

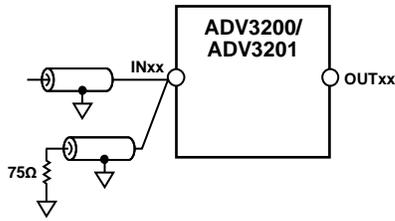


图106. 飞越式输入端接(两条传输线的接地端必须相连, 并靠近INxx引脚)

如果需要并联驱动多个ADV3200/ADV3201, 那么飞越式输入端接方案将是非常有用的, 但每个ADV3200/ADV3201输入端到受驱输入传输线的距离都是一条分支,

应当采用前文所述之指南, 尽量缩短其长度并减少寄生效应。

虽然目前讨论的示例针对输入端接, 输出后部端接原理与此类似。将ADV3200/ADV3201视为理想的电压源, 则ADV3200/ADV3201与后部端接电阻之间的任何路由距离都是一条分支, 会产生反射。因此, 将后部端接电阻靠近ADV3200/ADV3201放置。在实践中, 由于后部端接电阻为串联元件, 其路由尺寸更窄, 因此较容易在电路板布局中将其靠近ADV3200/ADV3201输出放置。

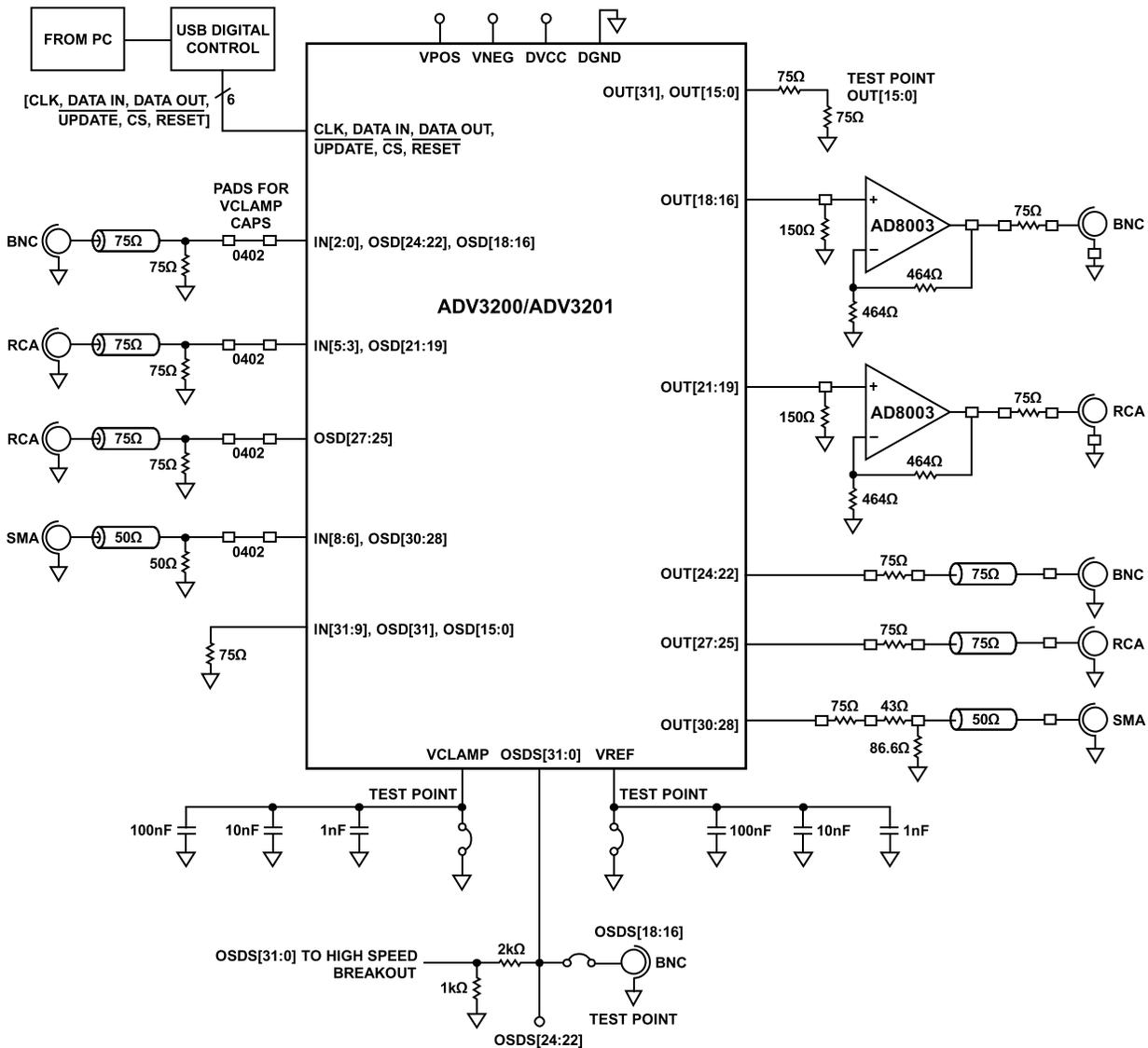
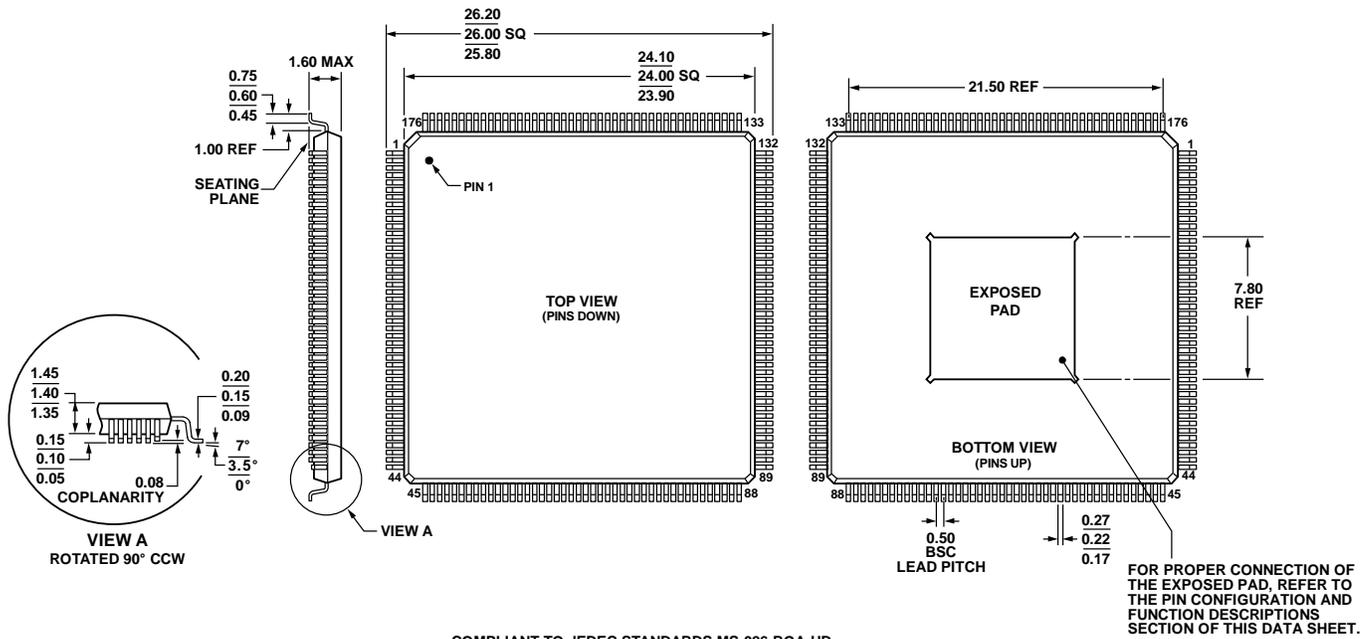


图107. 评估板简化原理图

ADV3200/ADV3201

外形尺寸



订购指南

模型	温度范围	封装描述	封装选项
ADV3200ASWZ ¹	-40°C至+85°C	176引脚薄型四方扁平封装[LQFP_EP]	SW-176-1
ADV3201ASWZ ¹	-40°C至+85°C	176引脚薄型四方扁平封装[LQFP_EP]	SW-176-1

¹ Z = 符合RoHS标准的器件。