

产品特性

电源

电源：2.5 V至5.25 V工作电压

正常：75 μ A(最大值)

掉电模式：1 μ A(最大值)

均方根(RMS)噪声：1.1 μ V(9.5 Hz更新速率)

16位峰峰值分辨率

积分非线性：3.5 ppm(典型值)

50 Hz和60 Hz同时抑制

内部时钟振荡器

可编程增益放大器

轨到轨输入缓冲

V_{DD} 监控通道

温度范围：-40°C至+105°C

10引脚MSOP封装

接口

三线式串行接口

SPI[®]、QSPI[™]、MICROWIRE[™]和DSP兼容

SCLK引脚内的施密特触发

应用

智能发射器

电池应用

便携式仪器仪表

传感器测量

温度测量

压力测量

电子秤

4 mA至20 mA环路

功能框图

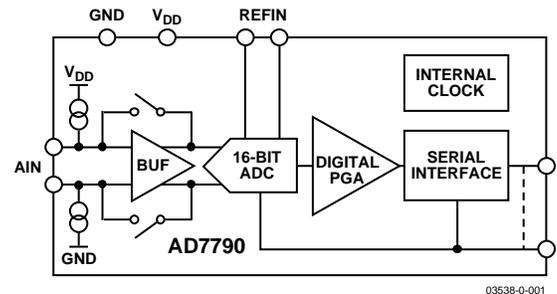


图1.

概述

AD7790是一款适合低频测量应用的低功耗、完整模拟前端，内置一个低噪声16位 Σ - Δ 型ADC，一路差分输入可配置为缓冲或无缓冲模式，此外还有一个增益可设置为1、2、4或8的数字PGA。

该器件采用内部时钟工作，因此，用户不必为其提供时钟源。器件的输出数据速率可通过软件编程设置，可在9.5 Hz至120 Hz的范围内变化，更新速率较低时均方根(RMS)噪声为1.1 μ V。内部时钟频率可以使用系数2、4或8进行分频，从而可以降低功耗。更新速率、截止频率和建立时间与时钟频率成比例变化。

这款器件采用2.5 V至5.25 V电源供电，工作电压为3 V时，最大功耗为225 μ W，采用10引脚MSOP封装。

目录

AD7790—技术规格	3	低功耗模式.....	13
时序特性	5	数字接口	14
绝对最大额定值.....	7	单次转换模式	15
ESD警告	7	连续转换模式	15
引脚配置和功能描述	8	连续读取模式	16
典型性能参数	9	电路描述	17
片内寄存器	10	模拟输入通道	17
通信寄存器(RS1、RS0 = 0、0)	10	可编程增益放大器	17
状态寄存器(RS1、RS0 = 0、0；上电/复位 = 0x88).....	11	双极性配置	17
模式寄存器(RS1、RS0 = 0、1；上电/复位 = 0x02).....	11	数据输出编码	17
滤波器寄存器(RS1、RS0 = 1、0；上电/复位 = 0x04) ..	12	基准输入	17
数据寄存器(RS1、RS0 = 1、1；上电/复位 = 0x0000) ..	12	V _{DD} 监控	18
ADC电路信息	13	接地和布局布线.....	18
概述	13	外形尺寸	19
噪声性能	13	订购指南	19

修订历史

2013年3月—修订版0至修订版A

增加“ESD警告”部分	7
更改图10	15
更改“基准输入”部分	17
更新外形尺寸	19
更改订购指南	19

2003年8月—修订版0：初始版

AD7790—技术规格¹

表1.(除非另有说明, $V_{DD} = 2.5\text{ V}$ 至 5.25 V ; $REFIN(+)$ = 2.5 V ; $REFIN(-)$ = GND ; $CDIV1 = CDIV0 = 0$; $GND = 0\text{ V}$; 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。)

参数	AD7790B	单位	测试条件/注释
ADC通道规格 输出更新速率	9.5 120	Hz, 标称最小值 Hz, 标称最大值	
ADC通道 无失码 ² 分辨率 输出噪声 积分非线性 偏置误差 偏置误差温漂 满量程误差 ³ 增益温漂 电源抑制	16 16 1.1 ± 15 ± 3 ± 10 ± 10 ± 0.5 90	位, 最小值 位(峰峰值) $\mu\text{V rms}$, 典型值 ppm(满量程范围的百万分率), 最大值 μV , 典型值 $\text{nV}/^\circ\text{C}$, 典型值 μV , 典型值 $\text{ppm}/^\circ\text{C}$, 典型值 dB, 最小值	$\pm V_{REF}$ 范围, 更新速率 $\leq 20\text{ Hz}$ 9.5 Hz更新速率 3.5 ppm(典型值) 输入范围 = $\pm REFIN$, 100 dB典型值
模拟输入 差分输入电压范围 绝对AIN电压限值 ² 模拟输入电流 平均输入电流 ² 平均输入电流温漂 绝对AIN电压限值 ² 模拟输入电流 平均输入电流 平均输入电流温漂 串模干扰抑制 ² @ 50 Hz, 60 Hz @ 50 Hz @ 60 Hz 共模抑制 @ DC @ 50 Hz, 60 Hz	$\pm REFIN/GAIN$ $GND + 100\text{ mV}$ $V_{DD} - 100\text{ mV}$ ± 1 ± 5 $GND - 30\text{ mV}$ $V_{DD} + 30\text{ mV}$ ± 400 ± 50 65 80 80 90 100	V, 标称值 V, 最小值 V, 最大值 nA, 最大值 $\text{pA}/^\circ\text{C}$, 典型值 V, 最小值 V, 最大值 nA/V, 典型值 $\text{pA}/V/^\circ\text{C}$, 典型值 dB, 最小值 dB, 最小值 dB, 最小值 dB, 最小值 dB, 最小值 dB, 最小值	$REFIN = REFIN(+)$ - $REFIN(-)$; $GAIN = 1, 2, 4$ 或 8 缓冲工作模式 缓冲工作模式 非缓冲工作模式 非缓冲工作模式, 输入电流随输入电压而变化。 典型值73 dB, $50 \pm 1\text{ Hz}$, $60 \pm 1\text{ Hz}$, $FS[2:0] = 100^4$ 典型值90 dB, $50 \pm 1\text{ Hz}$, $FS[2:0] = 101^4$ 典型值90 dB, $60 \pm 1\text{ Hz}$, $FS[2:0] = 011^4$ 输入范围 = $\pm REFIN$, $AIN = 1\text{ V}$ 典型值100 dB ($FS[2:0] = 100^4$) $50 \pm 1\text{ Hz}$ ($FS[2:0] = 1014$), $60 \pm 1\text{ Hz}$ ($FS[2:0] = 011^4$)
基准输入 REFIN电压 基准电压范围 ² 绝对REFIN电压限值 ² 平均基准输入电流 平均基准输入电流漂移	2.5 0.1 V_{DD} $GND - 30\text{ mV}$ $V_{DD} + 30\text{ mV}$ 0.5 ± 0.03	V, 标称值 V, 最小值 V, 最大值 V, 最小值 V, 最大值 V, 最大值 $\mu\text{A}/V$, 典型值	$REFIN = REFIN(+)$ - $REFIN(-)$

¹ 温度范围: -40°C 至 $+105^\circ\text{C}$ 。

² 技术规格未经生产测试, 但受产品初始发布时的特性数据支持。

³ 满量程误差适用于正、负两种满量程, 并在工厂校准条件下适用($V_{DD} = 4\text{ V}$)。

⁴ $FS[2:0]$ 为滤波器寄存器中的三位, 用来选择输出字速率。

AD7790

技术规格(续)¹

参数	AD7790B	单位	测试条件/注释
基准输入(续)			
串模干扰抑制 ²			
@ 50 Hz, 60 Hz	65	dB, 最小值	典型值73 dB, 50 ± 1 Hz, 60 ± 1 Hz, FS[2:0] = 100 ⁴
@ 50 Hz	80	dB, 最小值	典型值90 dB, 50 ± 1 Hz, FS[2:0] = 101 ⁴
@ 60 Hz	80	dB, 最小值	典型值90 dB, 60 ± 1 Hz, FS[2:0] = 011 ⁴
共模抑制			输入范围 = ±2.5 V, AIN = 1 V
@ DC	100	dB typ	FS[2:0] = 100 ⁴
@ 50 Hz, 60 Hz	110	dB typ	50 ± 1 Hz (FS[2:0] = 1014), 60 ± 1 Hz (FS[2:0] = 011 ⁴)
逻辑输入			
所有输入(SCLK除外) ²			
输入低电压V _{INL}	0.8	V, 最大值	V _{DD} = 5 V
输入高电压V _{INH}	0.4	V, 最大值	V _{DD} = 3 V
仅SCLK(施密特触发输入) ²	2.0	V, 最小值	V _{DD} = 3 V或5 V
V _{T(+)}	1.4/2	V, 最小值/最大值	V _{DD} = 5 V
V _{T(-)}	0.8/1.4	V, 最小值/最大值	V _{DD} = 5 V
V _{T(+)} - V _{T(-)}	0.3/0.85	V, 最小值/最大值	V _{DD} = 5 V
V _{T(+)}	0.9/2	V, 最小值/最大值	V _{DD} = 3 V
V _{T(-)}	0.4/1.1	V, 最小值/最大值	V _{DD} = 3 V
V _{T(+)} - V _{T(-)}	0.3/0.85	V, 最小值/最大值	V _{DD} = 3 V
输入电流	±1	μA, 最大值	V _{IN} = V _{DD} 或GND
输入电容	10	pF, 典型值	所有数字输入
逻辑输出			
V _{OH} , 输出高电压 ²	V _{DD} - 0.6	V, 最小值	V _{DD} = 3 V, I _{SOURCE} = 100 μA
V _{OL} , 输出低电压 ²	0.4	V, 最大值	V _{DD} = 3 V, I _{SINK} = 100 μA
V _{OH} , 输出高电压 ²	4	V, 最小值	V _{DD} = 5 V, I _{SOURCE} = 200 μA
V _{OL} , 输出低电压 ²	0.4	V, 最大值	V _{DD} = 5 V, I _{SINK} = 1.6 mA
悬空态漏电流	±1	μA, 最大值	
悬空态输出电容	10	pF, 典型值	
数据输出编码	偏移二进制		
电源要求 ⁵			
电源电压			
V _{DD} - GND	2.5/5.25	V, 最小值/最大值	
电源电流			
I _{DD} 电流 ⁶	75	μA, 最大值	典型值65 μA, V _{DD} = 3.6 V, 非缓冲模式
	145	μA, 最大值	典型值130 μA, V _{DD} = 3.6 V, 缓冲模式
	80	μA, 最大值	典型值73 μA, V _{DD} = 5.25 V, 非缓冲模式
	160	μA, 最大值	典型值145 μA, V _{DD} = 5.25 V, 缓冲模式
I _{DD} (掉电模式)	1	μA, 最大值	

¹ 数字输入等于V_{DD}或GND。

² 在低功耗模式下使用ADC可以进一步降低功耗(见表15)。

时序特性^{1,2}

表2.(除非另有说明, $V_{DD} = 2.5\text{ V}$ 至 5.25 V ; $\text{GND} = 0\text{ V}$; $\text{REFIN}(+) = 2.5\text{ V}$; $\text{REFIN}(-) = \text{GND}$; $\text{CDIV1} = \text{CDIV0} = 0$; 输入逻辑0 = 0 V; 输入逻辑1 = V_{DD} 。)

参数	在 T_{MIN} 和 T_{MAX} 条件下的限值 (B级)	单位	条件/注释
t_3	100	ns(最小值)	SCLK高电平脉宽
t_4	100	ns(最小值)	SCLK低电平脉宽
读操作			
t_1	0	ns(最小值)	$\overline{\text{CS}}$ 下降沿到 $\overline{\text{DOUT}}/\overline{\text{RDY}}$ 有效时间
	60	ns(最大值)	$V_{DD} = 4.75\text{ V}$ 至 5.25 V
	80	ns(最大值)	$V_{DD} = 2.5\text{ V}$ 至 3.6 V
t_2^3	0	ns(最小值)	SCLK有效沿到数据有效延迟 ⁴
	60	ns(最大值)	$V_{DD} = 4.75\text{ V}$ 至 5.25 V
	80	ns(最大值)	$V_{DD} = 2.5\text{ V}$ 至 3.6 V
$t_5^{5,6}$	10	ns(最小值)	$\overline{\text{CS}}$ 无效沿后的总线释放时间
	80	ns(最大值)	
t_6	100	ns(最大值)	SCLK无效沿到 $\overline{\text{CS}}$ 无效沿
t_7	10	ns(最小值)	SCLK无效沿到 $\overline{\text{DOUT}}/\overline{\text{RDY}}$ 高电平
写操作			
t_8	0	ns(最小值)	$\overline{\text{CS}}$ 下降沿到SCLK有效沿建立时间 ⁴
t_9	30	ns(最小值)	数据有效到SCLK沿建立时间
t_{10}	25	ns(最小值)	数据有效到SCLK沿保持时间
t_{11}	0	ns(最小值)	$\overline{\text{CS}}$ 上升沿到SCLK沿保持时间

¹ 样片在初次发布期间均经过测试, 以确保符合标准要求。所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ (10%到90%的 V_{DD})并从1.6V电平起开始计时。

² 参见图3和图4。

³ 这些数值是采用图2所示负载电路的测量结果, 定义为输出跨越 V_{OL} 或 V_{OH} 限值所需的时间。

⁴ SCLK有效沿为SCLK的下降沿。

⁵ 这些数值来源于测量时间, 该时间为采用图2所示负载电路时数据输出改变0.5 V所需的时间。然后将测得的数值反向外推, 以消除50 pF电容的充电或放电效应。这意味着, 时序特性所给出的时间是该器件真正的总线释放时间, 因而与外部总线负载电容无关。

⁶ $\overline{\text{RDY}}$ 在读取ADC之后返回高电平。在单次转换模式和连续转换模式下, 当 $\overline{\text{RDY}}$ 为高电平时, 如果需要, 可以再次读取同一数据, 但应确保后续读取操作的发生时间不能接近下一次输出更新时间。在连续读取模式下, 数字字只能被读取一次。

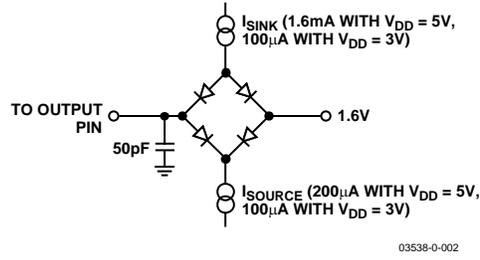


图2. 时序特性的负载电路

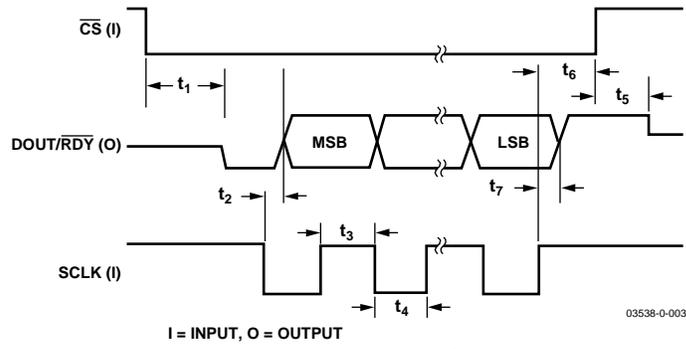


图3. 读取周期时序图

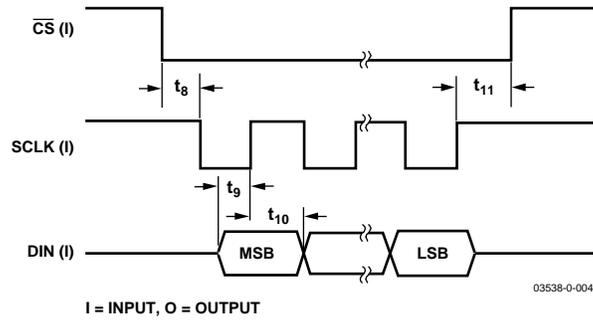


图4. 写入周期时序图

绝对最大额定值

表3.(除非另有说明, $T_A = 25^\circ\text{C}$)

参数	额定值
V_{DD} 至GND	-0.3 V至+7 V
模拟输入电压至GND	-0.3 V至 $V_{DD} + 0.3$ V
基准输入电压至GND	-0.3 V至 $V_{DD} + 0.3$ V
AIN/REFIN总电流(未定)	30 mA
数字输入电压至GND	-0.3 V至 $V_{DD} + 0.3$ V
数字输出电压至GND	-0.3 V至 $V_{DD} + 0.3$ V
工作温度范围	-40°C至+105°C
存储温度范围	-65°C至+150°C
最高结温	150°C
MSOP	
θ_{JA} 热阻	206°C/W
θ_{JC} 热阻	44°C/W
引脚温度, 焊接(10秒)	300°C
IR回流焊峰值温度	220°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

AD7790

引脚配置和功能描述

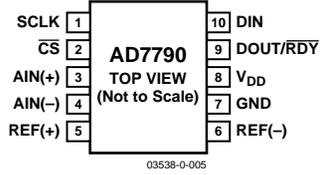


图5. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	功能
1	SCLK	用于ADC数据传输的串行时钟输入。SCLK具有施密特触发式输入，因而该接口适合光隔离应用。该串行时钟可以是连续式时钟，所有数据均在连续的脉冲串中传输。或者，它也可以是非连续式时钟，来往ADC的信息以较小的数据包形式传输。
2	CS	片选输入。这是一个低电平有效逻辑输入，用于选择ADC。CS可以用来在串行总线上具有多个器件的系统中选择ADC，或者用作帧同步信号与器件通信。CS可以用硬连线方式置为低电平，使得ADC能以3线式模式工作，使用SCLK、DIN和DOUT与器件接口。
3	AIN(+)	模拟输入。AIN(+)是全差分模拟输入的正端。
4	AIN(-)	模拟输入。AIN(-)是全差分模拟输入的负端。
5	REFIN(+)	正基准电压输入。REFIN(+)可位于 V_{DD} 和 $GND + 0.1 V$ 之间。标称基准电压(REFIN(+)-REFIN(-))为2.5 V，但该器件可以采用0.1 V至 V_{DD} 范围内的基准电压工作。

引脚编号	引脚名称	功能
6	REFIN(-)	负基准电压输入。该基准电压输入可以是GND与 $V_{DD} - 0.1 V$ 之间的任意值。
7	GND	接地基准点。
8	V_{DD}	电源电压(2.5 V至5.25 V)。
9	DOUT/RDY	串行数据输出/数据就绪输出引脚。DOUT/RDY具有双重作用。它可以用作串行数据输出引脚，以访问ADC的输出移位寄存器。输出移位寄存器可以含有来自任一片内数据寄存器或控制寄存器的数据。此外，DOUT/RDY可以用作数据就绪引脚。当引脚的电平为低时，表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。DOUT/RDY下降沿可以用作处理器的中断，表示存在可用数据。采用外部串行时钟时，可以利用DOUT/RDY引脚读取数据。CS为低电平时，数据/控制字信息在SCLK下降沿置于DOUT/RDY引脚上，且在SCLK上升沿有效。转换是否结束也由状态寄存器的RDY位来指示。当CS为高电平时，DOUT/RDY引脚处于三态，但RDY位保持有效。
10	DIN	ADC输入移位寄存器的串行数据输入。该移位寄存器中的数据传输至ADC内的控制寄存器；通信寄存器的寄存器选择位可以识别恰当的寄存器。

典型性能参数

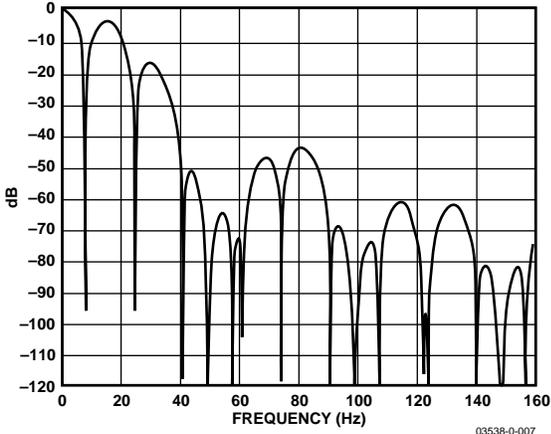


图6. 更新速率为16.6 Hz时的频率响应

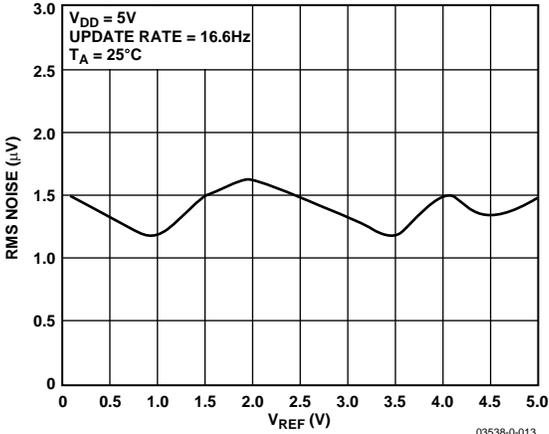


图7. RMS噪声与基准电压的关系

片内寄存器

ADC由许多片内寄存器进行控制和配置，下面的章节将对这些寄存器进行详细的说明。在下面的描述中，如无特殊说明，“置1”表示逻辑1状态，“清0”表示逻辑0状态。

通信寄存器(RS1、RS0 = 0、0)

通信寄存器是一个8位只写寄存器。与ADC器件之间的所有通信均必须以对通信寄存器的写操作开始。写入通信寄存器的数据决定了下一个操作是读操作还是写操作，以及此操作的操作对象是哪一个寄存器。对于读/写操作，当对选定寄存器的读/写操作完成后，接口返回到对通信寄存器执行写操作的状态。这是接口的默认状态，在上电或复位后，ADC将处于此默认状态，等待对通信寄存器的写操作。当接口时序丢失之后，执行一个占用至少32个串行时钟周期的写操作，并使DIN处于高电平状态，将可以复位整个器件，从而让ADC返回此默认状态。表5列出了通信寄存器位功能描述。CR0至CR7表示位的位置，CR说明这些位属于通信寄存器。CR7表示数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
WEN(0)	0(0)	RS1(0)	RS0(0)	R/W(0)	CREAD(0)	CH1(0)	CH0(0)

表5. 通信寄存器位功能描述

位的位置	位的名称	描述
CR7	WEN	写入使能位。必须将0写入此位，才能对通信寄存器执行写操作。如果第一位写入1，则器件不会将后续位载入寄存器，而是停留在此位的位置，直到此位写入0。一旦将0写入WEN位，器件便会将后续7位载入通信寄存器。
CR6	0	必须将此位编程为逻辑0才能正常工作。
CR5–CR4	RS1–RS0	寄存器地址位。这些地址位决定在串行接口通信期间选择ADC的哪些寄存器。参见表6。
CR3	R/W	如果此位为0，则表示下一个操作是对指定寄存器执行写操作。如果此位为1，则表示下一个操作是对指定寄存器执行读操作。
CR2	CREAD	连续读取数据寄存器。当此位为1(并且已选择数据寄存器)时，串行接口可以连续读取数据寄存器；即施加SCLK脉冲时，数据寄存器的内容自动置于DOUT引脚上。对于后续数据读取，不必对通信寄存器执行写操作。要启用连续读取模式，必须将指令001111XX写入通信寄存器。若要退出连续读取模式，必须在RDY引脚为低电平时将指令001110XX写入通信寄存器。在连续读取模式下，ADC会监控DIN线路上的活动，以便能接收指令从而退出连续读取模式。此外，如果DIN上连续出现32个1，ADC将复位。因此，在连续读取模式下，DIN应保持低电平，直到有指令将要写入该器件。
CR1–CR0	CH1–CH0	这些位用于选择模拟输入通道。可以选择差分通道(AIN(+)/AIN(-))或内部短路(AIN(-)/AIN(-))。或者选择电源，即ADC可以测量电源电压，这对于监控电源变化很有用。电源电压经过5倍分压后施加于调制器进行转换。ADC使用 $1.17\text{ V} \pm 5\%$ 片内基准电压源作为模数转换的基准源。通道的任何改变都会复位滤波器并开始新的转换。

表6. 寄存器选择

RS1	RS0	寄存器	寄存器大小
0	0	写操作期间为通信寄存器	8位
0	0	读操作期间为状态寄存器	8位
0	1	模式寄存器	8位
1	0	滤波器寄存器	8位
1	1	数据寄存器	16位

表7. 通道选择

CH1	CH0	通道
0	0	AIN(+)-AIN(-)
0	1	保留
1	0	AIN(-)-AIN(-)
1	1	V_{DD} 监控

状态寄存器(RS1、RS0 = 0、0；上电/复位 = 0x88)

状态寄存器是一个8位只读寄存器。要访问ADC状态寄存器，用户必须对通信寄存器进行写操作，选择下一个操作为读操作，并将0载入位RS1和位RS0，表8列出了状态寄存器位功能描述。SR0至SR7表示位的位置，SR说明这些位属于状态寄存器。SR7表示数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
RDY(1)	ERR(0)	0(0)	0(0)	1(1)	WL(0)	CH1(0)	CH0(0)

表8. 状态寄存器位功能描述

位的位置	位的名称	描述
SR7	RDY	ADC就绪位。当数据写入ADC数据寄存器后，该位清0。读取ADC数据寄存器之后，或者在用新转换结果更新数据寄存器之前的一段时间内，RDY位自动置1，以告知用户不应读取转换数据。当器件在省电模式下时，该位也为1。DOUT/RDY引脚也会指示转换何时结束。该引脚可以代替状态寄存器来监视ADC有无转换数据。
SR6	ERR	ADC错误位。此位与RDY位同时写入。该位为1说明写入ADC数据寄存器的结果箝位为全0或全1。导致出错的原因包括超量程和欠量程。启动转换的写操作可将该位清0。
SR5	0	此位自动清0。
SR4	0	此位自动清0。
SR3	1	此位自动置1。
SR2	0	如果器件为AD7790，此位自动清0。它可用于区分AD7790和AD7791(此位置1)。
SR1-SR0	CH1-CH0	这些位表示ADC正在对哪一通道执行转换操作。

模式寄存器(RS1、RS0 = 0、1；上电/复位 = 0x02)

模式寄存器是一个8位寄存器，可以从中读取数据，也可以将数据写入其中。此寄存器用于配置ADC的范围，使能或禁用缓冲器，以及将器件置于掉电模式。表9列出了模式寄存器位功能描述。MR0至MR7表示位的位置，MR说明这些位属于模式寄存器。MR7表示数据流的第一位。括号中的数值表示该位的上电/复位默认状态。只要对设置寄存器执行写操作，就会复位调制器和滤波器，并将RDY位置1。

MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
MD1(0)	MD0(0)	G1(0)	G0(0)	BO(0)	0(0)	BUF(1)	0(0)

表9. 模式寄存器位功能描述

位的位置	位的名称	描述
MR7-MR6	MD1-MD0	模式选择位。这些位选择连续转换模式、单次转换模式或待机模式。在连续转换模式下，ADC连续执行转换，并将结果置于数据寄存器中。完成转换时，RDY变为低电平。用户可以将器件置于连续读取模式下，以读取这些转换结果；当施加SCLK脉冲时，转换结果自动置于DOUT线路上。另一方面，用户可以通过对通信寄存器进行写操作，指示ADC输出转换结果。上电之后，经过 $2/f_{ADC}$ 的时间提供第一个转换结果，后续转换结果以 f_{ADC} 的频率提供。单次转换模式下，不执行转换时，ADC处于掉电模式。选择单次转换模式时，ADC上电后经过 $2/f_{ADC}$ 的时间执行单次转换。转换结果置于数据寄存器中，RDY变为低电平，然后ADC返回掉电模式。在数据被读取或执行另一次转换之前，转换结果将一直被保存在数据寄存器中，并且RDY保持有效(低电平)。参见表10。
MR5-MR4	G1-G0	范围位。AD7790支持四种模拟输入范围(见表11)。
MR3	BO	熔断电流使能位。用户将该位置1，可使能信号路径中的100 nA电流源。BO = 0将禁用此电流。仅当缓冲器处于有效状态时，才能使能熔断电流。

AD7790

位的位置	位的名称	描述
MR2	0	必须将此位编程为逻辑0才能正常工作。
MR1	BUF	配置ADC为缓冲或无缓冲工作模式。清0时，ADC以无缓冲模式工作，可降低器件的功耗。置1时，ADC以缓冲模式工作，用户可以将源阻抗置于前端，而不会给系统带来增益误差。
MR0	0	必须将此位编程为逻辑0才能正常工作。

表10. 工作模式

MD1	MD0	模式
0	0	连续转换模式(默认)
0	1	保留
1	0	单次转换模式
1	1	掉电模式

表11. 模拟输入范围

G1	G0	范围	AD7790 LSB大小, $V_{REF} = +2.5 V (\mu V)$
0	0	$\pm V_{REF}$	76.3
0	1	$\pm V_{REF}/2$	38.14
1	0	$\pm V_{REF}/4$	19.07
1	1	$\pm V_{REF}/8$	9.54

滤波器寄存器(RS1、RS0 = 1、0；上电/复位 = 0x04)

滤波器寄存器是一个8位寄存器，可以从中读取数据，也可以将数据写入其中。此寄存器用于设置输出字速率。表12列出了配置寄存器各位的名称和意义。FR0至FR7表示位的位置，FR说明这些位属于滤波器寄存器。FR7表示数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

FR7	FR6	FR5	FR4	FR3	FR2	FR1	FR0
0(0)	0(0)	CDIV1(0)	CDIV0(0)	0(0)	FS2(1)	FS1(0)	FS0(0)

表12. 滤波器寄存器位功能描述

位的位置	位的名称	描述
FR7-FR6 FR5-FR4	0 CLKDIV1- CDIV0	必须将这些位编程为逻辑0才能正常工作。 这些位用来选择AD7790的低功耗模式。时钟内部分频，功耗降低。 00 正常模式 01 时钟2分频器 10 时钟4分频器 11 时钟8分频器
FR3 FR2-FR0	0 FS2-FS0	必须将此位编程为逻辑0才能正常工作。 这些位设置ADC的输出字速率。更新速率会影响50Hz/60Hz抑制性能和噪声。噪声对所有增益设置都相同。全功率模式支持的更新速率参见表13。低功耗模式下的更新速率会降低。(参见“低功耗模式”)

表13. 更新速率

FS2	FS1	FS0	f _{ADC} (Hz)	f _{3dB} (Hz)	均方根噪声(μV)	抑制
0	0	0	120	28	40	25 dB @ 60 Hz
0	0	1	100	24	25	25 dB @ 50 Hz
0	1	0	33.3	8	3.36	
0	1	1	20	4.7	1.6	80 dB @ 60 Hz
1	0	0	16.6	4	1.5	65 dB @ 50 Hz/60 Hz(默认设置)
1	0	1	16.7	4	1.5	80 dB @ 50 Hz
1	1	0	13.3	3.2	1.2	
1	1	1	9.5	2.3	1.1	62 dB @ 50/60 Hz

数据寄存器(RS1、RS0 = 1、1；上电/复位 = 0x0000)

此数据寄存器存储ADC的转换结果。这是一个只读寄存器。完成对此寄存器的读操作后， \overline{RDY} 位/引脚置1。

ADC电路信息

概述

AD7790是一款低功耗ADC，内置 Σ - Δ 调制器、缓冲器、PGA和片内数字滤波，主要用于测量压力传感器、电子秤和温度测量等应用中的宽动态范围、低频信号。

该器件有一路差分输入，可以被配置为缓冲模式或无缓冲模式。缓冲输入通道意味着器件模拟输入端可以适应相当大的源阻抗；需要时，模拟输入端可以实现RC滤波(用于抑制噪声或降低电磁干扰RFI)。该器件需要2.5 V标称值的外部基准电压源。图7显示了该器件工作所需的基本连接。

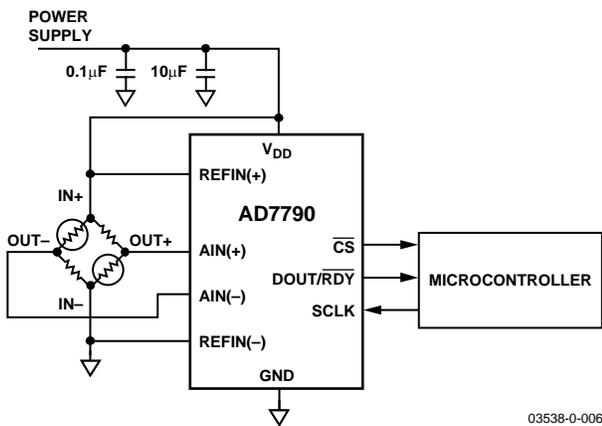


图7. 基本连接图

AD7790的输出速率(f_{ADC})是用户可编程的，建立时间等于 $2 \times t_{ADC}$ 。串模抑制是数字滤波器的主要功能。表13列出了AD7790支持的输出速率。当更新速率为16.6 Hz时，50 Hz/60 Hz同时抑制效果最佳，因为在该更新速率下，陷波频率同时位于50 Hz和60 Hz(见图6)。

噪声性能

表14显示了AD7790在不同更新速率和输入范围下的输出均方根噪声、均方根分辨率和峰峰值分辨率(舍入到最近的0.5 LSB)。给出的数值基于2.5 V基准电压源。这些数据为典型

值，是在差分输入电压为0 V的时候得到的。峰峰值分辨率表示 6σ 限值内无闪烁码的分辨率。输出噪声有两个来源。第一个来源是调制器所用半导体器件的电噪声(器件噪声)。第二个来源是模拟输入转换到数字域时所增加的量化噪声。器件噪声比较小，且与频率无关。量化噪声在开始时很低，但随着频率增加会迅速上升，而成为主要噪声源。

表14. 典型峰峰值分辨率(有效分辨率)与更新速率、输入范围的关系

更新速率	输入范围			
	± 0.3125	± 0.625	± 1.25	± 2.5
9.5	16 (16)	16 (16)	16 (16)	16 (16)
13.3	16 (16)	16 (16)	16 (16)	16 (16)
16.7	16 (16)	16 (16)	16 (16)	16 (16)
16.6	16 (16)	16 (16)	16 (16)	16 (16)
20	15.5 (16)	16 (16)	16 (16)	16 (16)
33.3	14.5 (16)	15.5 (16)	16 (16)	16 (16)
100	11.5 (14)	12.5 (15)	13.5 (16)	14.5 (16)
120	11 (13.5)	12 (14.5)	13 (15.5)	14 (16)

低功耗模式

使能缓冲器并采用5 V电源时，AD7790的最大功耗为160 μ A。通过设置滤波器寄存器的CDIV1和CDIV0位，可以进一步降低功耗(见表15)。

设置这些位后，内部时钟经过2分频、4分频或8分频后施加于调制器和滤波器，因此数字电流降低。

降低内部时钟时，更新速率也会降低。例如，假设AD7790在全时钟模式下的更新速率为16.6 Hz，则在2分频模式下，更新速率为8.3 Hz。在这些低功耗模式下，ADC的性能可能有所降低。

表15. 低功耗模式选择

CDIV[1:0]	时钟	电流典型值, 缓冲(μ A)	电流典型值, 无缓冲(μ A)	50 Hz/60 Hz抑制(dB)
00	1	146	75	70
10	1/2	87	45	72
10	1/4	56	30	88
11	1/8	41	25	89

数字接口

如上文所述，AD7790利用一组片内寄存器控制其可编程功能。数据通过器件的串行接口写入这些寄存器，此接口还提供对这些片内寄存器的读取访问。与器件的所有通信均必须以对通信寄存器的写操作开始。上电或复位之后，器件期待对其通信寄存器执行写操作。写入此寄存器的数据决定下一个操作是读操作还是写操作，以及此读操作或写操作的对象是哪一个寄存器。因此，如需向器件内的其它寄存器内写入数据，必须首先对通信寄存器执行写操作，再执行对所选寄存器的写操作。如需读取其它寄存器内的数据(选择连续读取模式除外)，也必须先对通信寄存器进行写操作，然后执行对所选寄存器的读操作。

AD7790的串行接口由四个信号构成： $\overline{\text{CS}}$ 、DIN、SCLK和DOUT/ $\overline{\text{RDY}}$ 。DIN线路用于将数据传输至片内寄存器中，DOUT/ $\overline{\text{RDY}}$ 则用于访问片内寄存器。SCLK是器件的串行时钟输入，所有数据传输(无论是DIN上还是DOUT/ $\overline{\text{RDY}}$ 上)均与SCLK信号相关。DOUT/ $\overline{\text{RDY}}$ 引脚也可用作数据就绪信号；当输出寄存器中有新数字字可用时，该线路变为低电平。对数据寄存器的读操作完成时，该线路复位为高电平。数据寄存器更新之前，该线路也会变为高电平，以提示此时不应读取器件，确保寄存器正在更新时不会发生数据读取操作。 $\overline{\text{CS}}$ 用于选择器件，在多个器件与串行总线相连的系统中，可以用来对AD7790进行解码。

图3和图4显示了与AD7790进行接口的时序图，其中 $\overline{\text{CS}}$ 用于解码该器件。图3显示对AD7790的输出移位寄存器执行

读操作的时序；图4显示对输入移位寄存器执行写操作的时序。在非连续读取模式下，即使在第一次读操作之后DOUT/ $\overline{\text{RDY}}$ 线路返回到高电平，也可以多次从数据寄存器中读取同一个字。不过，必须确保在下一输出更新发生之前完成这些读操作。连续读取模式下，只能从数据寄存器读取一次。

将 $\overline{\text{CS}}$ 与低电平相连时，串行接口可以在三线模式下工作。这种情况下，SCLK、DIN和DOUT/ $\overline{\text{RDY}}$ 线路用于与AD7790通信。可以用状态寄存器中的 $\overline{\text{RDY}}$ 位监视转换是否结束。这种方案适合与微控制器进行接口。如果 $\overline{\text{CS}}$ 需要用作解码信号，可以从端口引脚中产生该信号。在微控制器接口应用中，建议在每两次数据传输之间的空闲时间将SCLK置为高电平。

$\overline{\text{CS}}$ 也可以用作帧同步信号。这种方案适用于DSP接口。此时，由于在DSP中， $\overline{\text{CS}}$ 一般出现在SCLK的下降沿之后，因此第一位(MSB)会被 $\overline{\text{CS}}$ 有效地送出。只要遵守时序数要求，SCLK便可在数据转换之间继续运行。

对DIN输入写入一连串的1，可以复位串行接口。如在至少32个串行时钟内持续向AD7790线路内写入逻辑1，可将该串行接口复位。在三线系统中，如果软件错误或系统故障导致接口时序丢失，这种方法将可确保接口复位到已知状态。复位操作使接口返回到等待对通信寄存器执行写操作的状态。该操作会将所有寄存器的内容复位到其上电值。

AD7790可以配置为连续转换模式或单次转换模式。参见图8至图10。

单次转换模式

在单次转换模式下，AD7790在两次转换之间处于关断模式。将模式寄存器中的MD1和MD0分别设置为1和0，便可启动单次转换，此时AD7790将上电，执行单次转换，然后返回关断模式。转换需要的时间长度为 $2 \times t_{ADC}$ 。DOUT/RDY变为低电平表示转换完成。从数据寄存器中读取数据字后，DOUT/RDY变为高电平。如果CS为低电平，DOUT/RDY将保持高电平，直到又一次启动并完成转换为止。如果需要，即使DOUT/RDY已变为高电平，也可以多次读取数据寄存器。

连续转换模式

上电后，默认的转换模式为连续转换模式。AD7790连续转换，每次转换完成时，状态寄存器中的RDY位变为低电平。如果CS为低电平，则完成一次转换时，DOUT/RDY线路也会变为低电平。若要读取转换结果，用户需要写入通信寄存器，指示下一操作为读取数据寄存器。将SCLK脉冲施加于ADC后，器件立刻在DOUT/RDY引脚上执行数字转换。读取转换结果后，DOUT/RDY返回到高电平。如需要，用户可以多次读取该寄存器。但用户必须确保在下次转换完成前，不访问数据寄存器，否则新的转换结果将丢失。

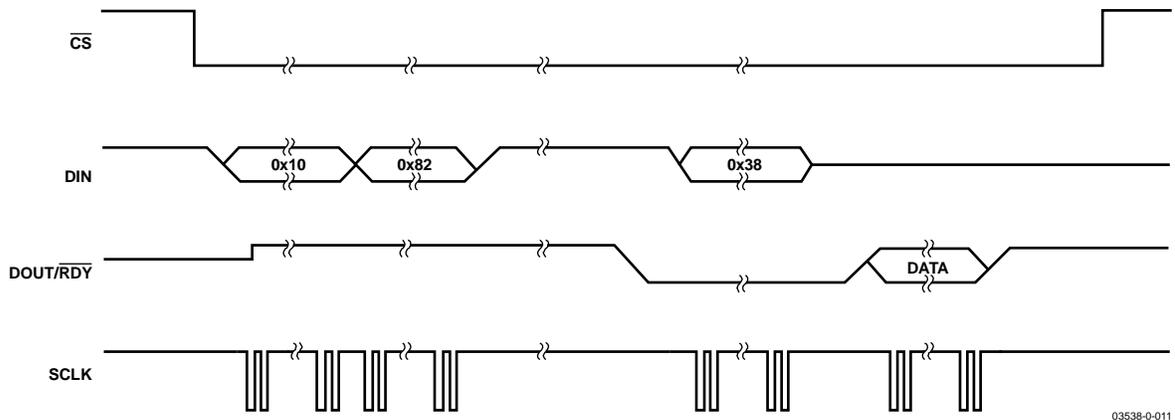


图8. 单次转换

03538-0-011

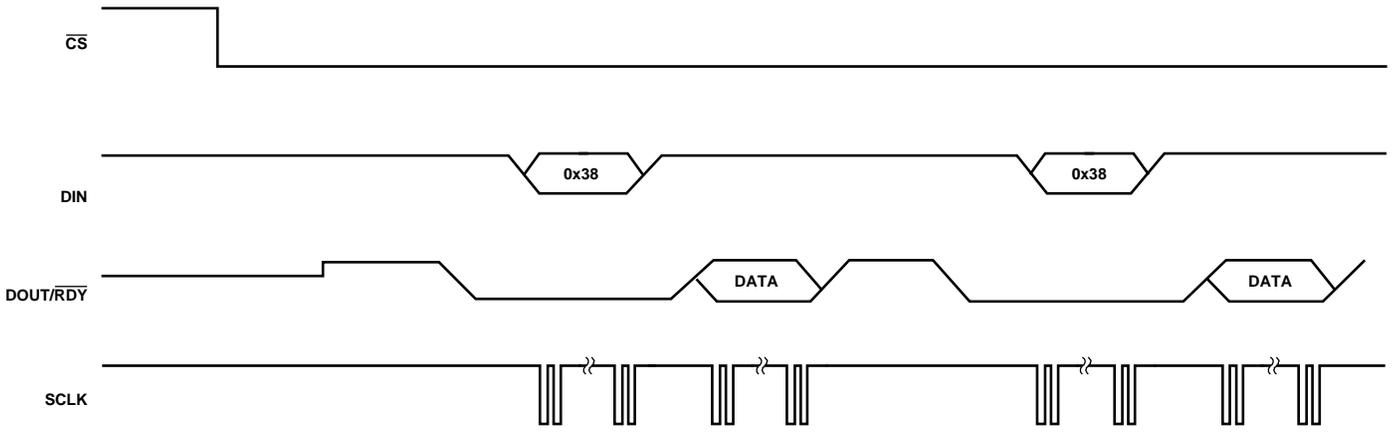


图9. 连续转换

03538-0-012

连续读取模式

AD7790可以处于连续读取模式，这样每次转换完成后，无需写入通信寄存器便可访问数据。将001111XX写入通信寄存器后，用户只需为ADC提供适当的SCLK周期数，即可控制在模数转换完成后，16位字自动置于DOUT/RDY线路上。

当DOUT/RDY变为低电平，提示转换操作已结束，必须为ADC提供足够的SCLK周期数。然后，数据转换结果便会置于DOUT/RDY线路上。读取转换结果后，DOUT/RDY返回到高电平，直到获得下一转换结果为止。这种模式下，数据只能被读取一次，而且用户必须确保数据字的读取早于下一转换完成。如果在下一转换完成之前，用户尚

未读取转换结果，或者为AD7790提供的串行时钟数不足以读取转换字，则当下一转换完成时，串行输出寄存器将复位，新转换结果将置于输出串行寄存器中。

若要退出连续读取模式，必须在RDY引脚为低电平时将指令001110XX写入通信寄存器。在连续读取模式下，ADC会监视DIN线路上的活动，以便接收退出连续读取模式的指令。此外，如果DIN上连续出现32个1，ADC将复位。因此，在连续读取模式下，DIN应保持低电平，直到有指令将要写入该器件。

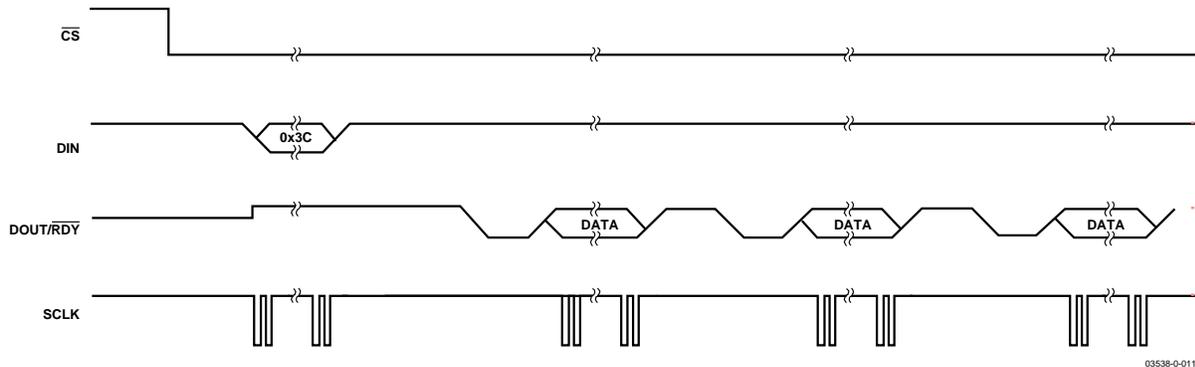


图10. 连续读取

电路描述

模拟输入通道

AD7790有一个差分模拟输入通道。当器件运行在缓冲模式下时，该通道与片内缓冲放大器相连；而当器件运行在无缓冲模式下时，该通道直接与调制器相连。在缓冲模式下（配置寄存器中的BUF位设置为1），输入通道馈入缓冲放大器的高阻抗输入级。因此，输入端能够耐受较大的源阻抗，适用于那些与外部阻性传感器直接相连的应用，例如应变计或电阻式温度检测器(RTD)等。

当BUF = 0时，该器件以无缓冲模式工作，这将导致较高的模拟输入电流。请注意，该无缓冲输入路径向驱动源提供一个动态负载。因此，输入引脚上的电阻与电容组合可能会引起直流增益误差，具体取决于驱动ADC输入的信号源的输出阻抗。表16显示了为防止在16位分辨率水平条件下产生增益误差，无缓冲模式下外部电阻/电容的容许值。

表16. 16位分辨率条件下，无增益误差的外部R-C组合

C (pF)	R (Ω)
50	22.8K
100	13.1K
500	3.3K
1000	1.8K
5000	360

缓冲模式下，绝对输入电压范围限于GND + 100 mV至 $V_{DD} - 100$ mV之间。设置共模电压时必须小心，确保不要超过这些限值。否则，线性度和噪声性能会下降。

无缓冲模式下，绝对输入电压的范围在GND - 30 mV至 $V_{DD} + 30$ mV之间。负绝对输入电压限值为监控相对于GND的真双极性小信号提供了条件。

可编程增益放大器

ADC缓冲器的输出信号施加于片内可编程增益放大器(PGA)的输入端。PGA增益可通过模式寄存器的增益位G1和G0设置。采用2.5 V外部基准电压源时，PGA的双极性范围可以设置为±2.5 V、±1.25 V、±625 mV或±312.5 mV。这就是片内PGA的输入端应出现的电压范围。

双极性配置

AD7790的模拟输入端支持双极性输入电压范围。双极性输入范围不代表器件可以耐受相对于系统GND的负电压。AIN(+)输入端的双极性信号以AIN(-)输入端的电压为基准。例如，如果AIN(-)为2.5 V，ADC配置为1倍增益，则AIN(+)输入的模拟输入范围为0 V至5 V。

数据输出编码

输出码为偏移二进制码；负满量程电压对应的码为000...000，零差分输入电压对应的码为100...000，正满量程输入电压对应的码为111...111。任意模拟输入电压的输出码可以表示为：

$$Code = 2^{N-1} \times [(AIN \times GAIN / V_{REF}) + 1]$$

其中，AIN为模拟输入电压，GAIN为PGA增益，N = 16。

基准输入

AD7790支持全差分输入。这些差分输入的共模电压范围为GND至VDD。基准电压输入是无缓冲式的；因此，过大的R-C源阻抗会导致增益误差。额定工作条件下，标称基准电压REFIN (REFIN(+) - REFIN(-))为2.5 V，但AD7790也可以采用0.1 V至 V_{DD} 范围内的基准电压工作。如果应用中模拟输入端的传感器的激励电压或激励电流也为器件提供基准电压，则可以消除激励源中低频噪声的影响，其原因是应用是比率式的。如果在非比率式应用中使用AD7790，应使用低噪声基准电压源。

对于AD7790，建议使用的2.5 V基准电压源包括ADR381和ADR391，二者均为低噪声、低功耗基准电压源。如果整个模拟部分都由2.5 V电源驱动，则基准电压源需要一定的裕量。这种情况下，建议使用ADR380等2.048 V低噪声、低功耗基准电压源。另外，基准电压输入能够提供高阻抗、动态负载。由于各基准电压输入的输入阻抗是动态的，因此这些输入端上的电阻与电容组合可能会导致直流增益误差，具体取决于驱动基准电压输入的信号源的输出阻抗。以上推荐的基准电压源(例如ADR391)通常具有低输出阻抗，因而，REFIN(+)上可以存在去耦电容，但不会给系统带来增益误差。如果在外部电阻上获取基准输入电压，则意味着基准电压输入端具有很大的外部源阻抗。对于这种电路配置，不推荐在REFIN引脚上进行外部去耦。

AD7790

V_{DD} 监控

模拟输入通道除了能够转换外部电压以外，还可以监控 V_{DD} 引脚上的电压。当通信寄存器的 CH1 和 CH0 位均为 1 时，V_{DD} 引脚上的电压在内部衰减 5 倍，所获得的电压施加于 Σ - Δ 调制器之上，器件采用 1.17 V 内部基准电压驱动以实现模数转换。此特性的用处在于可以监控电源电压的波动。

接地和布局布线

由于 ADC 的模拟输入和基准输入均为差分输入，因此，模拟调制器中的多数电压均为共模电压。器件的出色共模抑制性能可消除这些输入信号中的共模噪声。数字滤波器可抑制电源上的宽带噪声，但无法抑制那些频率为调制器采样频率的整数倍的噪声。另外，数字滤波器还能够消除来自模拟和基准输入端的噪声，但前提是这些噪声源没有使模拟调制器饱和。因此，与传统高分辨率转换器相比，AD7790 具有更强的抗噪能力。不过，由于 AD7790 的分辨率极高，而噪声电平极低，因此必须谨慎对待接地和布局布线。

AD7790 所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。

建议将 AD7790 的 GND 引脚连到系统的 AGND 层。无论采取何种布局，用户均必须注意规划系统中电流的回流路径，确保所有电流的回流路径均尽可能靠近电流到达目的地所经过的路径。切勿强制数字电流流过布局的 AGND 部分。

应允许 AD7790 的模拟接地层布设在 AD7790 下方，以防噪声耦合。AD7790 的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。为避免向电路板上的其它部分辐射噪声，应利用数字地屏蔽时钟信号等快速开关信号，且保证时钟信号远离模拟输入。避免数字信号与模拟信号交叠。电路板相对两侧上的走线应当彼此垂直，这样有助于减小电路板的馈通效应。微带线技术在目前看来是最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

使用高分辨率 ADC 时，良好的去耦十分重要。应将 10 μ F 钽电容与 0.1 μ F 电容并联，将 V_{DD} 去耦到 GND。为使这些去耦元件发挥其最佳性能，应将其尽可能靠近器件，最好将其紧贴器件。应利用 0.1 μ F 陶瓷电容将所有逻辑芯片去耦到 DGND。

AD7790

注释