

产品特性

乘法带宽: 12 MHz
 积分非线性(INL): ± 0.5 LSB (12 位)
 引脚兼容的 12/14 位电流输出 DAC
 2.5 V 至 5.5 V 电源供电
 10 引脚 MSOP 封装
 ± 10 V 基准电压输入
 50 MHz 串行接口
 更新速率: 2.7 MSPS
 扩展温度范围: -40°C 至 $+125^{\circ}\text{C}$
 四象限乘法
 上电复位, 具有掉电检测功能
 功耗: $0.4\ \mu\text{A}$ (典型值)
 保证单调性

应用

便携式电池供电应用
 波形发生器
 模拟处理
 仪器仪表应用
 可编程放大器和衰减器
 数字控制校准
 可编程滤波器和振荡器
 复合视频
 超声
 增益、失调和电压调整

概述

AD5444/AD5446¹ 分别是 CMOS、12 位和 14 位、电流输出数模转换器(DAC)。这些器件均采用 2.5 V 至 5.5 V 单电源供电, 因此适合电池供电及其它应用。

上述器件采用 CMOS 亚微米工艺制造, 能够提供出色的四象限乘法特性, 乘法带宽可高达 12 MHz。

这些 DAC 采用双缓冲三线式串行接口, 该接口与 SPI、QSPI™、MICROWIRE™及大多数 DSP 接口标准兼容。上电时, 内部移位寄存器和锁存以 0 填充, DAC 输出处于零电平。

功能框图

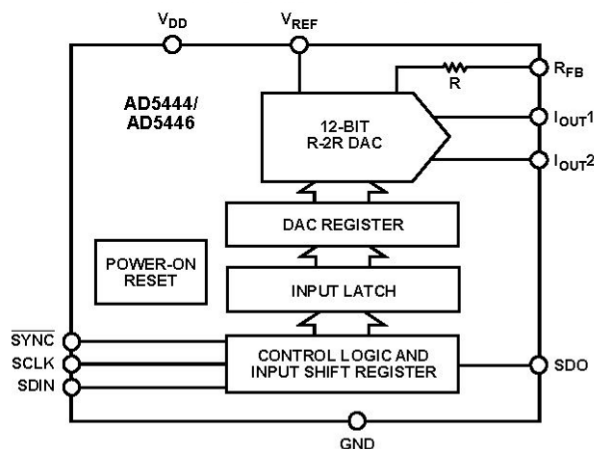


图1.

满量程输出电流由所施加的外部基准输入电压(V_{REF})决定。尽管采用 2.5 V 至 5.5 V 单电源供电, 这些器件仍能处理 ± 10 V 基准电压输入。与外部电流至电压精密放大器配合使用时, 集成的反馈电阻(R_{FB})可提供温度跟踪和满量程电压输出。AD5444/AD5446 DAC 采用小型 10 引脚 MSOP 封装, 与 AD5425/AD5426/AD5432/AD5443 系列 DAC 引脚兼容。

提供 EV-AD5443/46/53SDZ 评估板来评估 DAC 性能。欲了解更多信息, 请参阅 UG-327 评估板用户指南。

¹ 美国专利第 5,689,257 号。

目录

产品特性	1	DAC 部分	15
应用	1	电路工作原理	15
概述	1	单电源应用	17
功能框图	1	提高增益	17
修订历史	2	分压器或可编程增益元件	17
技术规格	3	放大器选择	18
时序特性	5	基准电压源选择	18
绝对最大额定值	6	串行接口	20
ESD 警告	6	微处理器接口	21
引脚配置和功能描述	7	PCB 布局和电源去耦	23
典型性能参数	8	电流输出器件一览表	24
术语	14	外形尺寸	25
概述	15	订购指南	25

修订历史

2016 年 2 月—修订版 E 至修订版 F

更改“应用”部分	1
删除“正输出电压”部分和图 41；重新排序	17
更改“提高增益”部分	17
更改“ADSP-2191M 与 AD5444/AD5446 接口”部分，“Blackfin 与 AD5444/AD5446 接口”部分、图 46、图 47 和图 48	21
更改“电流输出器件一览表”部分的标题	24
更改“订购指南”	25

2013 年 6 月—修订版 D 至修订版 E

更改“概述”部分	1
更改图 46 和图 47	21
更改“订购指南”	25

2012 年 4 月—修订版 C 至修订版 D

更改“概述”部分	1
删除“DAC 评估板”部分	23
删除“评估板电源”部分	23
删除图 54；重新排序	24
删除图 55 和图 56	25
更新外形尺寸	25
更改“订购指南”	25
删除图 57	26

2007 年 4 月—修订版 B 至修订版 C

更改表 9	19
更改“订购指南”	28
更改“产品特性”部分	1

更改“概述”部分	1
更改表 1	3
更改图 22	10
更改图 23	10
更改表 9	19
更改表 12	27
更新外形尺寸	28
更改“订购指南”	28

2005 年 4 月—修订版 0 至修订版 A

增加 AD5446	通用
更改“产品特性”部分	1
更改“概述”部分	1
更改“技术规格”部分	3
插入图 7；重新排序	9
插入图 9；重新排序	9
插入图 13；重新排序	10
更改图 22	11
更改图 23	11
更改“串行接口”部分	20
更改图 44	20
更改图 45	20
更新外形尺寸	28
更改“订购指南”	28

2004 年 10 月—修订版 0：初始版

技术规格

$V_{DD} = 2.5\text{ V}$ 至 5.5 V , $V_{REF} = 10\text{ V}$, $I_{OUT2} = 0\text{ V}$ 。Y 级温度范围: -40°C 至 $+125^{\circ}\text{C}$ 。除非另有说明, 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。除非另有说明, 直流性能利用 OP177 测量, 交流性能利用 AD8038 测量。

表 1.

参数	最小值	典型值	最大值	单位	条件
静态性能					
AD5444					
分辨率			12	位	
相对精度			± 0.5	LSB	
差分非线性			± 1	LSB	保证单调性
总非调整误差(TUE)			± 1	LSB	
增益误差			± 0.5	LSB	
AD5446					
分辨率			14	位	
相对精度			± 2	LSB	
差分非线性			$-1/+2$	LSB	保证单调性
总非调整误差(TUE)			± 4	LSB	
增益误差			± 2.5	LSB	
增益误差温度系数 ¹		± 2		ppm FSR/ $^{\circ}\text{C}$	
输出漏电流			± 1	nA	数据 = 0x0000, $T_A = 25^{\circ}\text{C}$, I_{OUT1}
			± 10	nA	数据 = 0x0000, $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, I_{OUT1}
基准输入 ¹					
基准输入范围		± 10		V	
V_{REF} 输入电阻	7	9	11	k Ω	输入电阻 $T_C = -50\text{ ppm}/^{\circ}\text{C}$
R_{FB} 反馈电阻	7	9	11	k Ω	输入电阻 $T_C = -50\text{ ppm}/^{\circ}\text{C}$
输入电容					
零刻度数字码		18	22	pF	
满量程数字码		18	22	pF	
数字输入/输出 ¹					
输入高电压, V_{IH}	2.0			V	$V_{DD} = 3.6\text{ V}$ 至 5 V
	1.7			V	$V_{DD} = 2.5\text{ V}$ 至 3.6 V
输入低电压, V_{IL}			0.8	V	$V_{DD} = 2.7\text{ V}$ 至 5.5 V
			0.7	V	$V_{DD} = 2.5\text{ V}$ 至 2.7 V
输出高电压, V_{OH}	$V_{DD} - 1$			V	$V_{DD} = 4.5\text{ V}$ 至 5 V , $I_{SOURCE} = 200\text{ }\mu\text{A}$
	$V_{DD} - 0.5$			V	$V_{DD} = 2.5\text{ V}$ 至 3.6 V , $I_{SOURCE} = 200\text{ }\mu\text{A}$
输出低电压, V_{OL}			0.4	V	$V_{DD} = 4.5\text{ V}$ 至 5 V , $I_{SINK} = 200\text{ }\mu\text{A}$
			0.4	V	$V_{DD} = 2.5\text{ V}$ 至 3.6 V , $I_{SINK} = 200\text{ }\mu\text{A}$
输入漏电流 I_{IL}			± 1	nA	$T_A = 25^{\circ}\text{C}$
			± 10	nA	$T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$
输入电容			10	pF	

参数	最小值	典型值	最大值	单位	条件
动态性能 ¹					
基准乘法带宽		12		MHz	V _{REF} = ±3.5 V, DAC 加载全 1
乘法馈通误差					V _{REF} = ±3.5 V, DAC 加载全 0
			72	dB	100 kHz
			64	dB	1 MHz
			44	dB	10 MHz
输出电压建立时间					V _{REF} = 10 V, R _{LOAD} = 100 Ω, DAC 锁存器交替加载 0 和 1
FS 测量精度为±1 mV		100	110	ns	
FS 测量精度为±4 mV		24	40	ns	
FS 测量精度为±16 mV		16	33	ns	
数字延迟		20	40	ns	接口延迟时间
10%至 90%建立时间		10	30	ns	上升和下降时间, V _{REF} = 10 V, R _{LOAD} = 100 Ω
数模转换毛刺脉冲		2		nV-s	主进位跃迁 1 LSB 变化, V _{REF} = 0 V
输出电容					
I _{OUT1}		13		pF	DAC 锁存加载全 0
		28		pF	DAC 锁存加载全 1
I _{OUT2}		18		pF	DAC 锁存加载全 0
		5		pF	DAC 锁存加载全 1
数字馈通		0.5		nV-s	馈通至 DAC 输出 (CS高电平, 交替加载全 0 和全 1)
模拟 THD		83		dB	V _{REF} = 3.5 V p-p, 加载全 1, f = 1 kHz
数字 THD					时钟 = 1 MHz, V _{REF} = 3.5 V
50 kHz f _{OUT}		71		dB	
20 kHz f _{OUT}		77		dB	
输出噪声谱密度		25		nV/√Hz	@ 1 kHz
SFDR 性能 (宽带)					时钟 = 10 MHz, V _{REF} = 3.5 V
50 kHz f _{OUT}		78		dB	
20 kHz f _{OUT}		74		dB	
SFDR 性能 (窄带)					时钟 = 1 MHz, V _{REF} = 3.5 V
50 kHz f _{OUT}		87		dB	
20 kHz f _{OUT}		85		dB	
交调失真(IMD)		79		dB	f ₁ = 20 kHz, f ₂ = 25 kHz, 时钟 = 1 MHz, V _{REF} = 3.5 V
电源要求					
电源电压范围, V _{DD}	2.5		5.5	V	
电源电流, I _{DD}		0.4	10	μA	T _A = -40°C 至+125°C, 逻辑输入 = 0 V 或 V _{DD}
			0.6	μA	T _A = 25°C, 逻辑输入 = 0 V 或 V _{DD}
电源灵敏度 ¹			0.001	%/%	ΔV _{DD} = ±5%

¹ 通过设计和特性保证; 未经生产测试。

时序特性

所有输入信号都指定 $t_r = t_f = 1\text{ ns}$ (V_{DD} 的 10% 至 90%)，并从 $(V_{IL} + V_{IH})/2$ 的电压电平开始计时。 $V_{DD} = 2.5\text{ V}$ 至 5.5 V ， $V_{REF} = 10\text{ V}$ ， $I_{OUT2} = 0\text{ V}$ ，Y 级温度范围： -40°C 至 $+125^{\circ}\text{C}$ ；所有规格均相对于 T_{MIN} 至 T_{MAX} ，除非另有说明。

表 2.

参数 ¹	$V_{DD} = 4.5\text{ V}$ 至 5.5 V	$V_{DD} = 2.5\text{ V}$ 至 5.5 V	单位	条件/注释
f_{SCLK}	50	50	MHz (最大值)	最大时钟频率。
t_1	20	20	ns (最小值)	SCLK 周期时间。
t_2	8	8	ns (最小值)	SCLK 高电平时间。
t_3	8	8	ns (最小值)	SCLK 低电平时间。
t_4	8	8	ns (最小值)	$\overline{SYNC}$ 下降沿到 SCLK 有效沿建立时间。
t_5	5	5	ns (最小值)	数据建立时间。
t_6	4.5	4.5	ns (最小值)	数据保持时间。
t_7	5	5	ns (最小值)	$\overline{SYNC}$ 上升沿到 SCLK 有效沿建立时间
t_8	30	30	ns (最小值)	最小 $\overline{SYNC}$ 高电平时间。
t_9	23	30	ns (最小值)	SCLK 有效沿到 SDO 有效。
更新速率	2.7	2.7	MSPS	包括周期时间、 $\overline{SYNC}$ 高电平时间、数据建立时间和输出电压建立时间。

¹ 通过设计和特性保证，未经生产测试。

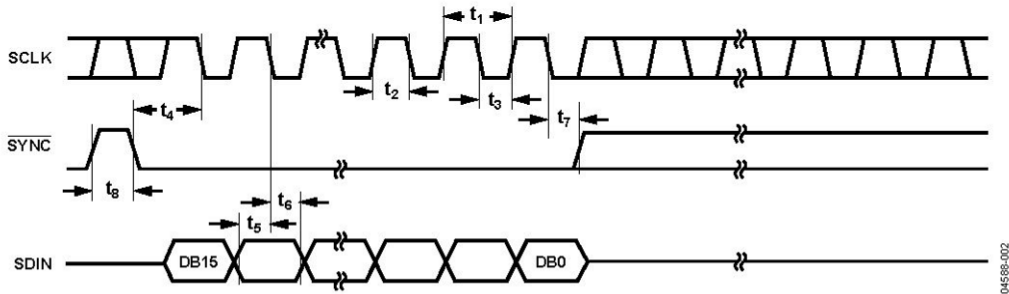
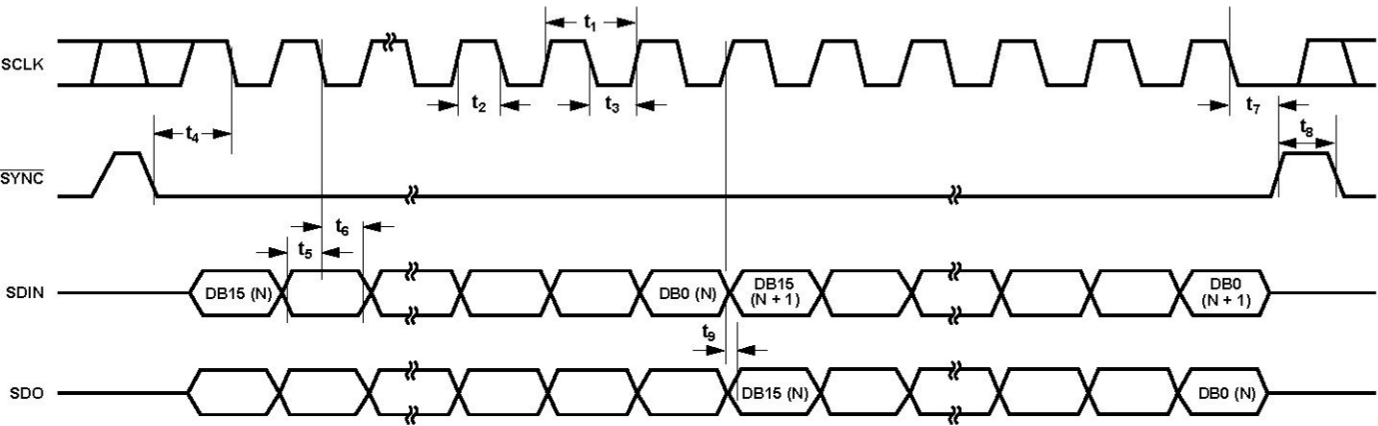


图 2. 独立时序图



NOTES
ALTERNATIVELY, DATA CAN BE CLOCKED INTO INPUT SHIFT REGISTER ON RISING EDGE OF SCLK AS DETERMINED BY CONTROL BITS. IN THIS CASE, DATA IS CLOCKED OUT OF SDO ON FALLING EDGE OF SCLK. TIMING AS ABOVE, WITH SCLK INVERTED.

图 3. 菊花链时序图

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。100 mA 以下的瞬态电流不会造成 SCR 闩锁。

表 3.

参数	额定值
V_{DD} 至 GND	-0.3 V 至 +7 V
V_{REF} 、 R_{FB} 至 GND	-12 V 至 +12 V
I_{OUT1} 、 I_{OUT2} 至 GND	-0.3 V 至 +7 V
逻辑输入和输出 ¹	-0.3 V 至 $V_{DD} + 0.3\text{ V}$
输入电流（除电源引脚外的所有引脚）	$\pm 10\text{ mA}$
工作温度范围	-40°C 至 +125°C
扩展（Y 级）	
存储温度范围	-65°C 至 +150°C
结温	150°C
10 引脚 MSOP θ_{JA} 热阻	206°C/W
引脚温度，焊接（10 秒）	300°C
IR 回流焊峰值温度（低于 20 秒）	235°C

¹ SCLK、SYNC 和 SDIN 上的过压由内部二极管箝位。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

任何时候只能使用一个绝对最大额定值。

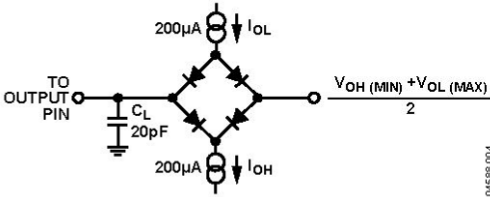


图 4. SDO 的负载电路时序规格

ESD 警告



ESD（静电放电）敏感器件。带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

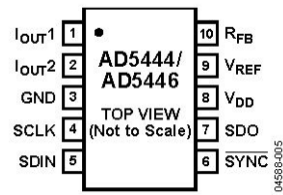


图 5. 引脚配置

表 4. 引脚功能描述

引脚编号	引脚名称	描述
1	IOUT1	DAC 电流输出。
2	IOUT2	DAC 模拟地。此引脚通常应连接到系统的模拟地。
3	GND	接地引脚。
4	SCLK	串行时钟输入。默认情况下，数据在串行时钟输入的下降沿读入移位寄存器。也可利用串行控制位，将器件配置为数据在 SCLK 上升沿时读入移位寄存器。
5	SDIN	串行数据输入。数据在串行时钟输入的有效沿读入 16 位输入寄存器。默认情况下，上电时，数据在 SCLK 下降沿读入移位寄存器。控制位允许用户将有效沿改为上升沿。
6	SYNC	低电平有效控制输入。这是输入数据的帧同步信号。当 SYNC变为低电平时，数据在后续时钟的有效沿加载到移位寄存器。输出在 SYNC的上升沿更新。
7	SDO	串行数据输出。此引脚允许多个器件以菊花链方式连接。默认情况下，数据在下降沿读入移位寄存器，并在 SCLK 上升沿通过 SDO 输出。数据始终在交替边沿（即与数据加载到移位寄存器的边沿交替）读出。
8	VDD	正电源输入。该器件可采用 2.5 V 至 5.5 V 电源供电。
9	VREF	DAC 基准电压输入。
10	RFB	DAC 反馈电阻。通过连接到外部放大器输出，建立 DAC 的电压输出。

典型性能参数

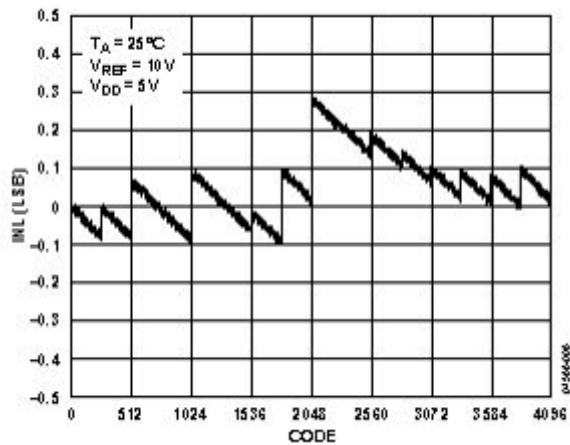


图 6. INL 与数字码的关系 (12 位 DAC)

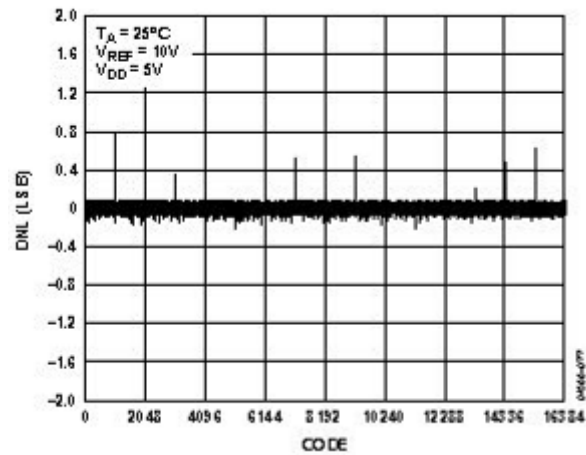


图 9. DNL 与数字码的关系 (14 位 DAC)

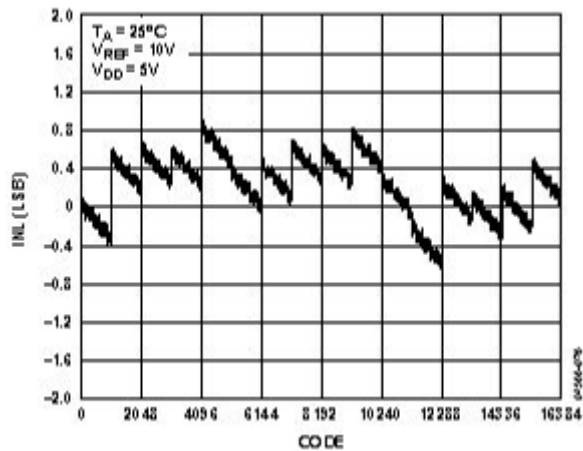


图 7. INL 与数字码的关系 (14 位 DAC)

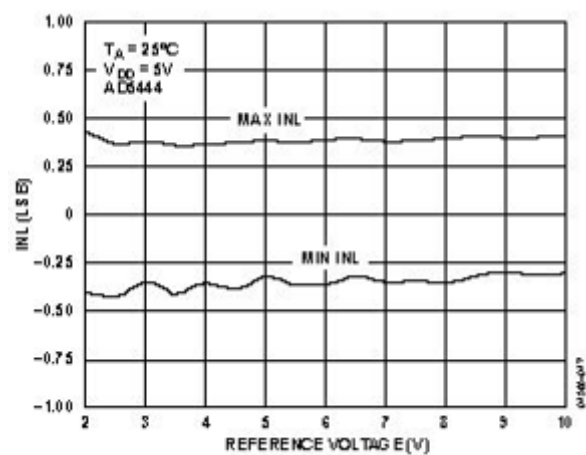


图 10. INL 与基准电压的关系

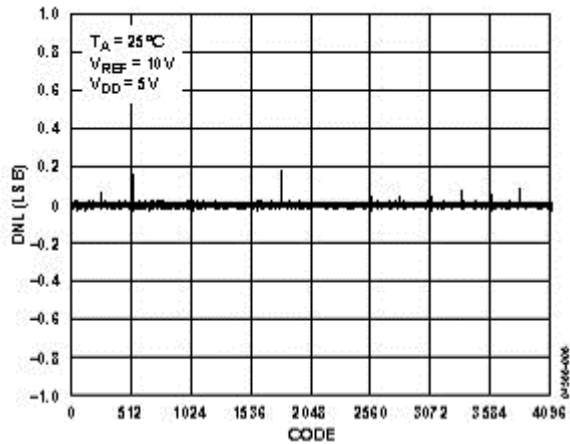


图 8. DNL 与数字码的关系 (12 位 DAC)

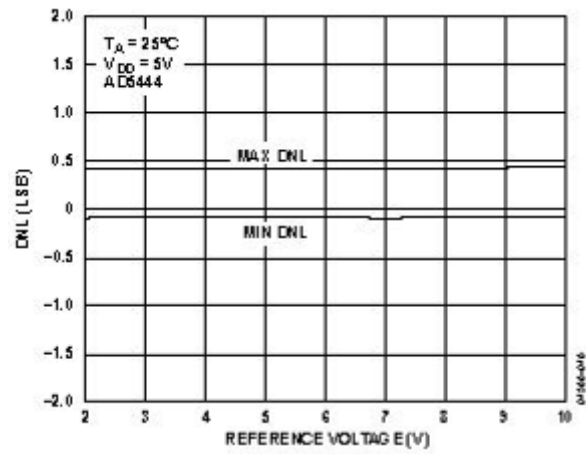


图 11. DNL 与基准电压的关系

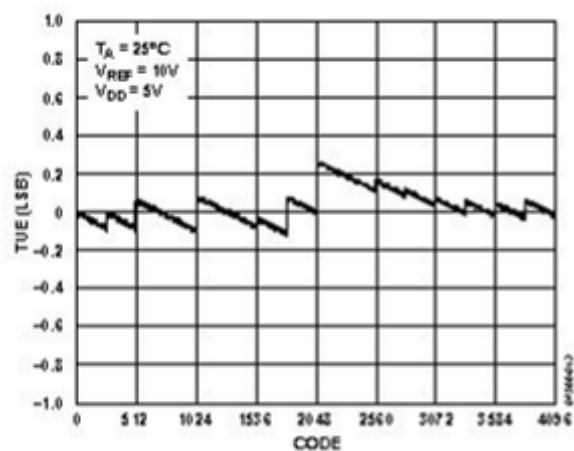


图 12. TUE 与数字码的关系 (12 位 DAC)

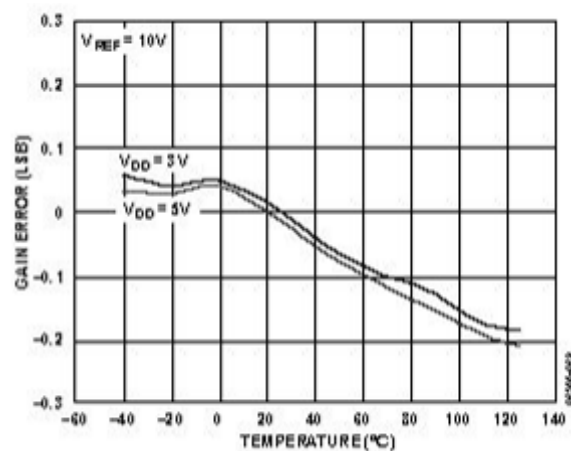


图 15. 增益误差与温度的关系

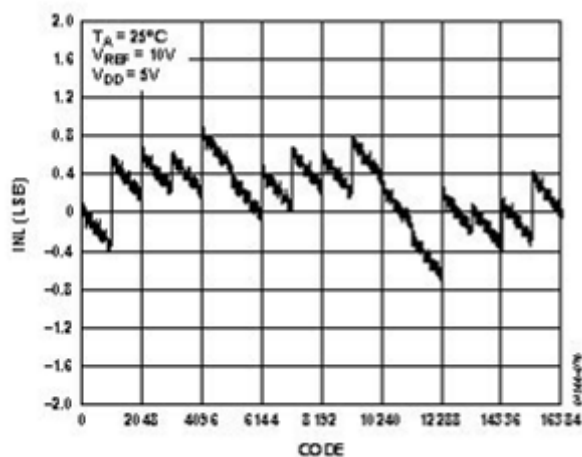


图 13. TUE 与数字码的关系 (14 位 DAC)

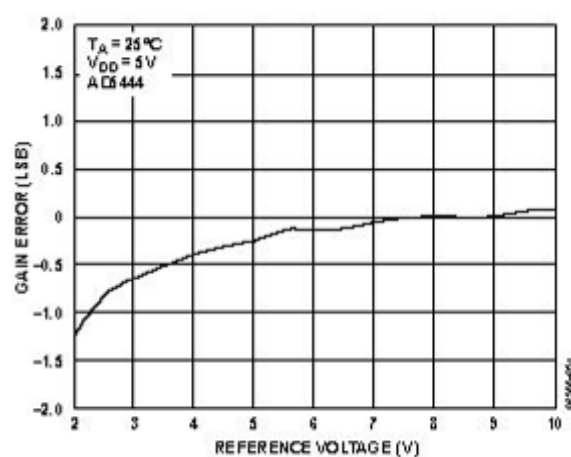


图 16. 增益误差与基准电压的关系

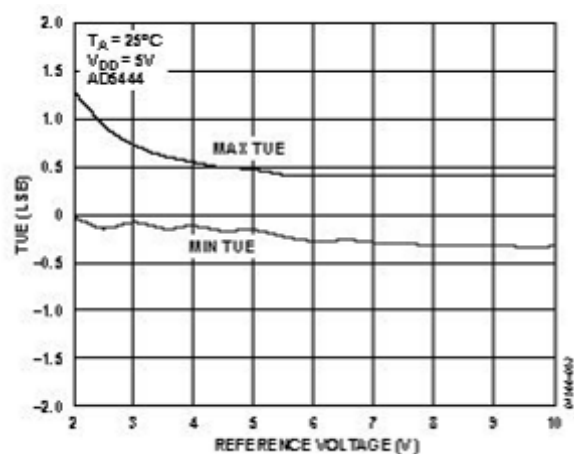


图 14. TUE 与基准电压的关系

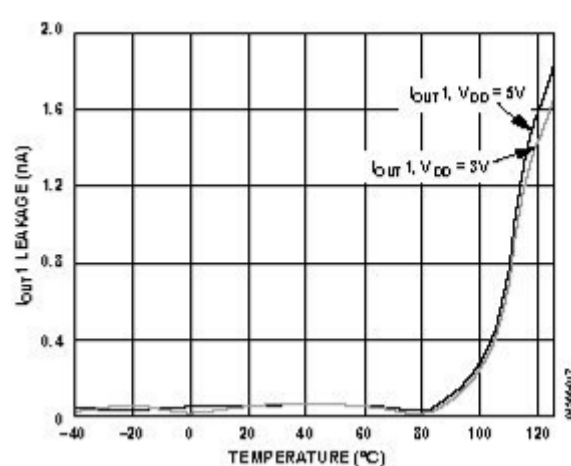


图 17. IOUT1 漏电流与温度的关系

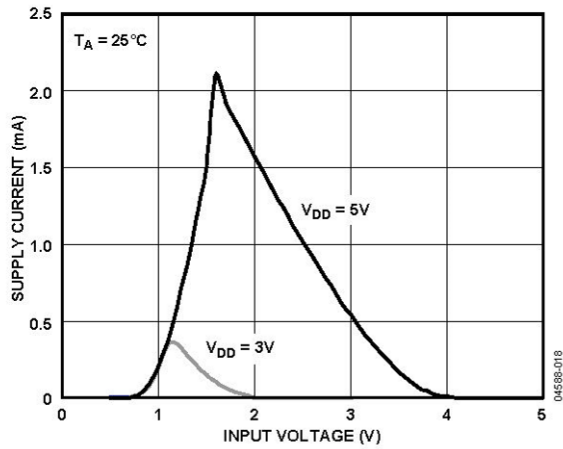


图 18. 电源电流与逻辑输入电压的关系

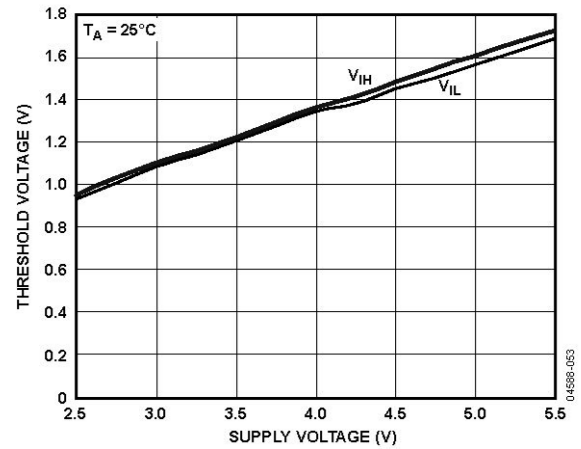


图 21. 阈值电压与电源电压的关系

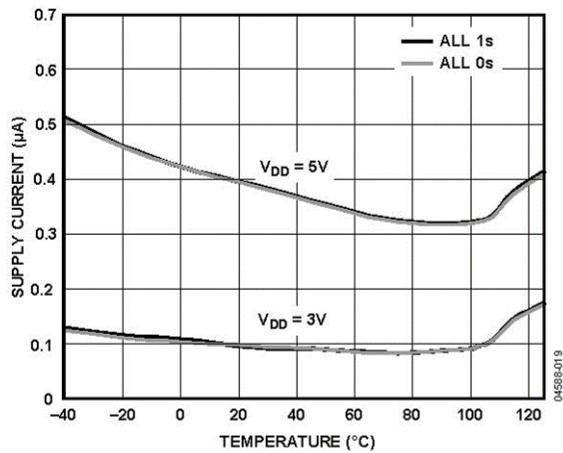


图 19. 电源电流与温度的关系

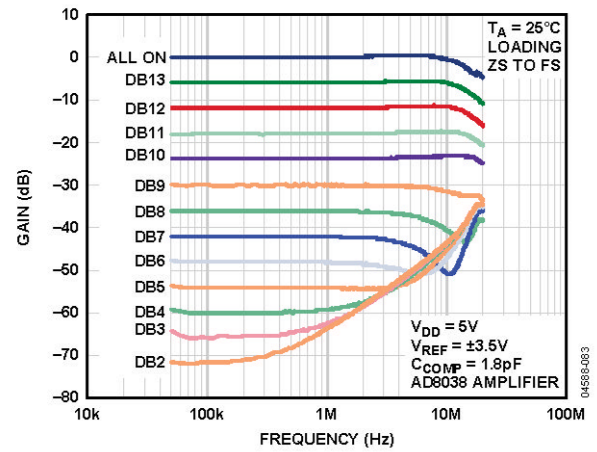


图 22. 基准乘法带宽与频率和数字码的关系

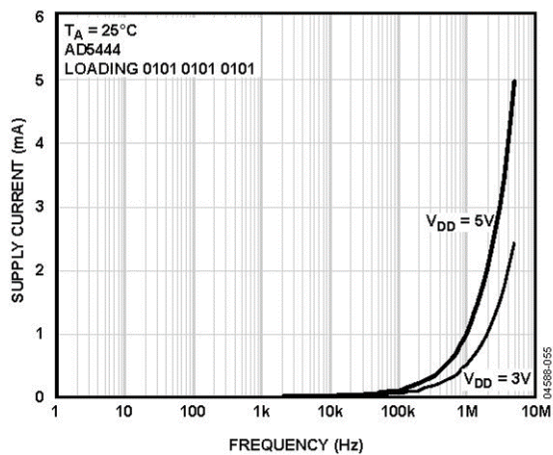


图 20. 电源电流与更新速率的关系

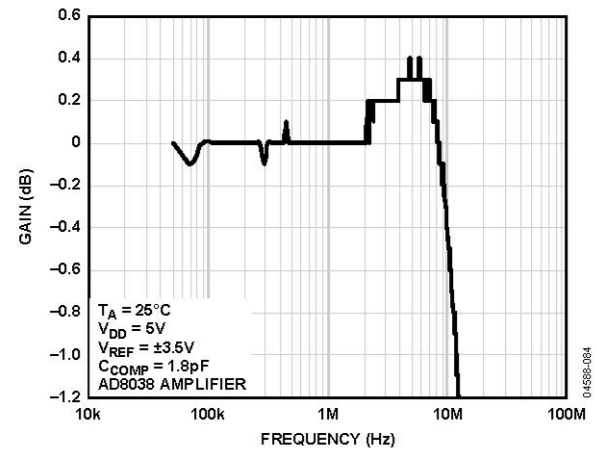


图 23. 基准乘法带宽与频率的关系—加载全 1

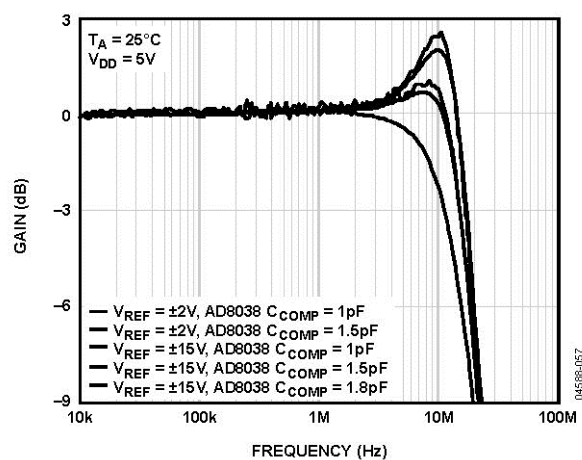


图 24. 基准乘法带宽与频率和补偿电容的关系

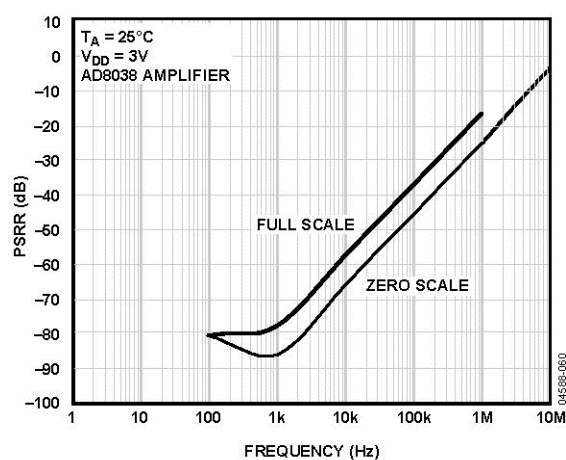


图 27. 电源抑制比与频率的关系

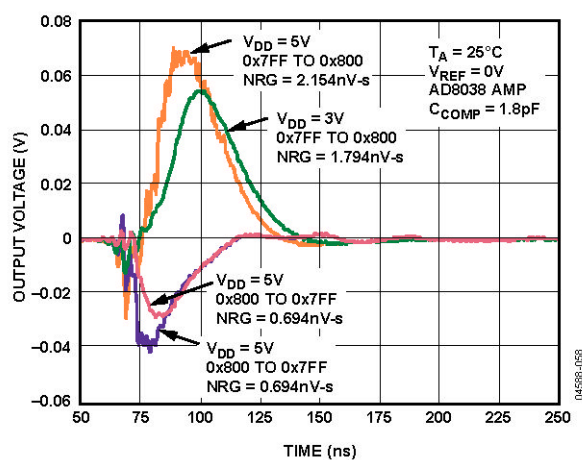
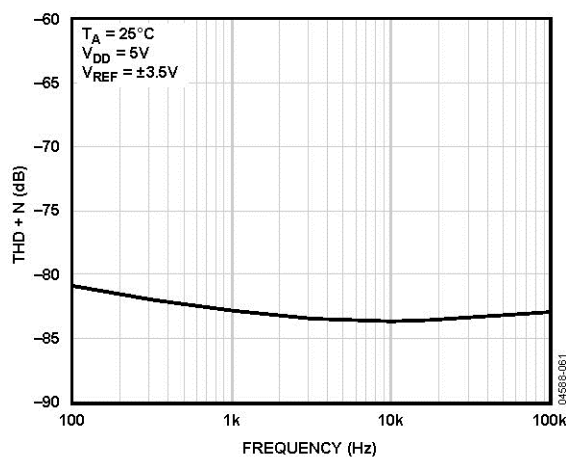
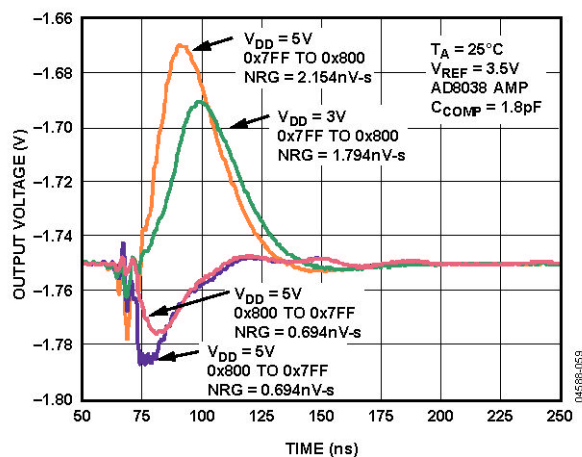
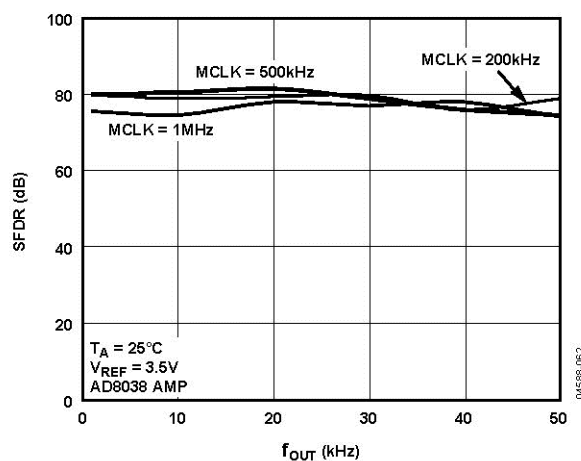
图 25. 中间电平变迁, $V_{REF} = 0\text{V}$ 

图 28. THD+噪声与频率的关系

图 26. 中间电平变迁, $V_{REF} = 3.5\text{V}$ 图 29. 宽带 SFDR 与 f_{OUT} 频率的关系

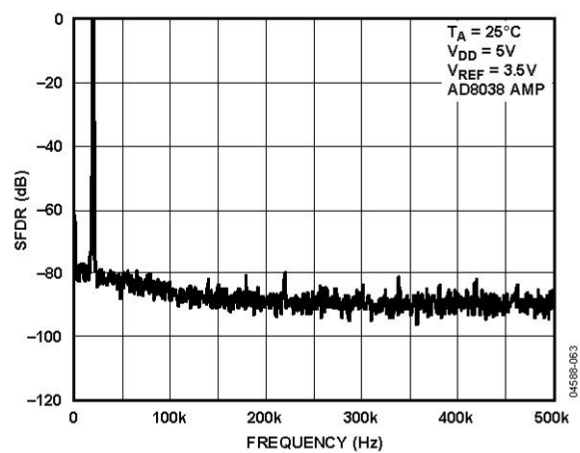


图 30. 宽带 SFDR, $f_{OUT} = 20\text{ kHz}$, 时钟 = 1 MHz

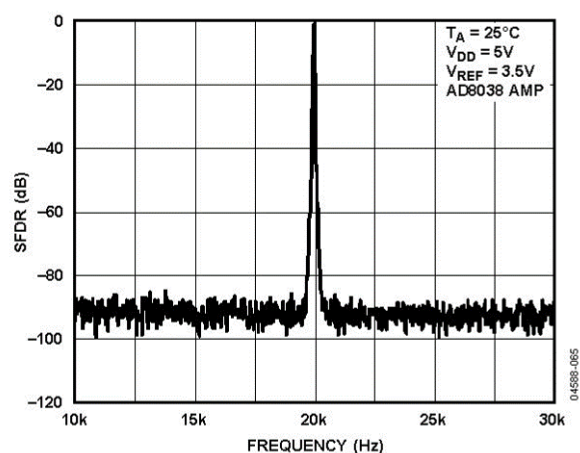


图 32. 窄带 SFDR, $f_{OUT} = 20\text{ kHz}$, 时钟 = 1 MHz

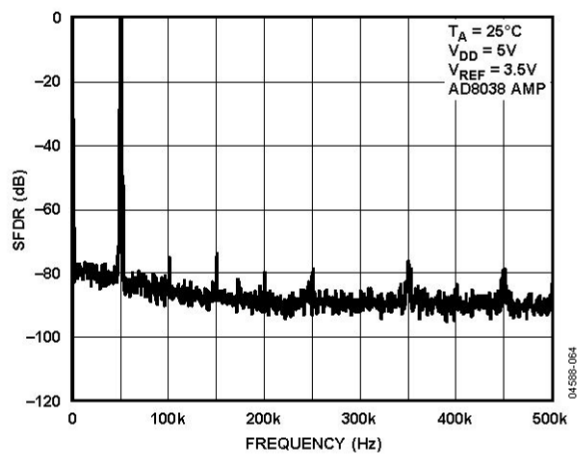


图 31. 宽带 SFDR, $f_{OUT} = 50\text{ kHz}$, 时钟 = 1 MHz

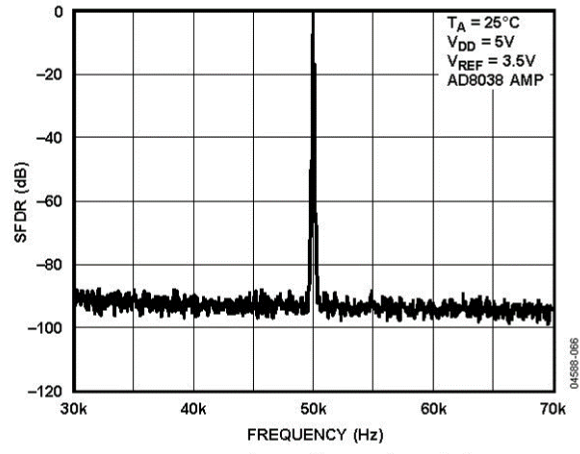


图 33. 窄带 SFDR, $f_{OUT} = 50\text{ kHz}$, 时钟 = 1 MHz

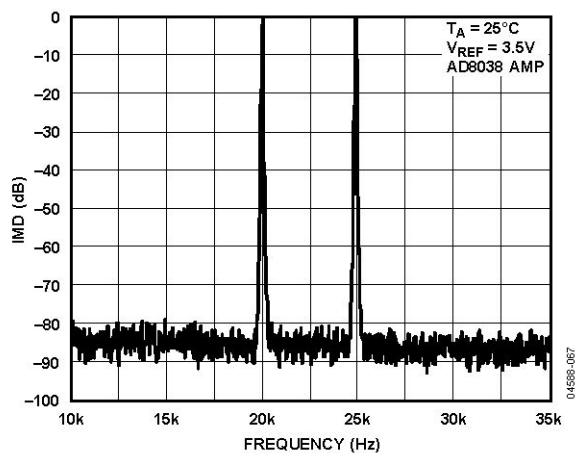
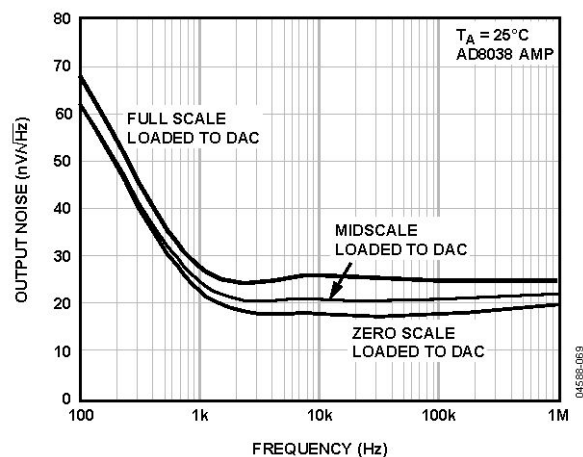
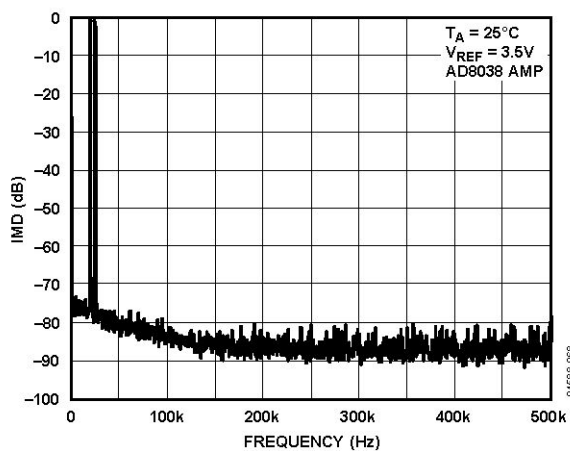
图 34. 窄带 IMD, $f_{OUT} = 20\text{ kHz}$ 和 25 kHz , 时钟 = 1 MHz 

图 36. 输出噪声谱密度

图 35. 宽带 IMD, $f_{OUT} = 20\text{ kHz}$ 和 25 kHz , 时钟 = 1 MHz

术语

相对精度或积分非线性相对精度或积分非线性是指偏离通过 DAC 转换函数端点的直线的最大偏差。在调整零电平和满量程后测量，通常以 LSB 表示，或以满量程读数的百分比表示。

差分非线性

差分非线性是指任意两个相邻编码之间所测得变化值与理想的 1 LSB 变化值之间的差异。工作温度范围内最大-1 LSB 的额定差分非线性可确保单调性。

增益误差

增益误差或满量程误差衡量理想 DAC 和实际器件之间的输出误差。对于此 DAC，理想的最大输出为 $V_{REF} - 1 \text{ LSB}$ 。DAC 的增益误差可通过外部电阻调整为零。

输出漏电流

输出漏电流是指当 DAC 梯形开关断开时流经其中的电流。对于 I_{OUT1} 线路，可以通过向 DAC 加载全 0 并测量 I_{OUT1} 电流来测量。当 DAC 加载全 1 时，流过 I_{OUT2} 的电流最小。

输出电容

从 I_{OUT1} 或 I_{OUT2} 到 AGND 的电容。

输出电流建立时间

输出电压建立时间是指对于满量程输入变化，输出稳定在指定电平所需的时间。对于此器件，它利用 100Ω 接地电阻测量。该建立时间包括从 $\overline{\text{SYNC}}$ 上升沿到满量程输出变化的数字延迟。

数模转换毛刺脉冲

表示当输入改变状态时，电荷从数字输入注入到模拟输出的量。数模转换毛刺脉冲通常规定为毛刺的面积，用 pA-s 或 nV-s 表示，具体取决于毛刺是作为电流信号还是作为电压信号来测量。

数字馈通

当该器件未被选中时，器件数字输入端的高频逻辑活动可以通过器件进行容性耦合，表现为 I_{OUT1} 和 I_{OUT2} 引脚上的噪声，该噪声随后进入后续电路。这种噪声就是数字馈通。

乘法馈通误差

乘法馈通误差表示 DAC 载入全 0 时，由 DAC 基准电压输入至 DAC I_{OUT1} 线路的容性馈通所致误差。

总谐波失真(THD)

DAC 由交流基准源驱动。THD 表示 DAC 输出的谐波均方根和与基波的比值。通常仅包括较低阶的谐波，例如二次到五次谐波。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}$$

数字交调失真

二阶交调(IMD)衡量 DAC 以数字方式产生的 f_a 和 f_b 音的相对幅度，以及 $2f_a - f_b$ 和 $2f_b - f_a$ 的二阶积。

顺从电压范围

器件提供额定特征的（输出）端电压最大范围。

无杂散动态范围(SFDR)

表示 DAC 的可用动态范围，超出此范围，杂散噪声就会干扰基波信号或使其失真。SFDR 衡量基波与 DC 至全奈奎斯特带宽（DAC 采样速率的一半或 $f_s/2$ ）范围内的最大谐波或非谐波相关杂散的幅值之差。窄带 SFDR 衡量任意窗口范围内的 SFDR，本文中为基波的 50%。数字 SFDR 衡量信号为数字生成的正弦波时，DAC 的可用动态范围。

概述

DAC部分

AD5444/AD5446 分别为 12 位和 14 位电流输出 DAC，采用分段式（4 位）、反转 R- 2R 梯形配置。图 37 所示为 12 位 AD5444 的示意图。

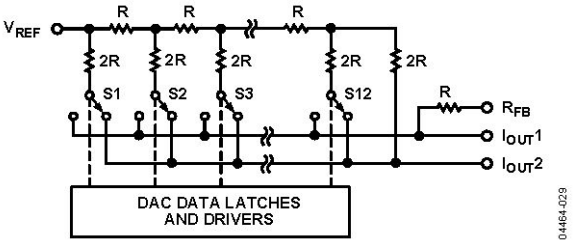


图 37. 简化梯形配置

反馈电阻(R_{FB})具有值 R。R 的典型值为 9 kΩ（最小值为 7 kΩ，最大值为 11 kΩ）。若 I_{OUT1} 保持与 GND 相同的电位，则无论数字输入码是多少，每个梯形脚上均有恒定电流流过。因此，V_{REF} 上的输入电阻始终具有恒定的额定值 R。DAC 输出(I_{OUT1})取决于数字码，产生不同的电阻值和电容值。选择外部放大器时，需考虑 DAC 在放大器反相输入节点上产生的阻抗变化。

用户可访问 DAC 的 V_{REF}、R_{FB} 和两个 I_{OUT} 引脚，因此器件功能特别丰富，并可以配置为多种不同的工作模式。例如，该器件提供单极性输出模式、双极性模式下的 4 象限乘法以及单电源工作模式。请注意，匹配开关与内部 R_{FB} 串联使用。当测量 R_{FB} 时，须将电源施加于 V_{DD} 以实现连续性。

电路工作原理

单极性模式

只需一个运算放大器，即可轻松配置 AD5444/AD5446 来提供二象限乘法操作或单极性输出电压摆幅，如图 38 所示。

当输出放大器以单极性模式连接时，输出电压可由下式得出：

$$V_{OUT} = -\frac{D}{2^n} \times V_{REF}$$

其中：

D 为载入 DAC 的数字字的小数表示：

D = 0 至 4095（12 位 AD5444）

D = 0 至 16383（14 位 AD5446）

n 为位数。

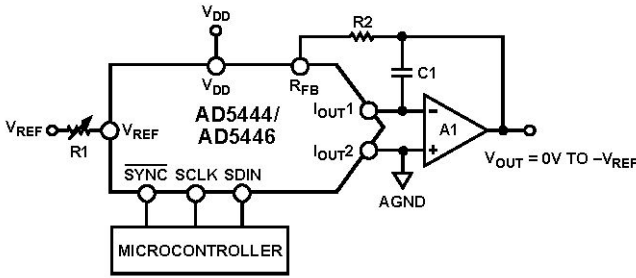
请注意，输出电压极性与直流基准电压的 V_{REF} 极性相反。

此 DAC 设计为在正或负基准电压下工作。V_{DD} 电源引脚仅供内部数字逻辑用于驱动 DAC 开关的通断状态。此 DAC 还设计用于接受交流基准输入信号，范围为-10 V 至+10 V。使用固定+10 V 基准电压源时，图 38 所示电路提供单极性 0 V 至-10 V 输出电压摆幅。当 V_{IN} 为交流信号时，电路执行二象限乘法。

表 5 列出了单极性工作模式下数字码与期望输出电压之间的关系。

表 5. 单极性数字码

数字输入	模拟输出(V)
1111 1111 1111	-V _{REF} (4095/4096)
1000 0000 0000	-V _{REF} (2048/4096) = -V _{REF} /2
0000 0000 0001	-V _{REF} (1/4096)
0000 0000 0000	-V _{REF} (0/4096) = 0



- NOTES
- 1. R1 AND R2 USED ONLY IF GAIN ADJUSTMENT IS REQUIRED.
 - 2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED, IF A1 IS A HIGH SPEED AMPLIFIER.

图 38. 单极性操作

双极性操作

在某些应用中，可能需要产生全四象限乘法功能或双极性输出摆幅。这可以通过另一个外部放大器和一些外部电阻来实现，如图 39 所示。在该电路中，第二放大器(A2)提供 2 倍增益。利用基准电压提供的偏置电压使外部放大器偏置，便可实现全四象限乘法操作。此电路的转换函数显示，当输入数据(D)从代码零($V_{OUT} = -V_{REF}$)递增至中间电平($V_{OUT} = 0\text{ V}$)，再递增至满量程($V_{OUT} = +V_{REF}$)时，就会产生正负输出电压。

$$V_{OUT} = \left(V_{REF} \times \frac{D}{2^{n-1}} \right) - V_{REF}$$

其中：

D 为载入 DAC 的数字字的小数表示；

D = 0 至 4095 (12 位 AD5444)

D = 0 至 16383 (14 位 AD5446)

n 为 DAC 的分辨率。

当 V_{IN} 为交流信号时，电路执行四象限乘法。

表 6 列出了双极性工作模式下数字码与期望输出电压之间的关系。

表 6. 双极性数字码

数字输入	模拟输出(V)
1111 1111 1111	+V _{REF} (2047/2048)
1000 0000 0000	0
0000 0000 0001	-V _{REF} (2047/2048)
0000 0000 0000	-V _{REF} (0/2048)

稳定性

对于电流转电压 (I 至 V) 配置，DAC 的 I_{OUT1} 和运算放大器的反相节点必须尽可能彼此靠近连接，且必须采用合适的 PCB 布局技术。因为每个数字码变化对应于一个阶跃函数，所以如果运算放大器的 GBP 有限且反相节点处存在过大寄生电容，就会出现增益峰化。该寄生电容在开环响应中引入一个极点，它可能会在闭环应用电路中引起响铃振荡或不稳定。

可增加一个可选的补偿电容(C1)与 R_{FB} 并联以确保稳定，如图 38 和图 39 所示。C1 的值太小可能会导致输出端响铃振荡，而值太大可能会对建立时间产生不利影响。必须凭经验选择 C1，但通常 1 pF 至 2 pF 就足以补偿。

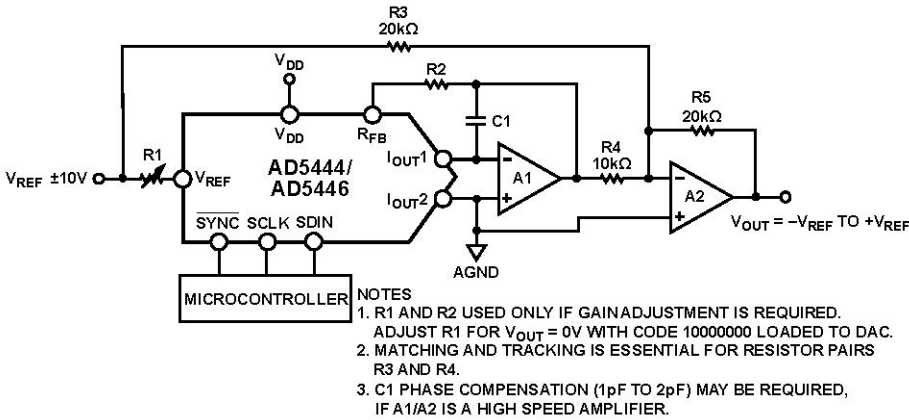
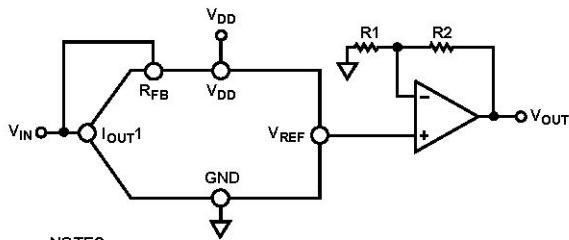


图 39. 双极性操作 (四象限乘法)

单电源应用

电压开关模式工作原理

图 40 显示了 AD5444/AD5446 DAC 在电压开关模式下工作。基准电压(V_{IN})施加于 I_{OUT1} 引脚, I_{OUT2} 连接至 AGND, 且 V_{REF} 引脚提供输出电压。在该配置中, 正基准电压产生正输出电压, 使单电源工作成为可能。DAC 的输出是恒定阻抗 (DAC 梯形电阻) 上的电压。因此, 需要运算放大器来缓冲该输出电压。基准输入不再看到恒定的输入阻抗, 而是随数字码变化的阻抗, 因此应从低阻抗源驱动电压输入。



NOTES
1. ADDITIONAL PINS OMITTED FOR CLARITY.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED, IF A1 IS A HIGH SPEED AMPLIFIER.

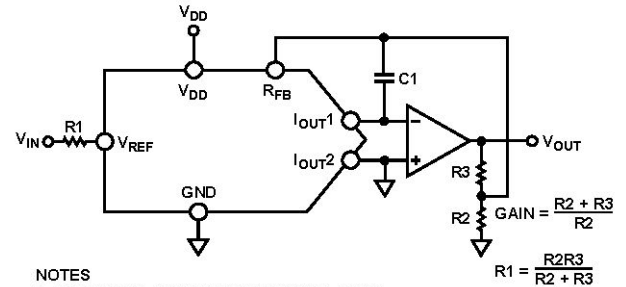
04-598-032

图 40. 单电源电压开关模式工作原理

必须注意, 采用此配置时, DAC 梯形电阻中的开关没有相同的源极至漏极驱动电压, 因此 V_{IN} 以低电压为限。这就导致各开关的导通电阻不同, 从而降低 DAC 的积分线性度。此外, V_{IN} 不能低于 -0.3 V, 否则内部二极管将导通, 超过器件的最大额定值。在这类应用中, DAC 将失去全部范围的乘法功能。

提高增益

在要求输出电压大于 V_{IN} 的应用中, 可使用一个额外的外部放大器来提高增益, 也可通过单级配置实现。应考虑 DAC 薄膜电阻温度系数的影响。只是将一个电阻与 R_{FB} 电阻串联会导致温度系数失配, 造成更大的增益温度系数误差。相反, 应使用图 41 所示的推荐配置来提高电路增益。 R_1 、 R_2 和 R_3 须具有相似的温度系数, 但不必与 DAC 的温度系数相匹配。在要求增益大于 1 的电路中, 推荐使用这种方法。请注意, 必须考虑 $R_{FB} \gg R_2 \parallel R_3$ 和增益误差百分比 $100 \times (R_2 \parallel R_3) / R_{FB}$ 。



NOTES
1. ADDITIONAL PINS OMITTED FOR CLARITY.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED, IF A1 IS A HIGH SPEED AMPLIFIER.

04-598-034

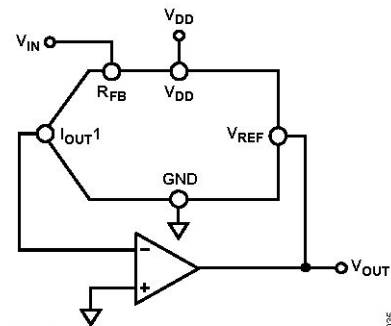
图 41. 提高电流输出 DAC 的增益

分压器或可编程增益元件

电流导引 DAC 非常灵活, 因此可用于许多不同的应用。如果这类 DAC 作为运算放大器的反馈元件连接, 且 R_{FB} 用作输入电阻, 如图 42 所示, 则输出电压与数字输入小数 D 成反比。

若 $D = 1 - 2^{-n}$, 则输出电压为:

$$V_{OUT} = -V_{IN}/D = -V_{IN}/(1 - 2^{-n})$$



NOTES:
1. ADDITIONAL PINS OMITTED FOR CLARITY.

04-598-035

图 42. 电流导引 DAC 用作分压器或可编程增益器件

随着 D 降低, 输出电压升高。对于很小的小数值(D), 重要的是确保放大器不出现饱和, 同时达到要求的精度。例如, 图 42 电路中采用二进制代码 0x10 (0001 0000, 即十进制 16) 驱动的 8 位 DAC 应使输出电压为 $16 \times V_{IN}$ 。但是, 如果 DAC 的线性度规格为 ± 0.5 LSB, 则 D 的权重在 $15.5/256$ 至 $16.5/256$ 范围内, 因此可能的输出电压在 $15.5 V_{IN}$ 至 $16.5 V_{IN}$ 范围内。这是 3% 的误差, 哪怕 DAC 本身的最大误差为 0.2%。

在分压器电路中，DAC 漏电流也是一个潜在的误差源。必须使用来自运算放大器并流经 DAC，且方向相反的电流抵消漏电流。流入 V_{REF} 引脚的电流仅有一小部分(D)路由至 I_{OUT1} 引脚，因此输出电压必须改变，如下式所示：

$$DAC \text{ 漏电流导致的输出误差电压} = (\text{漏电流} \times R) / D$$

其中 R 为 V_{REF} 引脚处的 DAC 电阻。

对于 10 nA 的 DAC 漏电流有： R 等于 10 k Ω ，增益(1/D)为 16，误差电压为 1.6 mV。

放大器选择

电流导引模式的基本要求是放大器具有低输入偏置电流和低输入失调电压。运算放大器的输入失调电压也会和电路的可变增益（由于存在 DAC 的代码相关输出电阻）相乘。由于放大器的输入电压出现失调，因而两个相邻数字小数之间的噪声增益变化会使输出电压产生步进变化。此输出电压变化与两个代码间所需的输出变化相叠加，引起差分线性误差；如果该误差足够大，可能会导致 DAC 非单调。

运算放大器的输入偏置电流也会在电压输出上产生失调，其原因是偏置电流会流经反馈电阻 R_{FB} 。大多数运算放大器的输入偏置电流都足够低，以防止 12 位应用中的误差过大。

运算放大器的共模抑制对电压切换电路很重要，因为其会在电路的电压输出端产生代码相关误差。大多数运算放大器在 8 位、10 位、12 位分辨率下都有充足的共模抑制能力。

假设 DAC 开关由真实的宽带低阻抗信号源 (V_{IN} 和 AGND) 驱动，那么它们会迅速建立。因此，电压开关 DAC 电路的压摆率和建立时间主要由输出运算放大器决定。若要获得此配置的最小建立时间，须将 DAC 的 V_{REF} 节点（此应用中的电压输出节点）处的电容降到最低。这可通过使用低输入电容缓冲放大器和精心的电路板设计来实现。

大部分单电源电路都将接地作为模拟信号范围的一部分，这便要求使用一个能够处理轨到轨信号的放大器。ADI 公司提供大量的单电源放大器（合适的选择请参见表 8 和表 9）。

基准电压源选择

选择与 AD5444/AD5446 电流输出 DAC 一起使用的基准电压源时，要注意输出电压温度系数规格。该参数不仅影响满量程误差，还能影响线性度 (INL 和 DNL) 性能。基准电压源温度系数必须与系统精度规格一致。例如，8 位系统要求在 0°C 至 50°C 温度范围内将整体规格保持在 1 LSB 以内，表示随温度变化的最大系统漂移必须低于 78 ppm/°C。

一个在同样温度范围内整体规格低于 2 LSB 的 12 位系统，则要求最大漂移为 10 ppm/°C。通过选择具有低输出温度系数的精密基准电压源，可将此误差源降到最低。表 7 列出了 ADI 公司的适合与此范围的电流输出 DAC 一起使用的一些直流基准电压源。

表 7. 合适的 ADI 精密基准电压源

产品型号	输出电压(V)	初始容差精度(%)	温度漂移系数(ppm/°C)	I _{ss} (mA)	输出噪声(μV p-p)	封装
ADR01	10	0.05	3	1	20	SOIC-8
ADR01	10	0.05	9	1	20	TSOT-23、SC70
ADR02	5	0.06	3	1	10	SOIC-8
ADR02	5	0.06	9	1	10	TSOT-23、SC70
ADR03	2.5	0.10	3	1	6	SOIC-8
ADR03	2.5	0.10	9	1	6	TSOT-23、SC70
ADR06	3	0.10	3	1	10	SOIC-8
ADR06	3	0.10	9	1	10	TSOT-23、SC70
ADR431	2.5	0.04	3	0.8	3.5	SOIC-8
ADR435	5	0.04	3	0.8	8	SOIC-8
ADR391	2.5	0.16	9	0.12	5	TSOT-23
ADR395	5	0.10	9	0.12	8	TSOT-23

表 8. 合适的 ADI 精密运算放大器

产品型号	电源电压(V)	V _{os} (最大值) (μV)	I _B (最大值) (nA)	0.1 Hz 至 10 Hz 噪声(μV p-p)	电源电流(μA)	封装
OP97	±2 至 ±20	25	0.1	0.5	600	SOIC-8
OP1177	±2.5 至 ±15	60	2	0.4	500	MSOP、SOIC-8
AD8551	2.7 至 5	5	0.05	1	975	MSOP、SOIC-8
AD8603	1.8 至 6	50	0.001	2.3	50	TSOT
AD8628	2.7 至 6	5	0.1	0.5	850	TSOT、SOIC-8

表 9. 合适的 ADI 高速运算放大器

产品型号	电源电压(V)	带宽@ACL (典型值) (MHz)	压摆率 (典型值) (V/μs)	V _{os} (最大值) (μV)	I _B (最大值) (nA)	封装
AD8065	5 至 24	145	180	1500	0.006	SOIC-8、SOT-23、MSOP
AD8021	±2.25 至 ±12	490	120	1000	10500	SOIC-8、MSOP
AD8038	3 至 12	350	425	3000	750	SOIC-8、SC70-5
AD9631	±3 至 ±6	320	1300	10,000	7000	SOIC-8

串行接口

AD5444/AD5446 具有易于使用的三线式接口，其兼容 SPI、QSPI、MICROWIRE 和 DSP 接口标准。数据以 16 位字格式写入器件。该 16 位字由 2 个控制位及 12 个数据位或 14 个数据位组成，如图 43 和图 44 所示。AD5446 使用所有 14 位 DAC 数据，而 AD5444 使用 12 位，忽略 2 个 LSB。

控制位 C1 和控制位 C0 允许用户加载并更新新的 DAC 代码，以及更改有效时钟边沿。默认情况下，移位寄存器在下降沿输出数据，但这可以通过控制位进行更改。如果更改，DAC 核心在下一个数据帧之前不起作用。重新上电后，其将复位到默认情况。片内上电复位电路可确保器件上电时将零刻度码载入 DAC 寄存器和 IOUT 线路。

表 10. DAC 控制位

C1	C0	功能部署
0	0	加载并更新（上电默认值）
0	1	禁用 SDO
1	0	无操作
1	1	在上升沿将时钟数据读入移位寄存器

SYNC 功能

SYNC 是边沿触发输入，用作帧同步信号。仅当 SYNC 处于低电平时，才可将数据传输至器件。要开始串行数据传输，应将 SYNC 拉低，并满足 SYNC 下降沿至 SCLK 下降沿建立时间的最小值 t_d 要求。为了尽量降低器件的功耗，该接口仅在对器件执行写操作时，即在 SYNC 的下降沿才完全上电。

SCLK 和 DIN 输入缓冲器在 SYNC 的上升沿关断。

在第 16 个 SCLK 脉冲的下降沿之后，拉高 SYNC 可将数据从输入移位寄存器传送到 DAC 寄存器。

菊花链模式

菊花链模式是上电后的默认模式。要禁用菊花链功能，请将 01 写入控制字。在菊花链模式下，SCLK 上的内部选通信号被禁用。当 SYNC 为低电平时，SCLK 不断被施加到输入移位寄存器。如果施加了 16 个以上的时钟脉冲，则数据从移位寄存器纹波输出并出现在 SDO 线路上。此数据在 SCLK 上升沿逐个输出（这是默认值；使用控制字可更改有效边沿），且在下降沿（默认）对下一个器件有效。通过将该线路连接到菊花链中下一个器件的 SDIN 输入，即可构成多器件接口。系统中每个器件均需要 16 个时钟脉冲。因此，时钟周期总数必须等于 $16 \times N$ ，其中 N 为菊花链中的器件总数。

当对所有器件的串行传输结束时，SYNC 应变为高电平，以防额外数据进入移位寄存器。可以采用包含确切时钟周期数的突发时钟，在一段时间后可将 SYNC 置为高电平。在 SYNC 的上升沿之后，数据自动从每个器件的输入寄存器传送到寻址 DAC。

当控制位 = 10 时，器件处于非工作模式。这在用户不想改变菊花链中某个 DAC 设置的菊花链应用中很有用。只需将 10 写入该 DAC 的控制位，即可忽略后续的数据位。

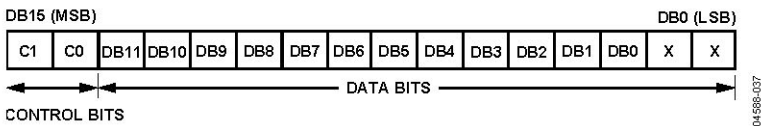


图 43. AD5444 12 位输入移位寄存器内容

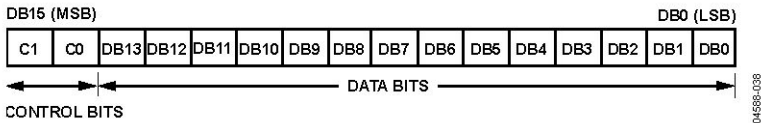


图 44. AD5446 14 位输入移位寄存器内容

微处理器接口

AD5444/AD5446 DAC 通过一条串行总线实现与微处理器的接口，这条总线使用与微控制器和 DSP 处理器兼容的标准协议。通信通道为 3 线接口，包含时钟信号、数据信号和同步信号。AD5444/AD5446 需要一个 16 位字，默认为数据在 SCLK 下降沿有效，但可以使用数据字中的控制位来更改。

ADSP-2191M 与 AD5444/AD5446 接口

ADSP-2191M DSP 很容易与 AD5444/AD5446 DAC 接口，无需额外的胶连逻辑。图 45 显示了 DAC 与 ADSP-2191M 之间的 SPI 接口示例。DSP 的 SCK 驱动串行时钟线 SCLK。SYNC 由一条端口线驱动，本例中为 SPIxSEL。

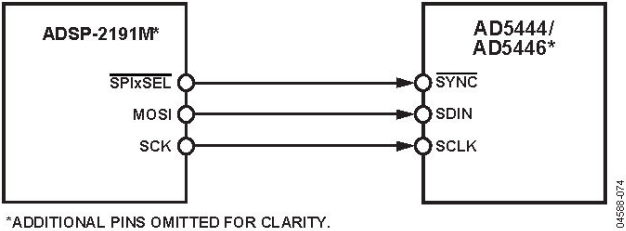


图 45. ADSP-2191M SPI 与 AD5444/AD5446 接口

DAC 和 DSP SPORT 之间的串行接口如图 46 所示。在此接口示例中，SPORT0 用于将数据传输到 DAC 移位寄存器。使能 SPORT 后，可以通过对 Tx 寄存器进行写操作来启动传输。在写入序列中，数据在 DSP 串行时钟的每个上升沿输出，并在其 SCLK 的下降沿输入 DAC 输入移位寄存器。DAC 输出的更新发生在 SYNC 信号的上升沿。

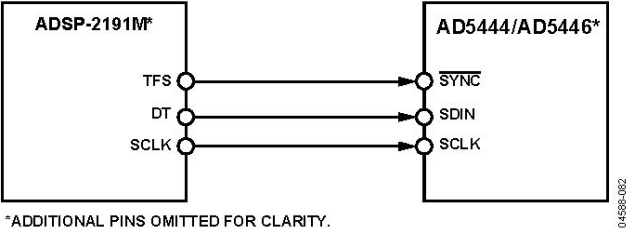


图 46. ADSP-2191M 与 AD5444/AD5446 接口

当以下规格兼容时，两个器件之间可以给定时钟速度通信：帧同步延迟和帧同步建立-保持、数据延迟和数据建立-保持以及 SCLK 宽度。DAC 接口预期 $t_{\text{d}}(\text{SYNC 下降沿至 SCLK 下降沿建立时间})$ 最短为 13 ns。有关 SPORT 寄存器的时钟和帧同步频率的信息，请参阅用户手册 www.analog.com/ads-p-21xx-processor-manuals。

表 11 显示了 SPORT 控制寄存器的设置。

表 11. SPORT 控制寄存器设置

名称	设置	描述
TFSW	1	交替帧传输
INVTFS	1	低电平有效帧信号
DTYPE	00	右对齐数据
ISCLK	1	内部串行时钟
TFSR	1	每个字一帧
ITFS	1	内部帧信号
SLEN	1111	16 位数据字

Blackfin 与 AD5444/AD5446 接口

ADSP-BF504 至 ADSP-BF592 处理器系列具有一个 SPI 兼容型端口，可以与 SPI 兼容型器件通信。图 47 显示了 ADSP-BF504 至 ADSP-BF592 系列（图中以 ADSP-BF534 为例）与 AD5444/AD5446 DAC 之间的串行接口。在此配置中，数据通过 MOSI（主机输出/从机输入）引脚传输。SYNC 由 SPI 片选引脚驱动，该引脚是重新配置的可编程标志引脚。

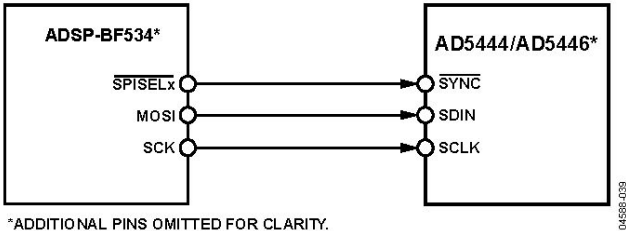


图 47. ADSP-BF534 与 AD5444/AD5446 接口

ADSP-BF534 处理器包含通道同步串行端口(SPORT)。图 48 显示了 DAC 与 DSP SPORT 之间的串行接口。使能 SPORT 后，将一个字写入 Tx 寄存器即启动传输。数据在 DSP 串行时钟的每个上升沿输出，并在其 SCLK 的下降沿输入 DAC 输入移位寄存器。使用发送帧同步(TFS)线路提供一个 SYNC 信号，从而更新 DAC 输出。

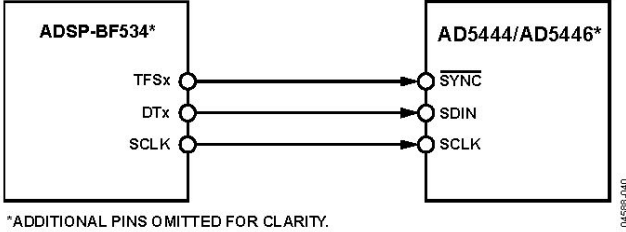


图 48. ADSP-BF534 与 AD5444/AD5446 接口

80C51/80L51 与 AD5444/AD5446 接口

图 49 显示了 DAC 与 80C51/80L51 之间的串行接口。80C51/80L51 的 TxD 驱动 DAC 串行接口的 SCLK, RxD 驱动串行数据线 SDIN。P1.1 是串行端口上的位可编程引脚, 用于驱动 SYNC。当数据要传输到交换芯片时, P1.1 被拉低。80C51/80L51 仅以 8 位字节传输数据; 因此, 发送周期中仅出现 8 个下降时钟边沿。要正确加载数据到 DAC, 在前 8 位发送后 P1.1 保持低电平, 第二次写周期开始传输第二个字节的数据。

RxD 上的数据在 TxD 的上升沿从微控制器输出, 并在下降沿有效。因此, DAC 和微控制器接口之间不需要胶连逻辑。此周期完成后, P1.1 被拉高。80C51/80L51 将其 SBUF 寄存器的 LSB 作为数据流的第一位提供。DAC 输入寄存器要求其数据的 MSB 为最先收到的数据位。发送程序应考虑这一点。

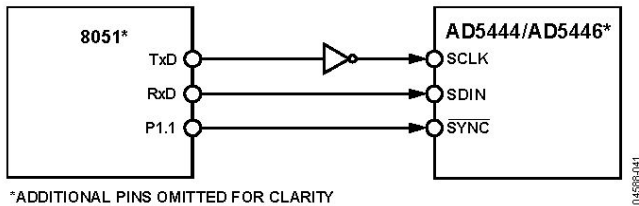


图 49. 80C51/80L51 与 AD5444/AD5446 接口

MC68HC11 接口至 AD5444/AD5446 接口

图 50 显示了 DAC 与 MC68HC11 之间的串行接口示例。MC68HC11 上的串行外设接口(SPI)配置如下: 主机模式(MSTR) = 1, 时钟极性位(CPOL) = 0, 时钟相位位(CPHA) = 1。SPI 通过写入 SPI 控制寄存器(PCR)来配置, 参见《68HC11 用户手册》。68HC11 的 SCK 驱动 DAC 接口的 SCLK, MOSI 输出驱动 AD5444/AD5446 的串行数据线(SDIN)。

SYNC 信号由端口线(PC7)产生。当向 AD5444/AD5446 发送数据时, SYNC 线被拉低(PC7)。MOSI 输出端上的数据在 SCK 的下降沿有效。来自 68HC11 的串行数据以 8 位字节发送, 在发送周期中仅出现 8 个时钟下降沿。数据以 MSB 优先方式发送。要将数据载入 DAC, PC7 应在前 8 个位传输完成后保持低电平, 同时对 DAC 执行第二次串行写操作。此程序结束后 PC7 被拉高。

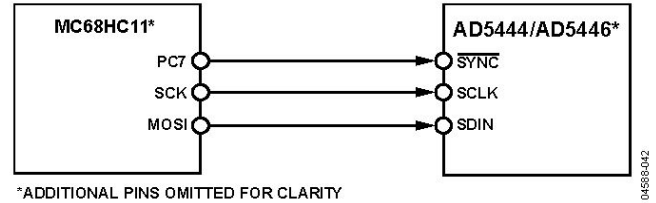


图 50. MC68HC11 与 AD5444/AD5446 接口

如果用户想要验证先前写入输入移位寄存器的数据, SDO 线可以连接到 MC68HC11 的 MISO, 在 SYNC 为低电平的情况下, 移位寄存器在 SCLK 的上升沿输出数据。

MICROWIRE 与 AD5444/AD5446 接口

图 51 显示的是 DAC 与 MICROWIRE 兼容器件之间的接口。串行数据在串行时钟 SK 的下降沿移出, 并在 SK 的上升沿(对应于 DAC SCLK 的下降沿)送入 DAC 输入移位寄存器。

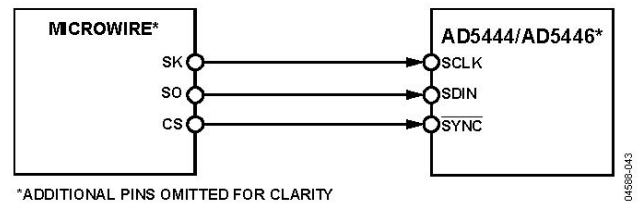


图 51. MICROWIRE 与 AD5444/AD5446 接口

PIC16C6x/7x 与 AD5444/AD5446 接口

PIC16C6X/7X 同步串行端口(SSP)配置为 SPI 主机, 且时钟极性位(CKP) = 0。这是通过写入同步串行端口控制寄存器(SSPCON)来完成的, 参见《PIC16/17 微控制器用户手册》。

在此示例中, I/O 端口 RA1 用于提供 SYNC 信号并使能 DAC 的串行端口。在每个串行传输操作期间, 该微控制器仅传输 8 位数据, 因此需要两个连续写操作。图 52 给出了连接图。

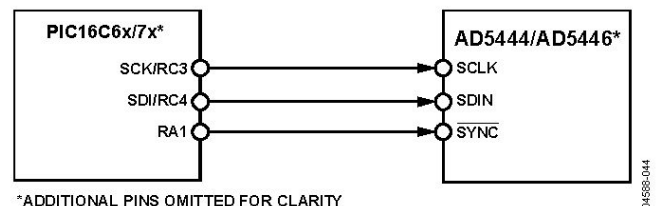


图 52. PIC16C6x/7x 与 AD5444/AD5446 接口

PCB布局和电源去耦

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装 [AD5444/AD5446](#) 所用的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。如果 DAC 所在的系统中有多个器件需要 AGND 至 DGND 的连接，则应只在一个点进行连接。星形接地点应尽可能靠近器件。

该 DAC 应具有足够大的电源旁路电容 $10\ \mu\text{F}$ ，与电源上的 $0.1\ \mu\text{F}$ 电容并联，并且尽可能靠近封装，最好是正对着器件。 $0.1\ \mu\text{F}$ 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESL)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。电源处也应当运用低 ESR $1\ \mu\text{F}$ 至 $10\ \mu\text{F}$ 钽电容或电解电容，以便尽可能减少瞬态干扰，并滤除低频纹波。

时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板上的其它器件辐射噪声，并且绝不应靠近基准输入。

避免数字信号与模拟信号交叠。电路板相对两层上的走线应当彼此垂直，这样做有助于减小电路板上的馈通效应。

微带线技术是目前理想选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，而信号走线则布设在焊接侧。

采用紧凑、最小引线长度的 PCB 布局设计是很好的做法。输入的引线应尽可能短，以将 I_R 压降和杂散电感降至最小。

V_{REF} 和 R_{FB} 之间的 PCB 金属走线也应当匹配，使增益误差最小。为了优化高频性能，电流至电压放大器应尽可能靠近器件。

电流输出器件一览表

表 12.

产品型号	分辨率 (位)	DAC 数	INL (LSB)	接口	封装 ¹	特性
AD5424	8	1	±0.25	并行	RU-16、CP-20	10 MHz 带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5426	8	1	±0.25	串行	RM-10	10 MHz 带宽, 50 MHz 串行
AD5428	8	2	±0.25	并行	RU-20	10 MHz 带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5429	8	2	±0.25	串行	RU-10	10 MHz 带宽, 50 MHz 串行
AD5450	8	1	±0.25	串行	UJ-8	12 MHz 带宽, 50 MHz 串行
AD5432	10	1	±0.5	串行	RM-10	10 MHz 带宽, 50 MHz 串行
AD5433	10	1	±0.5	并行	RU-20、CP-20	10 MHz 带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5439	10	2	±0.5	串行	RU-16	10 MHz 带宽, 50 MHz 串行
AD5440	10	2	±0.5	并行	RU-24	10 MHz 带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5451	10	1	±0.25	串行	UJ-8	12 MHz 带宽, 50 MHz 串行
AD5443	12	1	±1	串行	RM-10	10 MHz 带宽, 50 MHz 串行
AD5444	12	1	±0.5	串行	RM-10	12 MHz 带宽, 50 MHz 串行接口
AD5415	12	2	±1	串行	RU-24	10 MHz 带宽, 50 MHz 串行
AD5405	12	2	±1	并行	CP-40	10 MHz 带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5445	12	2	±1	并行	RU-20、CP-20	10 MHz 带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5447	12	2	±1	并行	RU-24	10 MHz 带宽, 17 ns $\overline{CS}$ 脉冲宽度
AD5449	12	2	±1	串行	RU-16	10 MHz 带宽, 50 MHz 串行
AD5452	12	1	±0.5	串行	UJ-8、RM-8	12 MHz 带宽, 50 MHz 串行
AD5446	14	1	±1	串行	RM-10	12 MHz 带宽, 50 MHz 串行
AD5453	14	1	±2	串行	UJ-8、RM-8	12 MHz 带宽, 50 MHz 串行
AD5553	14	1	±1	串行	RM-8	4 MHz 带宽, 50 MHz 串行时钟
AD5556	14	1	±1	并行	RU-28	4 MHz 带宽, 20 ns $\overline{WR}$ 脉冲宽度
AD5555	14	2	±1	串行	RM-8	4 MHz 带宽, 50 MHz 串行时钟
AD5557	14	2	±1	并行	RU-38	4 MHz 带宽, 20 ns $\overline{WR}$ 脉冲宽度
AD5543	16	1	±2	串行	RM-8	4 MHz 带宽, 50 MHz 串行时钟
AD5546	16	1	±2	并行	RU-28	4 MHz 带宽, 20 ns $\overline{WR}$ 脉冲宽度
AD5545	16	2	±2	串行	RU-16	4 MHz 带宽, 50 MHz 串行时钟
AD5547	16	2	±2	并行	RU-38	4 MHz 带宽, 20 ns $\overline{WR}$ 脉冲宽度

¹ RU = TSSOP, CP = LFCSP, RM = MSOP, UJ = TSOT.

外形尺寸

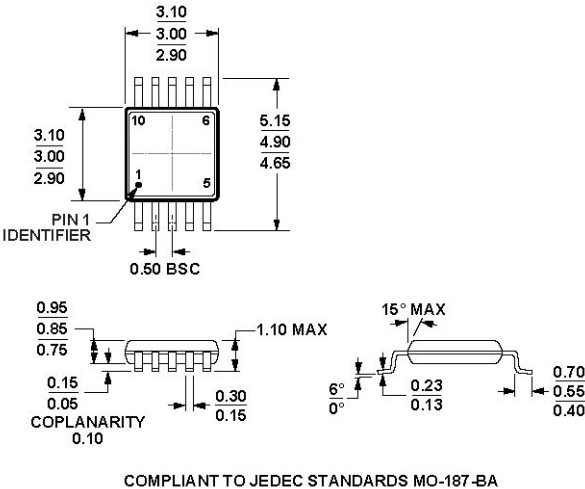


图 53. 10 引脚超小型封装[MSOP]

(RM-10)

尺寸单位: mm

订购指南

型号 ¹	分辨率 (位)	INL (LSB)	温度范围	封装描述	封装选项	标识
AD5444YRM	12	±0.5	−40°C 至 +125°C	10 引脚 MSOP	RM-10	D27
AD5444YRMZ	12	±0.5	−40°C 至 +125°C	10 引脚 MSOP	RM-10	D6X
AD5444YRMZ-REEL7	12	±0.5	−40°C 至 +125°C	10 引脚 MSOP	RM-10	D6X
AD5446YRM	14	±2	−40°C 至 +125°C	10 引脚 MSOP	RM-10	D28
AD5446YRMZ	14	±2	−40°C 至 +125°C	10 引脚 MSOP	RM-10	D7Z
AD5446YRMZ-RL7	14	±2	−40°C 至 +125°C	10 引脚 MSOP	RM-10	D7Z
EV-AD5443/46/53SDZ				评估板		

¹ Z = 符合 RoHS 标准的器件。

注意

注意

注意

