

产品特性

10BASE-T_e/100BASE-TX IEEE® 802.3™ 兼容
MII、RMII和RGMII MAC接口
100BASE-TX RGMII延迟发射: <124 ns, 接收<250 ns
100BASE-TX MII延迟发射: <52 ns, 接收<248 ns

EMC测试标准

IEC 61000-4-5浪涌(±4 kV)
IEC 61000-4-4电快速瞬变(EFT) (±4 kV)
IEC 61000-4-6传导抗扰度(10 V)
EN55032电磁辐射骚扰 (A类)
EN55032传导发射 (A类)

使用多电平引脚绑定的非托管配置

EEE符合IEEE 802.3az标准

支持IEEE 1588时间戳数据包起始检测

增强型链路检测

可配置LED

晶振/时钟输入: 25 MHz

25 MHz/125 MHz同步时钟输出

小型封装和宽温度范围

32引脚、5 mm × 5 mm LFCSP封装
额定工作温度范围: -40°C至+105°C和-40°C至85°C

低功耗

139 mW (对于100BASE-TX)
MAC接口VDDIO电源电压: 3.3 V/2.5 V/1.8 V
利用3.3 V VDDIO实现单电源供电
集成电源监控和POR

应用

工业自动化
过程控制
工厂自动化
机器人和运动控制
楼宇自动化
测试与测量
工业物联网(IoT)

概述

ADIN1200是一款具有低延迟特性的低功耗、单端口、10 Mbps和100 Mbps以太网收发器, 设计用于工业以太网应用。

此设计集成了高效以太网(EEE)物理层器件(PHY)内核以及所有相关的通用模拟电路、输入和输出时钟缓冲、管理接口和子系统寄存器以及媒介访问控制(MAC)接口和控制逻辑, 以便管理复位、时钟控制以及引脚配置。

ADIN1200采用5 mm × 5 mm、32引脚引脚架构芯片级封装(LFCSP), 且在使用3.3 V MAC接口电源时, 可采用3.3 V单电源供电。为实现最大的系统级设计灵活性, 通过单独的VDDIO电源可以对管理数据输入/输出(MDIO)和MAC接口电源电压进行配置, 而不考虑ADIN1200上的另一个电路并在1.8 V、2.5 V或3.3 V下工作。上电时, ADIN1200保持在硬件复位状态, 直至每个电源已超过其最小上升阈值且电源良好为止。通过监视电源以检测一个或多个电源电压是否低于最小下降阈值, 并将器件保持在硬件复位状态直到电源恢复并满足上电复位(POR)电路要求, 才能提供掉电保护。

MII管理接口(也称为MDIO接口)在主机处理器或MAC和ADIN1200之间提供双线式串行接口, 以便访问PHY内核管理寄存器中的控制和状态信息。该接口与IEEE® 802.3™标准第22和45条管理帧结构兼容。

ADIN1200可支持最长180米电缆。请注意, 在整篇数据手册中, 多功能引脚(如XTAL_I/CLK_IN/REF_CLK)由整个引脚名称或引脚的单个功能表示, 例如XTAL_I即表示仅与此功能相关。

表1. 相关产品

产品型号	描述
ADIN1300	鲁棒的工业、低延迟、千兆以太网PHY, 采用40引脚(6 mm × 6 mm) LFCSP封装

目录

产品特性	1	帧生成器和检查器	32
应用	1	电缆诊断	33
概述	1	增强型链路检测	33
修订历史	2	数据包起始指示	33
功能框图	3	应用信息	35
技术规格	4	系统概述	35
时序特性	6	REM交换机芯片 fido5200	35
绝对最大额定值	11	fido5200和ADIN1200详细说明	36
热阻	11	电源	36
ESD注意事项	11	元件推荐	38
引脚配置和功能描述	12	电源要求	39
典型性能参数	16	电源去耦	39
工作原理	18	寄存器汇总	41
模拟前端(AFE)	18	PHY内核寄存器汇总	41
MAC接口	19	PHY内核寄存器详解	43
自动协商	20	子系统寄存器汇总	71
自动协商禁用	20	子系统寄存器详解	72
管理接口	20	PCB布局建议	77
MDI接口	22	PHY封装布局	77
复位工作原理	22	元件放置	77
关断模式	24	MDI、差分对布线	77
状态LED	25	MAC接口引脚	77
PHY输出时钟	26	电源层和接地层	77
电源域	26	LFCSP封装布局布线指南	78
硬件配置引脚	27	外形尺寸	79
硬件配置引脚功能	27	订购指南	79
片内诊断	31		
环回模式	31		

修订历史

2019年11月—修订版0：初始版

功能框图

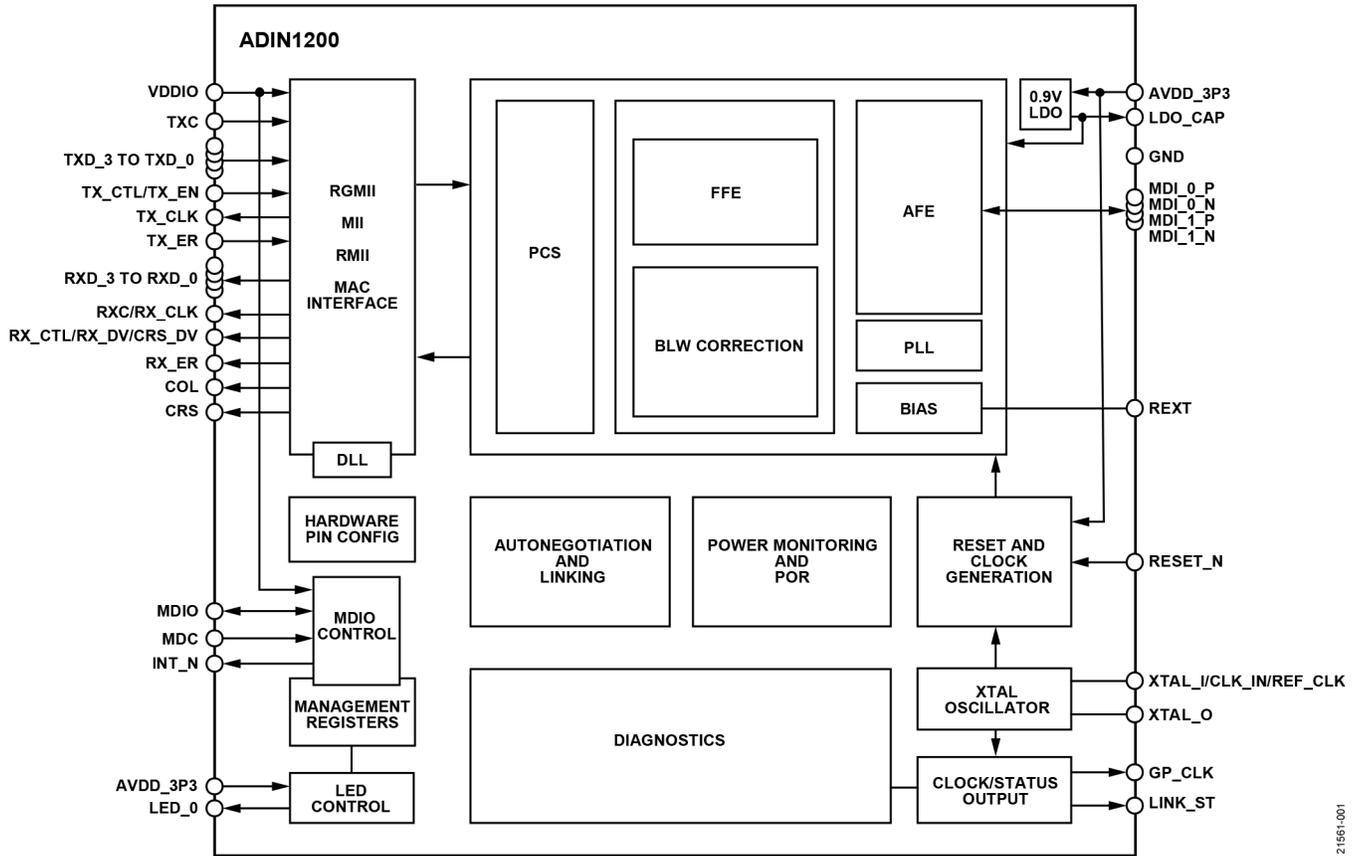


图1.

21561-001

技术规格

除非另有说明，AVDD_3P3 = 3.3 V，VDDIO = 1.8 V，所有规格均相对于-40°C至+105°C而言。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
电源要求					
电源电压					
AVDD_3P3	3.14	3.3	3.46	V	
VDDIO	3.14	3.3	3.46	V	3.3 V 模式
	2.25	2.5	2.75	V	2.5 V 模式
	1.71	1.8	1.89	V	1.8 V 模式
功耗 ¹					100%数据吞吐量，完全活动
电源电流 100BASE-TX					
AVDD_3P3 电流(I _{AVDD_3P3})		31		mA	
VDDIO 电流(I _{VDDIO})		22		mA	3.3 V 模式
		21		mA	2.5 V 模式
		20		mA	1.8 V 模式
功耗					100%数据吞吐量，完全活动
100BASE-TX		175		mW	VDDIO = 3.3 V
		155		mW	VDDIO = 2.5 V
		139		mW	VDDIO = 1.8 V
时序/延迟 ²					
100BASE-TX MII					
发射			52	ns	
接收			248	ns	
总计			300	ns	
100BASE-TX RGMII ³					
发射	84	88	92	ns	
接收			250	ns	
总计	334	338	342	ns	
100BASE-TX RGMII ⁴					
发射	84	104	124	ns	
接收			250	ns	
总计	334	354	374	ns	
100BASE-TX RMII ⁵					
发射	72		92	ns	
接收	328	348	368	ns	
总计	400	430	460	ns	
数字输入/输出					适用于 MAC 接口、MDC 引脚、MDIO 引脚和 INT_N 引脚
VDDIO = 3.3 V					
输入低电压(V _{IL})			0.8	V	
输入高电压(V _{IH})	2.0			V	
输出低电压(V _{OL})			0.4	V	输出低电流(I _{OL})最小值 = 4 mA
输出高电压(V _{OH})	2.4			V	输出高电流(I _{OH})最小值 = 4 mA
VDDIO = 2.5 V					
V _{IL}			0.7	V	
V _{IH}	1.7			V	
V _{OL}			0.4	V	I _{OL} 最小值 = 4 mA
V _{OH}	2.0			V	I _{OH} 最小值 = 2 mA
	1.7			V	I _{OH} 最小值 = 4 mA

参数	最小值	典型值	最大值	单位	测试条件/注释
VDDIO = 1.8 V					
V _{IL}			0.35 × VDDIO	V	
V _{IH}	0.65 × VDDIO			V	
V _{OL}			0.45	V	I _{OL} 最小值 = 2 mA
V _{OH}	VDDIO – 0.45			V	I _{OH} 最小值 = 2 mA
AVDD_3P3					适用于LED_0/COL/TX_ER/PHY_CFG0引脚的COL/TX_ER功能
V _{IL}			0.8	V	
V _{IH}	2.0			V	
V _{OL}			0.4	V	I _{OL} 最小值 = 4 mA
V _{OH}	2.4			V	I _{OH} 最小值 = 4 mA
输入漏电流高(I _{IH})和输入漏电流低(I _{IL})			10	μA	内置下拉电阻的引脚除外
LED 输出					适用于 LED_0
输出驱动电流	8			mA	AVDD_3P3 = 3.3 V
时钟					
外部晶振(XTAL)					XTAL_I 和 XTAL_O 上使用的外部晶振的要求
频率				MHz	
频率容差	-50		+50	ppm	
输出驱动电平		<200		μW	
ESR		20	100	Ω	
负载电容(C _L) ⁶		10		pF	
抖动			80	ps	10 kHz 至 5 MHz 的频率范围
时钟输入(CLK_IN)		25		MHz	作用于 XTAL_I 的外部时钟的要求
输入频率		25		MHz	MII、RGMII 模式
		50		MHz	RMII 模式
输入电压范围			2.5	V	

¹ 5 pF的MAC接口容性负载，禁用REFCLK。

² 对于MII模式（10BASE-Te和100BASE-TX），DPH_MII_BYTE寄存器定义所设定的发送先进先出(FIFO)深度是字节还是半字节。寄存器默认值为1，对应字节。在MII模式下，由于接口基于半字节，所以发送FIFO中的内部预填充内容更大，观察到的延迟时间会更长。对于MII，表2中的延迟规格将该位设置为0。

³ 该100BASE-TX RGMII发送延迟是发送FIFO用于同步操作时的延迟（MAC发送时钟必须与ADIN1200参考时钟同步）。参考FIFO_SYNC寄存器。

⁴ 该100BASE-TX RGMII发送延迟是MAC发送时钟不需要与ADIN1200参考时钟同步，并且发送FIFO处理所有相位差时的延迟。

⁵ RMII发送延迟取决于50 MHz参考时钟和内部25 MHz时钟之间的相位关系。对于给定链路，发送延迟是固定的。

⁶ 负载电容(C_L) = ((C1 × C2)/(C1 + C2) + C_{STRAY})，其中C_{STRAY}为杂散电容，包括布线和封装寄生效应。

时序特性

上电时序

表3. 上电时序

参数	描述	最小值	典型值	最大值	单位
t_{RAMP}	电源斜坡时间			40	ms
t_1	达到内部电源良好状态的最短时间间隔 ¹		6.8		ms
t_2	XTAL_I 晶振建立时间 XTAL_I 外部时钟建立时间		1.5	2	ms
t_3	硬件配置锁存时间			64	μs
t_4	管理接口有效			5	ms

¹ 最短时间间隔以最后一个电源达到上升阈值为基准。不需要特定上电顺序。

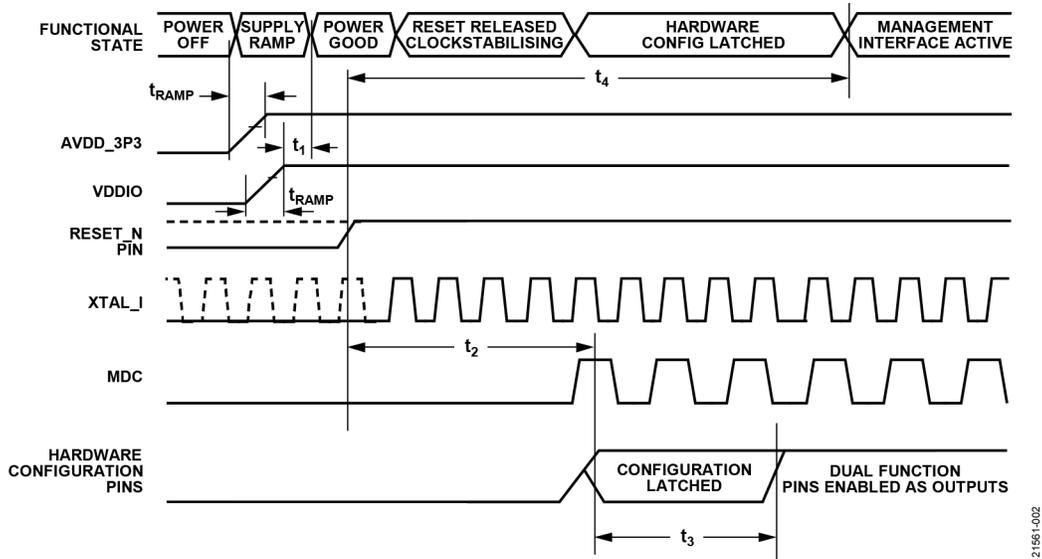


图2. 上电时序

硬件复位时序

表4. 硬件复位时序

参数	描述	最小值	典型值	最大值	单位
t_1	RESET_N 低电平时间	10			μs
t_2	XTAL_I 晶振建立时间 XTAL_I 外部时钟建立时间		1.5	0	ms
t_3	硬件配置锁存时间			64	μs
t_4	管理接口有效			5	ms

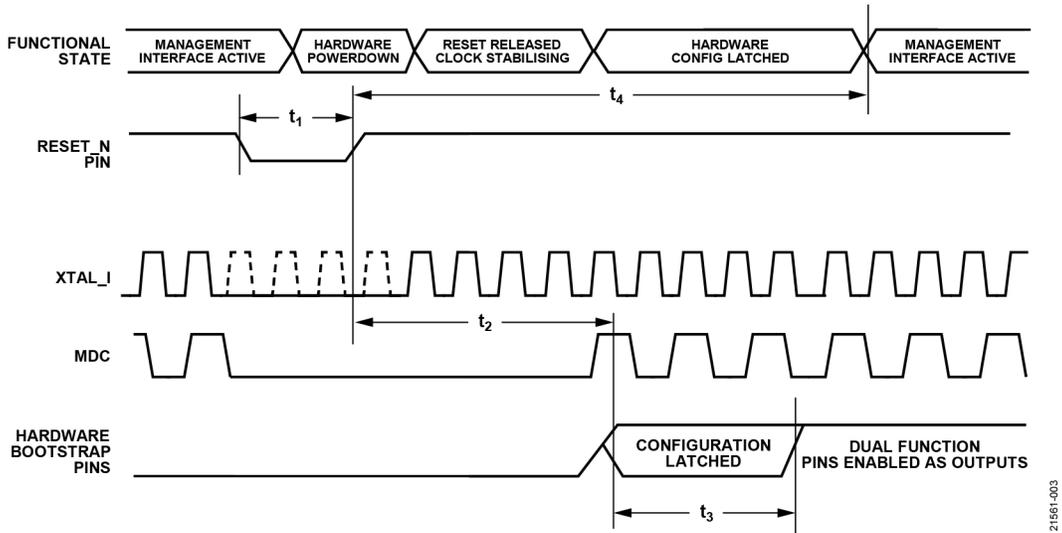


图3. 硬件复位时序

管理接口时序

表5. 管理接口时序

参数	描述	最小值	典型值	最大值	单位
t ₁	MDC 周期	180			ns
t ₂	MDC 高电平时间	70			ns
t ₃	MDC 低电平时间	70			ns
t ₄	MDC 上升/下降时间			5	ns
t ₅	MDIO 信号建立时间至 MDC	10			ns
t ₆	MDIO 信号保持时间至 MDC	10			ns
t ₇	MDIO 延迟时间至 MDC	0		60	ns

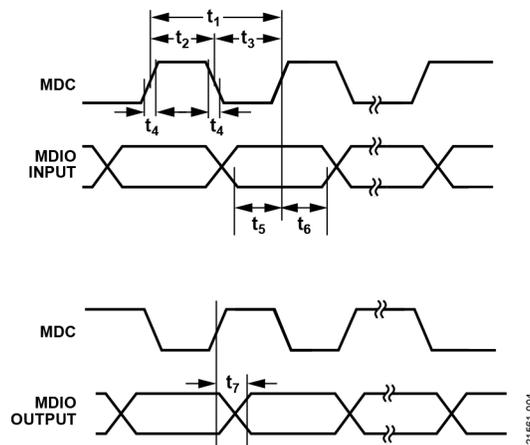


图4. 管理接口时序

MII发送和接收时序

表6. MII 100BASE-TX发送时序

参数	描述	最小值	典型值	最大值	单位
t ₁	TX_CLK 周期		40		ns
t ₂	TX_CLK 高电平时间	14	20	26	ns
t ₃	TX_CLK 低电平时间	14	20	26	ns
t ₄	TX_CLK 上升/下降时间		5		ns
t ₅	MII 输入信号建立时间至 TX_CLK	10			ns
t ₆	MII 输入信号保持时间至 TX_CLK	0			ns

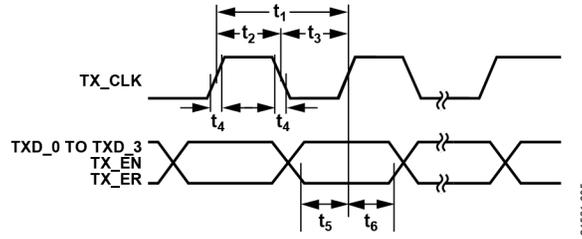


图5. MII发送时序

表7. MII 100BASE-TX接收时序

参数	描述	最小值	典型值	最大值	单位
t ₁	RX_CLK 周期		40		ns
t ₂	RX_CLK 高电平时间	16	20	24	ns
t ₃	RX_CLK 低电平时间	16	20	24	ns
t ₄	RX_CLK 上升/下降时间			1	ns
t ₅	MII 输出信号建立时间至 RX_CLK	10			ns
t ₆	MII 输出信号保持时间至 RX_CLK	10			ns

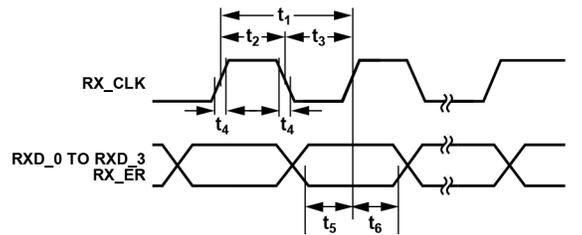


图6. MII接收时序

表8. MII 10BASE-Te发送时序 (参见图5)

参数	描述	最小值	典型值	最大值	单位
t ₁	TX_CLK 周期		400		ns
t ₂	TX_CLK 高电平时间	140	200	260	ns
t ₃	TX_CLK 低电平时间	140	200	260	ns
t ₄	TX_CLK 上升/下降时间		1		ns
t ₅	MII 输入信号建立时间至 TX_CLK	10			ns
t ₆	MII 输入信号保持时间至 TX_CLK	0			ns

表9. MII 10BASE-Te接收时序 (参见图6)

参数	描述	最小值	典型值	最大值	单位
t ₁	RX_CLK 周期		400		ns
t ₂	RX_CLK 高电平时间	140	200	260	ns
t ₃	RX_CLK 低电平时间	140	200	260	ns
t ₄	RX_CLK 上升/下降时间		1	1	ns
t ₅	MII 输出信号建立时间至 RX_CLK	10			ns
t ₆	MII 输出信号保持时间至 RX_CLK	10			ns

RGMII 发送/接收

表10. RGMII时序

参数	描述	最小值	典型值	最大值	单位
t ₁	数据至时钟输出偏斜 (发送器端) 2F ¹	-500	0	+500	ps
t ₂	数据至时钟输入偏斜 (接收器端) ¹	1	1.8	2.6	ns
t ₃	数据至时钟输出建立时间 (发送器端—内部延迟) 3F ²	1.2	2.0		ns
t ₄	时钟至数据输出保持时间 (发送器端—内部延迟) ²	1.2	2.0		ns
t ₅	数据至时钟输入建立时间 (接收器端—内部延迟) ²	1.0	2.0		ns
t ₆	时钟至数据输入保持时间 (接收器端—内部延迟) ²	1.0	2.0		ns
t _{CYC}	时钟周期持续时间 4F ³	7.2	8	8.8	ns
Duty_T	10 Mbps/100 Mbps 的占空比	40	50	60	%
t _R /t _F	上升/下降时间 (20%至 80%)			0.75	ns

¹ 在没有RGMII内部延迟的情况下运行时, 印刷电路板(PCB)设计需要考虑时钟布线, 使得相关时钟信号增加大于1.5 ns而小于2.0 ns的额外走线延迟。对于10 Mbps/100 Mbps, 最大值未指定。

² 可以使能或禁用硬件和软件可编程内部延迟。

³ 对于10 Mbps和100 Mbps, t_{CYC}分别调整到400 ns ±40 ns和40 ns ±4 ns。

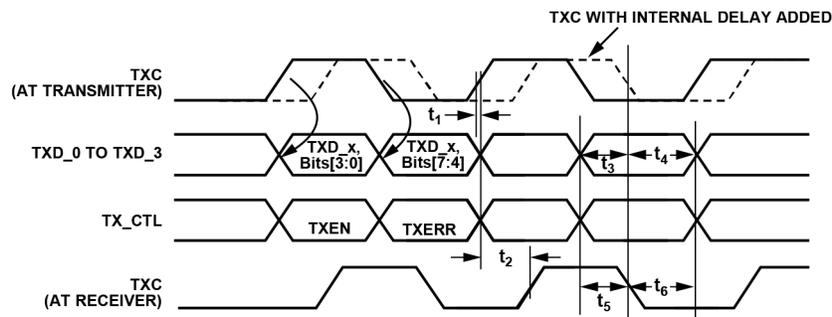


图7. RGMII发送时序

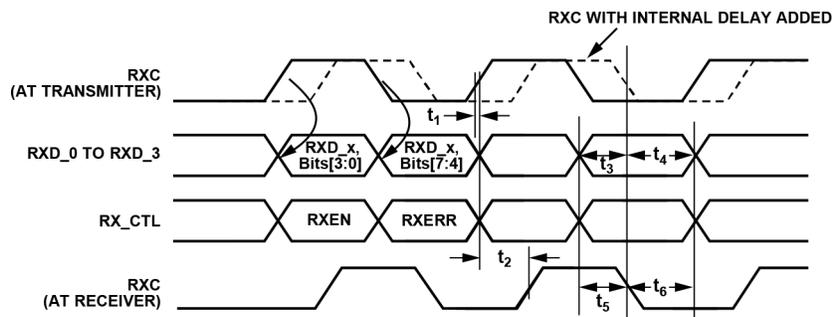


图8. RGMII接收时序

RMII发送/接收

表11. RMII时序

参数	描述	最小值	典型值	最大值	单位
REF_CLK 频率	REF_CLK 的频率		50		MHz
REF_CLK 占空比	REF_CLK 的占空比	35		65	%
t1	TXD_0、TXD_1、TX_EN、RXD_0、RXD_1、CRS_DV、RX_ER 数据建立至 REF_CLK 上升沿	4			ns
t2	REF_CLK上升沿至TXD_0、TXD_1、TX_EN、RXD_0、RXD_1、CRS_DV、RX_ER数据保持	2			ns
t3	输出上升/下降时间	1		5	ns

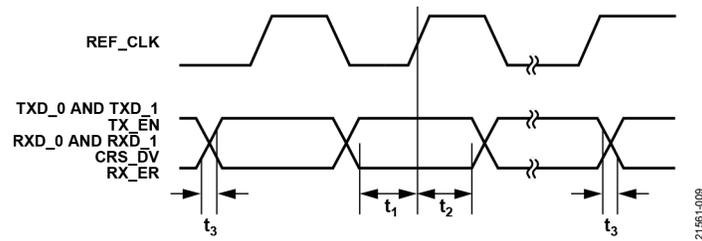


图9. RMII时序

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表12.

参数	额定值
VDDIO至GND	-0.3 V至+3.63 V
LDO_CAP至GND	-0.3 V至+1.1 V
AVDD_3P3至GND	-0.3 V至+3.63 V
MAC接口至GND	-0.3 V至VDDIO + 0.3 V
LINK_ST、GP_CLK至GND	-0.3 V至VDDIO + 0.3 V
MDIO、MDC、INT_N至GND	-0.3 V至+3.63 V
MDI_x_x至GND	-0.3 V至AVDD_3P3 + 0.3 V
LED_0、RESET_N、XTAL_I/CLK_IN/ REF_CLK、XTAL_O	-0.3 V至AVDD_3P3 + 0.3 V
工作温度范围(T_A)	
工业	-40°C至+105°C
存储温度范围	-65°C至+150°C
结温 (T_J 最大值)	125°C
功耗	$(T_J\text{最大值} - T_A)/\theta_{JA}$
引脚温度	JEDEC工业标准
焊接	J-STD-020
静电放电(ESD)	
人体模型(HBM)	
MDI_x_x引脚	4 kV
所有其他引脚	2 kV
机器模型(MM)	200 V
场感应元件充电模式(FICDM)	1.25 kV

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待PCB散热设计。

θ_{JA} 是自然对流下结至环境热阻，在1立方英尺的密封外罩中测量。

θ_{JC_TOP} 是结至外壳热阻。

表13. 热阻

封装类型	θ_{JA}	θ_{JC_TOP}	单位
CP-32-31 ¹	56	28	$^\circ\text{C}/\text{W}$

¹ 测试条件1：热阻仿真值基于JEDEC 2S2P带热通孔的热测试板。参见JEDEC JESD51。

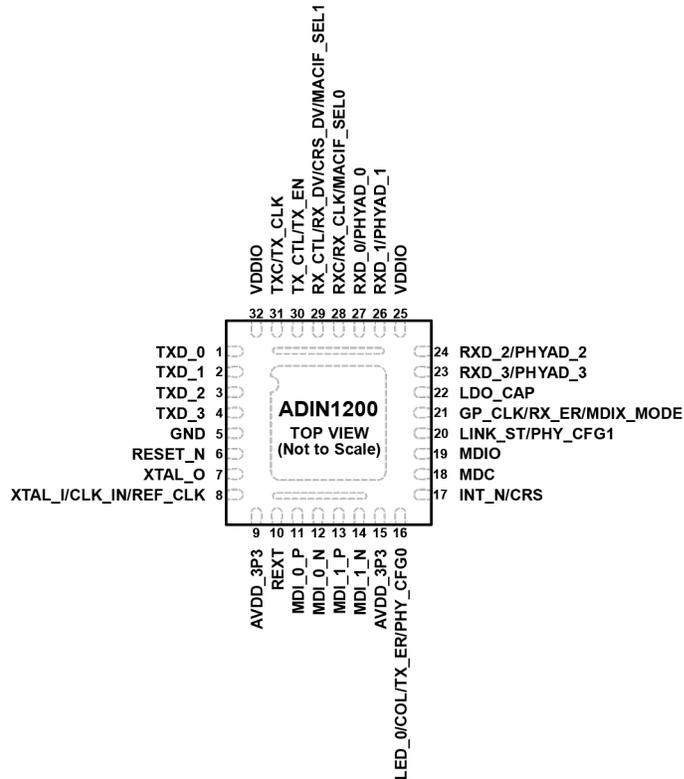
ESD注意事项



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. EXPOSED PAD. THE LFCSP HAS AN EXPOSED PAD THAT MUST BE SOLDERED TO A METAL PLATE ON THE PCB FOR MECHANICAL REASONS AND TO GND. A 4 × 4 ARRAY OF THERMAL VIAS BENEATH THE EXPOSED GND PAD IS ALSO REQUIRED.
2. THE LFCSP ALSO HAS TWO KEEPOUT AREAS TO THE TOP AND BOTTOM OF THE EXPOSED PAD. NO PCB TRACES OR VIAS CAN BE USED IN THESE AREAS.

2156-010

图10. 引脚配置

表14. 引脚功能描述

引脚编号	引脚名称 ¹	描述
时钟接口		
7	XTAL_O	晶振连接的第二引脚。如果在XTAL_I/CLK_IN/REF_CLK上使用单端参考时钟，则XTAL_O应保持开路。
8	XTAL_I/CLK_IN/REF_CLK	晶振的输入(XTAL_I)。 单端25 MHz参考时钟(CLK_IN)。 RMII模式下的50 MHz RMII参考时钟输入(REF_CLK)。
管理接口		
17	INT_N/CRS	管理接口中断引脚输出(INT_N)。低电平有效输出。INT_N低电平表示未屏蔽管理中断。此引脚需要一个1.5 kΩ上拉电阻连接到VDDIO。
18	MDC	MII载波检测输出(CRS)。表示MAC存在载波。
19	MDIO	管理数据时钟输入，最高可达5.5 MHz。 管理数据开漏输入/输出，与MDC时钟同步。此引脚需要一个1.5 kΩ上拉电阻连接到VDDIO。
复位		
6	RESET_N	低电平输入有效。保持低电平时间大于10 μs。此引脚需要一个1 kΩ上拉电阻连接到AVDD_3P3。

引脚编号	引脚名称 ¹	描述
媒介相关接口(MDI)		
11	MDI_0_P	发送/接收差分对 0, 支持 10 Mbps 和 100 Mbps。
12	MDI_0_N	发送/接收差分对 0, 支持 10 Mbps 和 100 Mbps。
13	MDI_1_P	发送/接收差分对 1, 支持 10 Mbps 和 100 Mbps。
14	MDI_1_N	发送/接收差分对 1, 支持 10 Mbps 和 100 Mbps。
MAC 接口		
1	TXD_0	RGMII/RMII/MII 发送数据 0 输入。参见“MAC 接口”部分。
2	TXD_1	RGMII/RMII/MII 发送数据 1 输入。参见“MAC 接口”部分。
3	TXD_2	RGMII/MII 发送数据 2 输入。参见“MAC 接口”部分。
4	TXD_3	RGMII/MII 发送数据 3 输入。参见“MAC 接口”部分。
23	RXD_3/PHYAD_3	RGMII/MII 接收数据 3 输出(RXD_3)。参见“MAC 接口”部分。 PHY 地址硬件配置引脚(PHYAD_3)。
24	RXD_2/PHYAD_2	RGMII/MII 接收数据 2 输出(RXD_2)。参见“MAC 接口”部分。 PHY 地址硬件配置引脚(PHYAD_2)。
26	RXD_1/PHYAD_1	RGMII/RMII/MII 接收数据 1 输出(RXD_1)。参见“MAC 接口”部分。 PHY 地址硬件配置引脚(PHYAD_1)。
27	RXD_0/PHYAD_0	RGMII/RMII/MII 接收数据 0 输出(RXD_0)。参见“MAC 接口”部分。 PHY 地址硬件配置引脚(PHYAD_0)。
28	RXC/RX_CLK/MACIF_SELO	RGMII 接收时钟输出(RXC)。100 Mbps 时为 25 MHz, 10 Mbps 时为 2.5 MHz。 MII 接收时钟输出(RX_CLK)。100 Mbps 时为 25 MHz, 10 Mbps 时为 2.5 MHz。 MAC 接口选择硬件配置引脚(MACIF_SELO)。参见表 25。
29	RX_CTL/RX_DV/CRS_DV/MACIF_SEL1	RGMII 接收控制信号(RX_CTL)。RX_CTL 是 RX_DV 和 RX_ER 信号的组合, 使用 RXC 的两个边沿。 MII 模式接收数据有效输出(RX_DV)。在 MII 模式下, 当该引脚置为高电平时, 表示 RXD_0 至 RXD_3 上存在有效数据。 RMII 模式载波检测/接收数据有效信号(CRS_DV)。CRS_DV 是 CRS 和 RX_DV 信号的组合, 当接收媒介不空闲时置为有效。参见“RMII 接口模式”部分。 MAC 接口选择硬件配置引脚(MACIF_SEL1)。参见表 25。
31	TXC/TX_CLK	RGMII 发送时钟输入(TXC)。100 Mbps 时为 25 MHz, 10 Mbps 时为 2.5 MHz, 从 MAC 到 PHY。 从 PHY 到 MAC 的 MII 输出时钟(TX_CLK)。TX_CLK 频率在 10BASE-Te 模式下为 2.5 MHz, 在 100BASE-TX 模式下为 25 MHz。TX_CLK 与 XTAL_I/CLK_IN 时钟具有恒定的相位关系。
30	TX_CTL/TX_EN	RGMII 发送控制信号(TX_CTL)。TX_CTL 是 TX_EN 和 TX_ER 信号的组合, 使用 TXC 的两个边沿。 从 MAC 到 PHY 的 RMII/MII 模式发送使能输入(TX_EN)。TX_EN 表示 TXD_x 线上有发送数据。

引脚编号	引脚名称 ¹	描述
LED接口 16	LED_0/COL/TX_ER/ PHY_CFG0	通用LED的可编程LED指示灯，具有8 mA驱动能力(LED_0)。该LED可以是高电平有效或低电平有效。推荐使用低电平有效。ADIN1200在上电和复位期间自动检测LED的连接。默认情况下，LED_0在链路建立时亮起，并在有活动时闪烁（此行为可通过软件更改）。MII冲突检测输出(COL)。COL表示冲突条件。 从MAC到PHY的MII发送错误检测输入(TX_ER)。默认情况下，仅当利用硬件引脚配置使能EEE广告时才可用（参见表15）。 PHY配置的4电平硬件配置引脚(PHY_CFG0)（参见表23）。
其他引脚 10	REXT	外部偏置基准电阻。将一个1% 3.01 kΩ电阻（1%容差、100 ppm/°C温度系数(TC)）连接到GND。
20	LINK_ST/PHY_CFG1	用于输出链路状态的通用输出(LINK_ST)。LINK_ST指示是否已建立有效链路。默认情况下，LINK_ST为高电平有效（可通过软件更改）。 PHY配置的4电平硬件配置引脚(PHY_CFG1)（参见表23）。
21	GP_CLK/RX_ER/ MDIX_MODE	可提供PHY时钟的通用输出(GP_CLK)。 RMII/MII模式接收错误检测输出(RX_ER)。当RX_ER置为高电平时，表示PHY检测到接收错误。 用于自动MDIX配置的4电平硬件配置引脚(MDIX_MODE)。参见表24。
22	LDO_CAP	内部0.9 V数字内核电源输出引脚。将0.1 μF陶瓷电容连接到GND并尽可能靠近此引脚。
电源和接地引脚 5	GND	地。该引脚必须连接到电路板上的接地。
9、15	AVDD_3P3	PHY接口、模拟电路、晶体振荡器、数据链路层(DLL)、RESET_N和LED电路的3.3 V电源输入。将0.1 μF和0.01 μF电容连接到GND并尽可能靠近这些引脚。
25、32	VDDIO	3.3 V/2.5 V/1.8 V MDIO和MAC接口电源输入。将0.1 μF和0.01 μF电容连接到GND并尽可能靠近这些引脚。如果使用3.3 V，VDDIO和AVDD_3P3可以连接到同一电源以最大限度地减少电源。
	EP	裸露焊盘。LFCSP封装具有裸露焊盘，出于机械方面的考虑，必须将其焊接到PCB的金属片及GND。裸露GND焊盘下方也需要4×4的热通孔阵列。 该LFCSP封装还有两个邻近裸露焊盘的裸露电源杆，分为位于顶部和底部，如封装外形图所示。这些电源杆连接到内部电源轨，周围的区域是禁入区。

¹ 如果功能信号和硬件引脚配置信号共享一个引脚，则硬件引脚配置信号为引脚名称的最后一项，并且在整个数据手册中，该引脚将通过功能信号来指称。

表15. 各MAC接口选项的引脚功能描述

引脚编号	引脚名称 ¹	MAC接口引脚功能 ²			
		RGMII	MII和EEE广告禁用 ³	MII和EEE广告使能 ^{3,4}	RMII
1	TXD_0	TXD_0	TXD_0	TXD_0	TXD_0
2	TXD_1	TXD_1	TXD_1	TXD_1	TXD_1
3	TXD_2	TXD_2	TXD_2	TXD_2	
4	TXD_3	TXD_3	TXD_3	TXD_3	
8	XTAL_I/CLK_IN/REF_CLK				REF_CLK ⁵
16	LED_06/COL/TX_ER		COL	TX_ER	
17	INT_N5/CRS		CRS		RX_ER
21	GP_CLK5/RX_ER		RX_ER	RX_ER	
23	RXD_3	RXD_3	RXD_3	RXD_3	
24	RXD_2	RXD_2	RXD_2	RXD_2	
26	RXD_1	RXD_1	RXD_1	RXD_1	RXD_1
27	RXD_0	RXD_0	RXD_0	RXD_0	RXD_0
28	RXC/RX_CLK	RXC	RX_CLK	RX_CLK	
29	RX_CTL/RX_DV/CRS_DV	RX_CTL	RX_DV	RX_DV	CRS_DV
30	TX_CTL/TX_EN	TX_CTL	TX_EN	TX_EN	TX_EN
31	TXC/TX_CLK	TXC	TX_CLK	TX_CLK	

¹ 为清楚起见，忽略了硬件引脚配置信号。

² 无论字段是否留空，引脚功能都是引脚名称列中列出的第一个功能。

³ 利用硬件引脚配置使能/禁用EEE广告。参见“硬件配置引脚”部分。

⁴ EEE不支持半双工，因此不需要CRS或COL引脚。

⁵ 使用RMII MAC接口选项时，必须在XTAL_I/CLK_IN/REF_CLK引脚上提供50 MHz参考时钟。

⁶ 这些引脚功能也可以通过软件重新配置。

典型性能参数

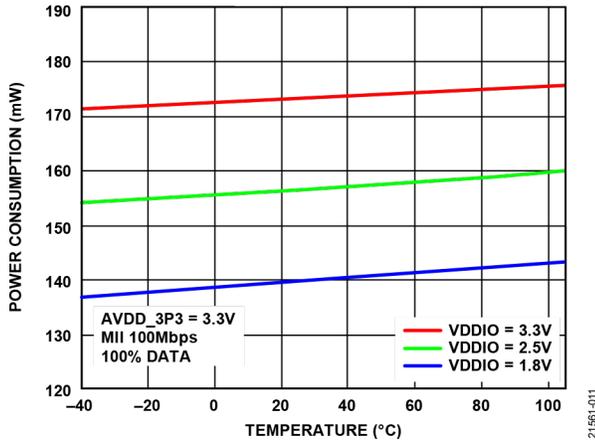


图11. 功耗与温度的关系, VDDIO电源, 100 Mbps, 100%数据

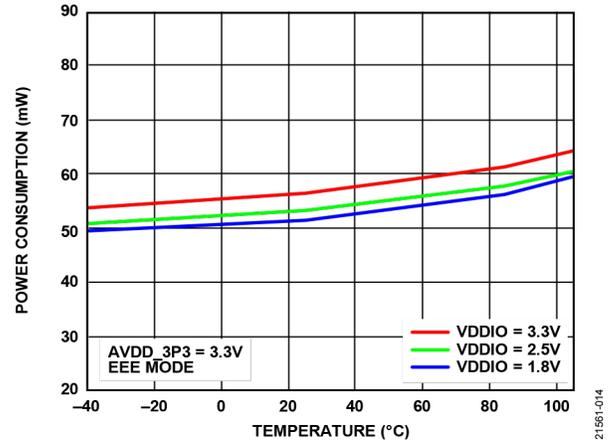


图14. 不同VDDIO电源电压下功耗与温度的关系, EEE模式

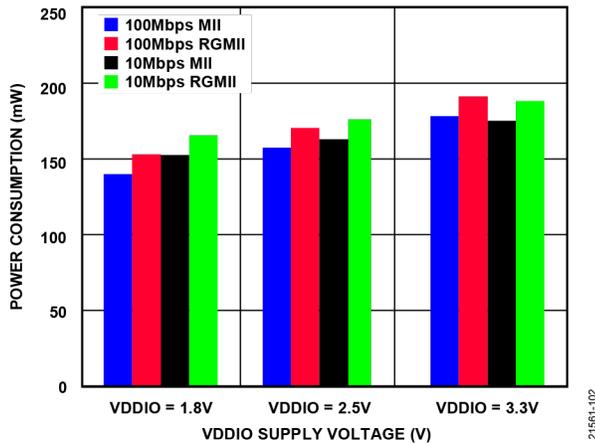


图12. 不同MAC接口速度下功耗与VDDIO电源电压的关系

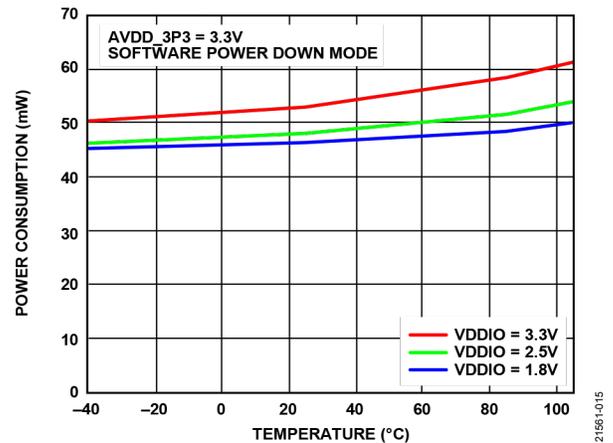


图15. 不同VDDIO电源电压下功耗与温度的关系

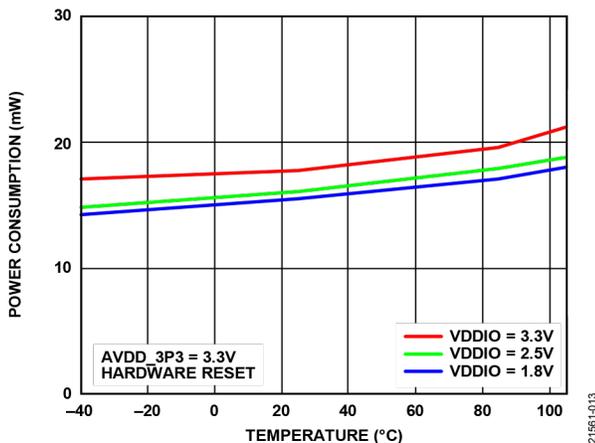


图13. 不同VDDIO电源电压下功耗与温度的关系, 硬件复位

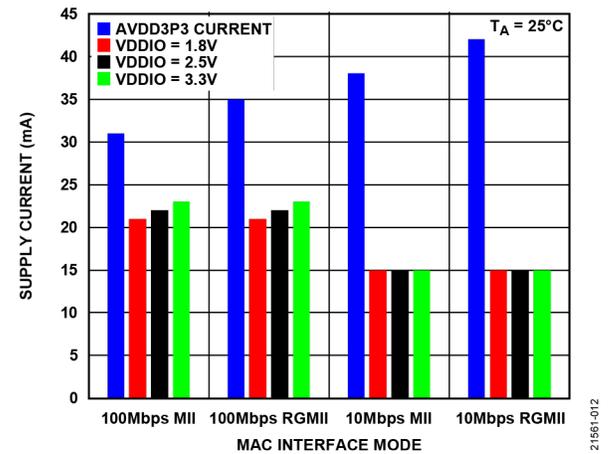


图16. 不同VDDIO电源电压下电源电流与MAC接口模式的关系

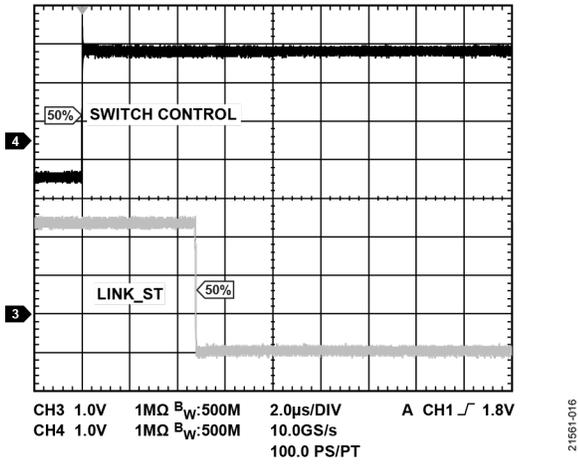


图17. 增强型链路检测100 Mbps、100 m电缆，单线断开

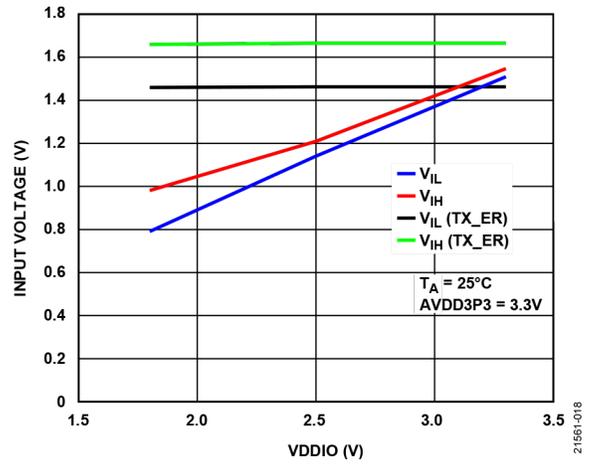


图19. 数字输入三电平与VDDIO的关系

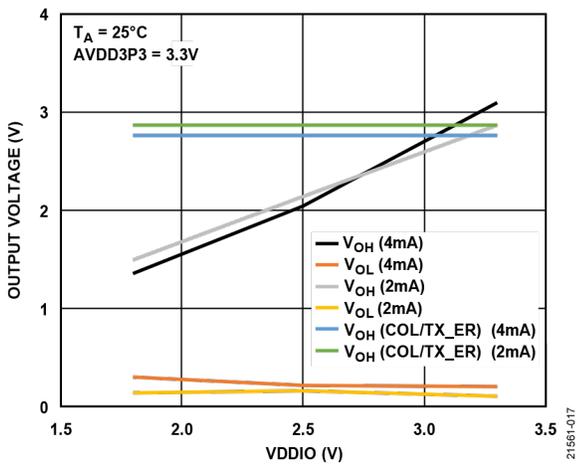


图18. 数字输出三电平与VDDIO的关系

工作原理

ADIN1200是一款具有低延迟特性的低功耗、鲁棒、单端口、10 Mbps和100 Mbps以太网收发器，主要设计用于工业以太网应用。此设计集成了高效以太网PHY内核、所有相关的公共模拟电路、输入和输出时钟缓冲、管理接口和子系统寄存器，以及用来管理复位和时钟控制及硬件引脚配置的MAC接口和控制逻辑。

ADIN1200通过外部变压器与双绞线介质直接接口，当以100 Mbps和10 Mbps速度运行时，能够支持长达180米的电缆。

选择10 Mbps速度时，器件默认使用10BASE-Te发送电平以10BASE-Te模式工作。ADIN1200可通过软件配置为使用更大的10BASE-T发送电平以10BASE-T模式工作。10BASE-Te和10BASE-T的唯一区别是发送电平。假设使用普通Cat-5电缆，配置为10BASE-Te的PHY可以与10BASE-T PHY互操作。

ADIN1200提供了一套诊断特性，用户可以在运行期间或链路关断时分析链路的质量。

图20显示了主通道模块的简化示意图。下面介绍各模块。

模拟前端(AFE)

AFE级由混合级、可编程增益放大器(PGA)和模数转换器(ADC)组成。混合级的功能是从输入信号中移除发送的信号，从而支持在双绞线上进行全双工操作。PGA级在传入的信号到达ADC之前对信号进行缩放。增益级基于ADC的输出来控制调整，以确保施加于ADC的信号最大化，但仍在ADC的量程内。

物理媒介附件(PMA)

PMA模块由前馈均衡器(FFE)级组成，用于消除符号间干扰(ISI)。

以太网电缆的双绞线对在内部并未彼此屏蔽。因此，在一对线上发送的信号会耦合到另一对线。当不匹配或电缆连接器导致发送器与线路不匹配时，会观测到作为回波的反射。从均衡器输出中减去回波和串扰的估计值。

基线漂移是外部变压器的伪像，在低频时会衰减。当连续发送具有相同标志的符码时，接收器端的信号会减弱。基线漂移模块会监视并纠正，确保降低接收到符码错误的可能性。

发送功能

100BASE-TX模式

对于100BASE-TX模式，首先将4位数据编码为以125 Mbps运行的5位串行比特流。然后将该比特流发送到加扰器，在其中被编码为三电平多电平发送(MLT3)格式以由PMA发送。

10BASE-Te模式

对于10BASE-Te模式，PHY发送和接收曼彻斯特编码数据。

接收功能

100BASE-TX模式

经过解扰和5位转4位解码后，PMA将传入的3电平MLT3序列解码为4位数据。

10BASE-Te模式

内核对曼彻斯特编码的接收信号进行解码。

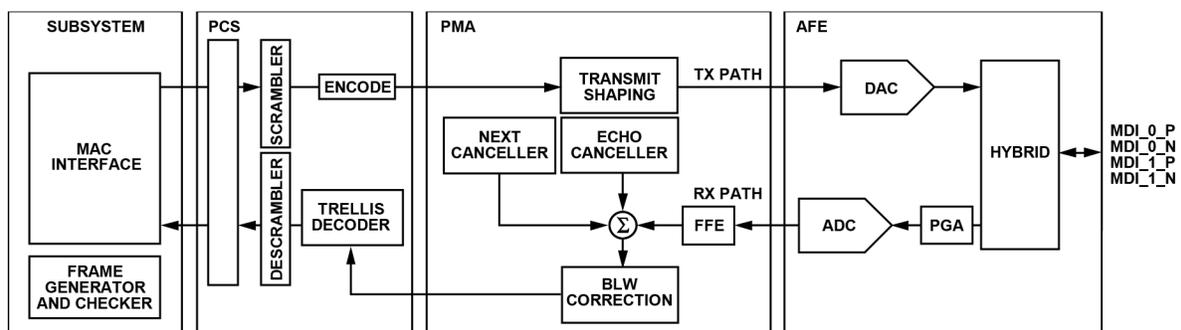


图20. 简化通道功能框图

21551-022

MAC接口

ADIN1200提供了RGMII、MII或RMII MAC接口选项。MAC接口可通过硬件配置引脚或通过软件选择。所有MAC接口都能支持10 Mbps和100 Mbps的数据速率。

RGMII接口模式

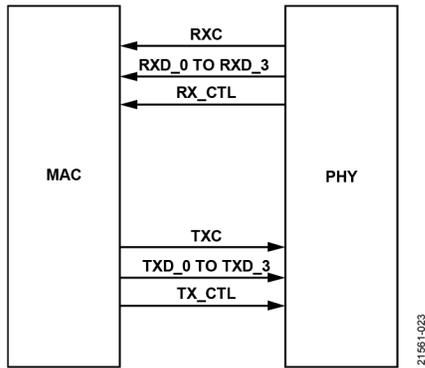


图21. RGMII MAC-PHY接口信号

对于接收接口，ADIN1200生成25 MHz或2.5 MHz RXC信号，以分别同步100BASE-TX和10BASE-Te模式中的RXD_x接收数据。RX_CTL是RX_DV和RX_ER信号（如“MII接口模式”部分所述）的组合，使用RXC信号的两个边沿。ADIN1200在RXC的正边沿上发送RX_DV，在RXC的负边沿上发送RX_DV和RX_ER的组合（XOR函数）。

对于发送接口，MAC在100BASE-TX或10BASE-Te模式下分别使用25 MHz或2.5 MHz驱动TXC；MAC在TXC的两个边沿上发送TXD_x数据。TX_CTL是TX_EN和TX_ER信号的组合，使用TXC的两个边沿。TX_EN在TXC的正边沿上发送，TX_EN XOR TX_ER在TXC的负边沿上发送。由于数据在时钟的两个边沿上发送，因此两个时钟边沿需要2 ns的精确延迟（参见图5）。这可确保延迟时钟位于数据窗口的中心，从而准确捕获数据。使用硬件引脚配置设置（参见表25），可以仅在RXC上使能此2 ns延迟，或在RXC和TXC上同时使能此2 ns延迟。这些延迟也可以在软件中配置。图22所示的40 ns时间适用于100BASE-TX，在10BASE-T的情况下为400 ns。

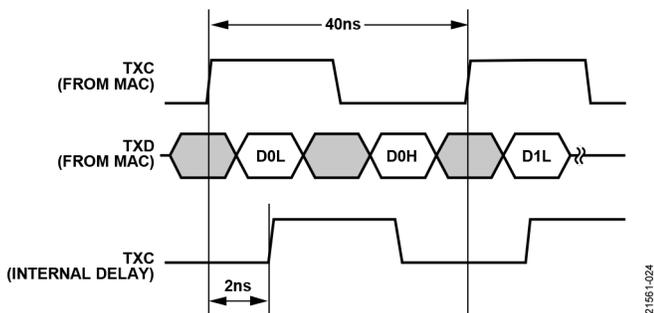


图22. DLL波形

MII接口模式

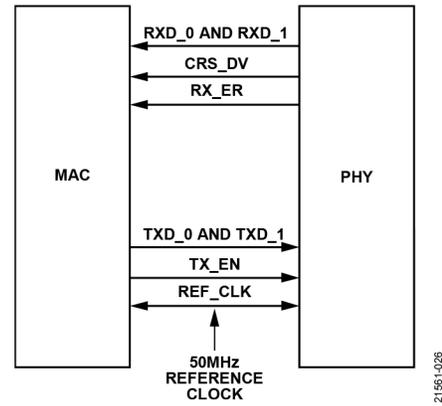


图23. MII MAC至PHY接口信号

对于接收接口，ADIN1200生成25 MHz或2.5 MHz RX_CLK信号，以分别同步100BASE-TX和10BASE-Te模式中的RXD_x接收数据。RX_DV告知MAC RXD_x接收引脚上存在有效数据。如果从MDI侧接收的帧中检测到错误，并且该帧正被发送到MAC，或在假载波事件中，RX_ER会由ADIN1200驱动为高电平（在100BASE-TX模式下）。载波检测输出(CRS)指示是否存在送至MAC的载波；当发生冲突时，冲突检测引脚(COL)会置为有效。对于发送接口，PHY在TX_CLK上生成25 MHz或2.5 MHz参考时钟。MAC在与TX_CLK同步的TXD_x上发送数据。MAC将TX_EN置为有效，告知ADIN1200传输数据可通过TXD_x线获得。TX_ER不用于10BASE-Te模式，仅用于100BASE-TX模式以进行前向错误传播和EEE低功耗空闲(LPI)请求，因此只有通过硬件配置引脚使能EEE时才支持TX_ER。

RMII接口模式

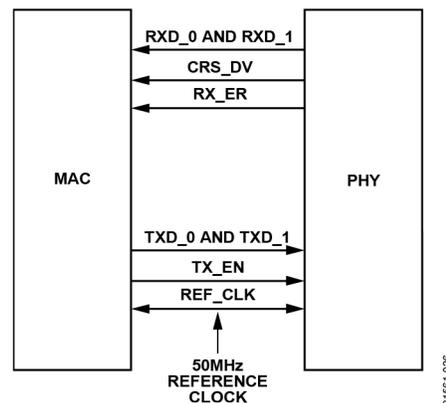


图24. RMII MAC-PHY接口信号

对于发送和接收接口，单个50 MHz参考时钟(REF_CLK)从MAC接口提供给PHY（或从外部源提供给XTAL_I/CLK_IN/REF_CLK引脚）。

接收数据 (RXD_0和RXD_1) 与参考时钟REF_CLK同步变迁。载波检测/接收数据有效信号(CRS_DV)是CRS和RX_DV信号的组合, 当接收媒介不空闲时置为有效。CRS_DV置为有效与REF_CLK不同步, 但置为无效与REF_CLK同步。在100BASE-TX模式下, RX_ER也与REF_CLK同步, 并在接收帧中检测到错误或在检测到假载波时置为有效。软件可以禁用假载波时RX_ER置为有效。

MAC发送TXD_0和TXD_1数据 (与REF_CLK同步), 并将TX_EN置为有效以告知ADIN1200传输数据可通过TXD_0和TXD_1引脚获得。

自动协商

ADIN1200具有符合IEEE 802.3第28条的自动协商功能, 提供一种在PHY之间交换信息的机制, 使得链路合作伙伴在最高支持的速度下可以采用同一种工作模式。在自动协商过程中, PHY广告其自己的能力并与从链路合作伙伴收到的能力进行比较。达成的工作模式是两个器件共同的最高速度能力和双工设置。

如果链路掉线, 自动协商过程会自动重启。

通过写入MII控制寄存器的RESTART_ANEG位可以请求重启自动协商。

自动协商过程需要一些时间才能完成, 具体取决于交换的页数。IEEE 802.3标准的第28条详细说明了与自动协商相关的定时器。

极性反转纠正

ADIN1200能够检测电缆上是否存在正确极性, 如果不正确, 它能进行校正。如果检测到极性反转, PHY_STATUS_1寄存器会指示这一情况。

自动MDI交叉

ADIN1200能够区分链路合作伙伴之间连接的是直连电缆还是交叉电缆。ADIN1200自动检测并设置MDI配置, 以使其接收器与远程发送器的配置匹配, 从而避免需要交叉电缆或交叉线电缆。关于自动MDI/MDIX过程的详细说明, 请参阅第40条的第40.8.2节。此特性通过硬件绑定配置 (参见表23) 来配置, 或者通过MDIO接口使用软件访问进行更改。

自动协商禁用

10BASE-T_e或100BASE-TX可以使用自动协商, 也可以禁用自动协商。禁用自动协商时, PHY配置为单一速度, 用户必须确保链路两侧配置正确。有关在使能或禁用自动协商的情况下配置器件的更多信息, 请参阅表23。

如果ADIN1200使能了自动协商, 而链路另一侧禁用了自动协商, 则根据IEEE标准, ADIN1200会检测到该差异。随后, ADIN1200尝试以远程PHY配置的速度启动链路。

管理接口

MII管理接口在主机处理器或MAC与ADIN1200之间提供一个双线串行接口, 以便访问子系统和PHY内核管理寄存器中的控制和状态信息。

MII管理接口包括:

- MDC (时钟线)
- MDIO (双向数据线)
- PHYAD_0至PHYAD_3引脚, 配置各PHY的器件地址
- INT_N (管理中断)

接口与IEEE标准802.3第22条和第45条管理帧结构兼容, 分别如表16和表17所示。

- 前同步码: 用于在帧开头建立同步。
- 帧起始:
 - 01表示第22条帧的起始
 - 00表示第45条帧的起始
- OP: 操作代码指示帧事务的类型。
- PHYAD/PRTAD: PHY地址。MSB优先, 只有PHY地址硬件配置匹配的PHY会响应
- REG ADDR/DEVAD: 寄存器地址, MSB优先
- TA: 用于避免读取转换期间的争用, 寄存器地址字段和数据字段之间有2位时间间隔。
- ADDRESS/DATA: 16位字段, MSB优先
- IDLE: 高阻态, MDIO线被上拉电阻拉高

地址0x00到地址0x01F的PHY内核寄存器可以使用第22条指定的接口进行访问。PHY内核扩展管理接口(EMI)寄存器和子系统寄存器可以使用第45条指定的接口在器件地址0x1E处进行访问。然而, 对于不支持该接口的系统, 器件地址0x1E处的寄存器可以使用第22条访问方式通过寄存器0x0010和寄存器0x0011进行访问。

中断(INT_N)

为了响应各种用户可选的条件（IRQ_MASK寄存器，地址0x0018），ADIN1200可以使用INT_N引脚生成中断以供主机处理器或MAC处理。可以选择下列条件以生成中断：

- 速度变化
- 链路状态变化
- 接收状态变化
- MAC接口FIFO上溢/下溢

- 空闲错误计数器饱和
- 收到自动协商页面
- 自动协商状态变化
- MDIO同步丢失
- 电缆诊断变化

发生中断时，系统可以轮询各器件的中断状态寄存器（IRQ_STATUS寄存器，地址0x0019），以确定中断的源头。

表16. 第22条管理接口帧格式

操作	前同步码	帧起始	OP	PHYAD[4:0]	REG ADDR[4:0]	TA	DATA[15:0]	IDLE
读取	32个1	01	10	AAAAA	RRRRR	Z0	d...d	Z
写入	32个1	01	01	AAAAA	RRRRR	10	d...d	Z

表17. 第45条管理接口帧格式

操作	前同步码	帧起始	OP	PRTAD[4:0]	DEVAD[4:0]	TA	ADDRESS/DATA[15:0]	IDLE
地址	32个1	00	00	PPPPP	EEEE	10	A.....A	Z
写入	32个1	00	01	PPPPP	EEEE	10	d...d	Z
读取	32个1	00	11	PPPPP	EEEE	Z0	d...d	Z
读取后递增地址	32个1	00	10	PPPPP	EEEE	Z0	d...d	Z

MDI接口

媒介相关接口(MDI)通过变压器将ADIN1200连接到以太网网络,如图25所示。以MDI配置运行时,MDI_0_x用于发送;以MDIX配置运行时,MDI_0_x用于接收。在10BASE-Te和100BASE-TX模式下,MDI_1_x的用法与MDI_0_x相反。例如,以MDI配置运行时,MDI_1_x用于接收;以MDIX配置运行时,MDI_1_x用于发送。如果使能了自动MDIX,则ADIN1200自动确定是否必须使用MDI或MDIX配置。否则,器件会被强制使用所选的MDI或MDIX配置。

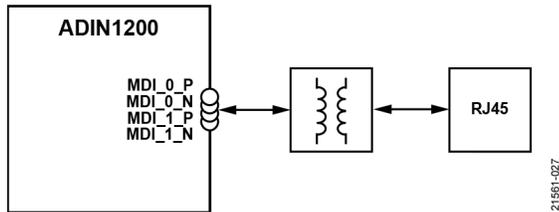


图25. 媒介相关接口

复位工作原理

ADIN1200支持许多复位,包括上电复位、硬件复位和多种软件复位类型。所有这些复位都将ADIN1200(包括PHY内核)置于一个已知状态。每当PHY内核复位时,MAC接口输出引脚(相对于ADIN1200的输出引脚)便被驱动到已知空闲状态。除RXC/RX_CLK之外的所有输出都被驱动为低电平,RXC/RX_CLK被驱动为高电平。

上电复位

ADIN1200包括电源监控电路,可监控所有电源。上电时,ADIN1200处于硬件复位状态,直到每个电源都越过其最小上升阈值。

掉电保护通过如下方式提供:监视电源以检测是否有一个或多个电源电压降至最小下降阈值以下,若有则将器件保持在硬件复位状态,直到电源再次有效。

表18. 掉电保护阈值

电源	最小下降阈值(V)
AVDD_3P3	2.35
VDDIO	1.35

硬件复位

硬件复位由POR电路启动,或通过将RESET_N引脚置为低电平来启动。该引脚应保持低电平至少10 μ s。该引脚包含去毛刺电路,可以抑制短于大约1 μ s的脉冲。

当RESET_N引脚被置为无效时,晶体振荡器电路使能,并且提供时间以使时钟稳定下来。读取并锁存硬件配置引脚的状态,初始化数字和模拟电路,复位PHY内核时钟乘法器单元(CMU)。RESET_N置为无效后5ms,可以访问管理接口寄存器,器件可

以编程。如果使用单端时钟而不是晶振,此时间会明显缩短;RESET_N置为无效后3ms即可访问管理接口寄存器。如果ADIN1200配置为在复位后进入软件关断状态(参见表23),则ADIN1200进入软件关断模式,并生成中断以表示发生了硬件复位。

硬件复位后发生以下事件:

- 晶体振荡器电路使能,并提供时间以使时钟稳定下来。
- 读取硬件配置引脚并锁存值。这些引脚设置子系统中引脚相关寄存器和PHY内核寄存器的默认值。
- MAC接口模块复位。
- PHY内核复位。
- PHY内核CMU复位。
- 根据引脚配置(如果ADIN1200被配置为复位后进入软件关断模式),生成一个指示发生了硬件复位的中断。

软件复位

ADIN1200支持以下软件复位,即在软件控制下复位特定电路模块:

- 使用引脚配置的系统软件复位
- 子系统软件复位
- PHY内核软件复位

使用引脚配置的系统软件复位

ADIN1200支持软件复位功能,其行为与硬件复位类似(参见表19的第1行和第2行)。将GE_SFT_RST_CFG_EN(地址0xFF0D)设置为1,然后将GE_SFT_RST位(地址0xFF0C)设置为1,可以启动使用引脚配置的系统复位。该子系统软件复位遵循与POR和硬件复位相同的复位序列,不过晶体振荡器不禁用,并且会跳过时钟稳定步骤。硬件配置引脚的状态会被读取和锁存。这些配置引脚设置子系统和PHY内核寄存器中的引脚相关寄存器的默认值。MAC接口模块和PHY内核复位。如果选择125MHz时钟作为GP_CLK引脚的PHY输出时钟,则不会复位PHY内核CMU。否则,CMU复位。这种复位与硬件复位的主要区别在于晶体振荡器未禁用。

请注意,这种复位将GE_SFT_RST_CFG_EN位复位为默认值0。

使用引脚配置的子系统软件复位之后，发生以下事件：

- 在这种复位期间，晶体振荡器电路不禁用。
- 读取硬件配置引脚并锁存值。这些引脚设置子系统中引脚相关寄存器和PHY内核寄存器的默认值。
- MAC接口模块复位。
- PHY内核复位。
- PHY内核CMU复位。
- 如果选择125 MHz时钟作为PHY输出时钟，则在此复位期间无法通过GP_CLK获得此时钟。

子系统软件复位

将GE_SFT_RST（子系统寄存器0xFF0C，位0）设置为1可以复位子系统。此位自动清0。设置该位会复位子系统和PHY内核寄存器、MAC接口模块及PHY内核。它不会重新读取硬件配置引脚，而是使用先前锁存的硬件配置引脚值，以设置子系统和PHY内核寄存器中的引脚相关寄存器的默认值。

子系统软件复位后发生以下事件：

- 在这种复位期间，晶体振荡器电路不禁用。
- 不重新读取硬件配置引脚。子系统寄存器和PHY内核寄存器中的引脚相关寄存器复位为硬件配置引脚的先前锁存值所定义的默认值。
- MAC接口模块复位。
- PHY内核复位。

- 如果选择125 MHz时钟作为PHY输出时钟(GP_CLK)，则不会复位PHY内核CMU。否则，CMU复位。
- 在此复位期间，所选PHY输出时钟（如果已使能）可通过GP_CLK获得。

PHY内核软件复位

将MII_CONTROL寄存器（地址0x0000）中的SFT_RST位设置为1，可以复位PHY内核寄存器。此位自动清0。设置该位会复位PHY内核寄存器、MAC接口模块及PHY内核。该位不会重新读取硬件配置引脚，而是使用先前锁存的硬件引脚值，以设置PHY内核寄存器中的引脚相关寄存器的默认值。子系统寄存器不会复位为默认值。这是将PHY内核寄存器复位为软件定义的已知配置的有用方法，无需复位ADIN1200电路的其余部分。

PHY内核软件复位后发生以下事件：

- 在这种复位期间，晶体振荡器电路不禁用。
- 不重新读取硬件配置引脚。PHY内核寄存器中的引脚相关寄存器复位为硬件配置引脚的先前锁存值所定义的默认值。子系统寄存器不会复位为默认值。
- MAC接口模块不复位。
- PHY内核复位。
- 如果选择125 MHz时钟作为PHY输出时钟(GP_CLK)，则不会复位PHY内核CMU。否则，CMU复位。
- 在此复位期间，所选PHY输出时钟（如果已使能）可通过GP_CLK获得。

表19. ADIN1200复位选项总结

复位类型	复位后锁存硬件引脚配置值	子系统寄存器复位	PHY内核寄存器复位	MAC接口模块复位	复位期间禁用XTAL振荡器	GP_CLK输出（如已使能）在复位期间可用
硬件复位	是	是	是	是	是	否
使用引脚配置的子系统软件复位	是	是	是	是	否	否
子系统软件复位	否	是	是	是	否	是
PHY内核软件复位	否	否	是	否	否	是

关断模式

ADIN1200支持多种关断模式：硬件、软件、能量检测关断和EEE LPI模式。最低功耗模式为硬件关断，其中器件完全关闭，无法访问。

硬件关断模式

当不需要ADIN1200工作且功耗需要最小化时，硬件关断是一种有用的模式。当RESET_N引脚置为有效并保持低电平时，ADIN1200进入硬件关断模式。在此模式下，所有模拟和数字电路都被禁用，CMU禁用，时钟关断，唯一的功耗是电路的漏电。此模式下无法访问管理接口寄存器。

硬件关断模式下发生以下事件：

- 所有模拟和数字电路都被禁用。
- MAC接口输出引脚（相对于ADIN1200的输出引脚）为三态。这些引脚内置弱下拉电阻，因此这些输出会被拉低。前提是没有外部上拉电阻连接到这些引脚。
- 所有内部时钟都关断。
- PHY输出时钟（可通过GP_CLK获得）被禁用。
- 管理接口寄存器无法访问。

软件关断模式

在软件关断模式下，ADIN1200关断，管理接口可以访问，可以配置ADIN1200。在使能之前，ADIN1200不会尝试启动链路。

在链路启动之前，当器件正由软件配置时，软件关断模式是一种有用的模式。使用LINK_ST引脚和LED_0引脚上的适当上拉/下拉电阻将SFT_PD位（地址0x0000）的默认值设置为1，可以将ADIN1200配置为复位后进入软件关断模式。当SFT_PD位设置为1时，ADIN1200也会进入软件关断模式。在软件关断模式下，模拟和数字电路处于低功耗状态。通常，CMU被禁用，大多数时钟关断，剩余数字电路的时钟以25 MHz运行。MDI引脚(MDI_x_x)上的任何信号或能量都被忽略，不会启动任何链路。管理接口寄存器可访问，器件可以使用软件进行配置。如果ADIN1200配置为在GP_CLK引脚上输出125 MHz时钟，则CMU使能，此模式下的功耗较高。

软件关断模式下发生以下事件：

- 所有模拟发送和接收电路都被禁用。
- MAC接口输出引脚（相对于ADIN1200的输出引脚）被驱动到已知空闲状态。除RXC/RX_CLK之外的所有输出都被驱动为低电平，RXC/RX_CLK被驱动为高电平。
- 大多数内部时钟都关断。
- 所选PHY输出时钟（如果已使能）可通过GP_CLK获得。
- 管理接口寄存器可访问。

当SFT_PD位清0时，ADIN1200退出软件关断模式。此时，PHY试图根据其配置启动链路。例如，若使能自动协商并使能所有速度，它将广告所有速度并开始发送自动协商链路脉冲。

能量检测关断模式

在能量检测关断模式下，ADIN1200关断，但仍会监视线路的信号能量。通常，ADIN1200在没有电缆插入的情况下进入此模式，并保持此模式，直到远程链路合作伙伴可用。

能量检测关断模式可以通过LINK_ST引脚和LED_0引脚上的适当上拉/下拉电阻使能（参见表23），或通过将NRG_PD_EN位（PHY_CTRL_STATUS_2寄存器，地址0x0015）设置为1来使能。当PHY正常工作（非软件关断）且能量检测关断模式使能时，线路上无活动数秒后，PHY进入能量检测关断模式。这是一种超低功耗模式，其中模拟和数字电路处于低功耗状态。通常，CMU被禁用，大多数时钟都关断。PHY监视线路的信号能量，每秒发送一个链路脉冲。如果检测到信号能量，则PHY退出能量检测关断模式并开始发送链路脉冲。

能量检测关断模式下发生以下事件：

- 所有模拟和数字电路都被禁用。
- 大多数内部时钟都关断。
- 所选PHY输出时钟（如果已使能）可通过GP_CLK引脚获得。
- 管理接口寄存器可访问。
- PHY监视线路的信号能量。

通常，当拔出电缆时，PHY进入能量检测关断模式；当插入电缆并出现远程链路合作伙伴时，PHY退出此模式。在该模式下，PHY周期性唤醒并在MDI_0_x和MDI_1_x引脚上发送链路脉冲，确保避免锁定，即本地和远程PHY均处于能量检测关断模式。

EEE, 低功耗空闲模式

ADIN1200支持EEE, 并且符合IEEE 802.3标准。当本地或远端均未发送数据时, 可以使用EEE来降低功耗。两个器件均须使能和广告EEE。如果本地和远程PHY广告了EEE, 则启动EEE链路。如果没有数据要发送, MAC便请求ADIN1200进入EEE低功耗空闲模式。当MAC或远程PHY希望发送数据时, ADIN1200 PHY唤醒 (100BASE-TX为20 μ s内), 可以发送或接收数据。

适当处理较低功耗操作和正常操作之间的转换, 使得所有帧保持完整并正常传输, 并且上层协议不知道PHY电平的任何变化。当发送数据时, 它继续以建立的最快链路速度发送。

EEE模式可以通过LINK_ST引脚和LED_0引脚上的适当上拉/下拉电阻使能 (参见表23), 或通过将EEE_100_ADV位 (EEE_ADV寄存器, 地址0x8001) 设置为1来使能。在链路自动协商期间, 本地和远程PHY广告其支持的速度, 包括是否支持EEE, 然后PHY尝试以两侧均支持的最高速度启动链路。对于所建立的链路速度, 如果本地和远程PHY均广告了EEE, 则该链路便是EEE链路。如果有一个EEE链路, 且在某个时间点没有数据要发送, 则MAC请求ADIN1200进入EEE LPI模式, 其功耗几乎与能量检测关断模式一样低。ADIN1200周期性唤醒以发送刷新信号, 供链路合作伙伴用来更新自适应滤波器和时序电路以维持链路完整性。

EEE LPI模式下发生以下事件:

- 所有模拟和数字电路都处于低功耗模式。
- 大多数内部时钟都关断。
- 所选PHY输出时钟 (如果已使能) 可通过GP_CLK引脚获得。
- 管理接口寄存器可访问。
- PHY监视线路有无LPI唤醒信号。

当本地或远程PHY希望发送数据时, PHY启动LPI唤醒序列, 然后在20 μ s内 (对于100BASE-TX而言), PHY便可开始发送或接收数据。

状态LED

ADIN1200提供可配置的状态LED。LED可用于指示运行速度、链路状态和双工模式。LED引脚可以配置为高电平有效或低电平有效。建议以低电平有效方式使用LED。ADIN1200在上电和复位期间自动检测LED的连接。例如, 如果检测到引脚被接到电源, 它就会将LED配置为低电平有效操作。默认情况下, LED_0在链路建立时点亮, 当存在活动时闪烁。使用PHY LED控制寄存器LED_CTRL_1、LED_CTRL_2和LED_CTRL_3 (分别为寄存器地址0x001B、寄存器地址0x001C和寄存器地址0x001D), 可以通过软件覆盖LED默认操作。

LED_0引脚也与引脚配置功能共享, 参见表23中的定义。上电和复位时, 该引脚上的电平可能有必要处于一定的值才能根据需要配置ADIN1200 (由引脚到电源的上拉电阻R_HIGH和引脚到GND的下拉电阻R_LOW设置, 如图26所示)。

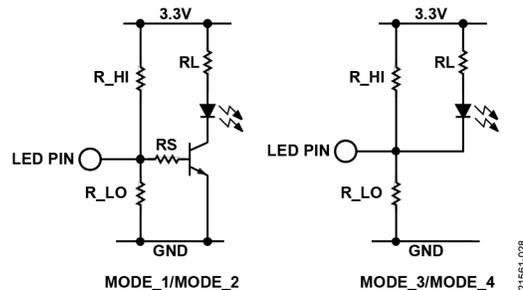


图26. LED_0硬件配置引脚互动

LED的默认操作为低电平有效。因此, 如果默认配置设置为MODE_4, 则使用低电平有效LED的外部LED电路将导致该引脚的读出值为逻辑1, 故LED按预期方式工作。例如, LED在上电和复位时不会点亮。

对于配置设置MODE_3, 低电平有效LED电路可以工作, 检测电压使得低电平有效LED在上电和复位期间仍处于关闭状态, 因为正向电压不足。

对于配置设置MODE_1或MODE_2, 外部晶体管必须将LED驱动为高电平有效LED, 如图26所示。还可以直接从引脚驱动高电平有效LED。然而, 这需要使用具有低正向电压的LED, 而且根据LED的选择, LED可能非常暗淡。

PHY输出时钟

GP_CLK可以提供多种内部PHY时钟信号:

- 125 MHz自由运行时钟
- 25 MHz时钟
- 25 MHz/125 MHz恢复时钟

此时钟选择是在软件中配置。默认情况下, PHY时钟关闭。请注意, 选择125 MHz自由运行时钟对功耗有影响, 因为除了复位和上电期间, CMU都会通电。

电源域

ADIN1200有如下所示的两个电源域; 如果VDDIO从3.3 V供电, 则可以使用单电源供电:

- AVDD_3P3是PHY MDI接口、XTAL振荡器、DLL、RESET_N和LED电路的3.3 V模拟电源输入。
- VDDIO使MDIO和MAC接口电压电源可以独立于ADIN1200上的其他电路进行配置。在大多数情况下, RMI/MII以3.3 V运行, RGMII以2.5 V运行。但是, MAC接口可以在3.3 V、2.5 V或1.8 V下运行, 以使系统灵活性最大, 具体取决于MAC支持的能力。

施加于器件的电源没有顺序要求。更多信息参见“上电时序”部分。

硬件配置引脚

ADIN1200可以在非托管或托管应用中运行。在非托管应用中，PHY的期望操作由硬件配置引脚配置，而无需任何软件干预。对于非托管应用，请勿将PHY配置为在复位后进入软件关断模式，以确保对器件施加电源后，PHY立即尝试启动PHY_CFG1和PHY_CFG0硬件配置引脚所配置的链路。

在托管应用中，软件可通过管理接口(MDIO/MDC)配置PHY。在这种情况下，可以配置PHY在复位后进入软件关断模式，使得PHY可以在尝试链接之前进行配置。

硬件配置引脚是与功能引脚共享的引脚，并且在退出复位时检测引脚上的电压电平。有些硬件配置引脚是多电平检测，有些硬件配置引脚是双电平检测。使用两个电阻R_LOW和R_HIGH（参见图9），可以检测到四种不同的电压电平，如表20所示。只有MODE_1 (L)和MODE_4 (H)与双电平检测引脚相关，它们分别使用10 kΩ下拉电阻和10 kΩ上拉电阻实现。请注意，须将LED_0上拉到AVDD_3P3供电轨，而不是VDDIO。

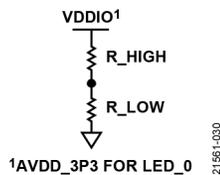


图27. 硬件配置引脚实现

请注意，表20中列出的值假设ADIN1200外部的电路没有产生额外负载。有些配置引脚可能连接到现场可编程门阵列(FPGA)输入，后者可能有自己的内部上拉/下拉电阻，进而占用电阻分压器电压。假设上拉电阻大于43 kΩ，下拉电阻大于37 kΩ，则用2.5 kΩ电阻替换模式1和模式4中使用的10 kΩ电阻。

表20. 配置模式电阻值

模式	R_LOW	R_HIGH	电压阈值
MODE_1	10 kΩ	开路	不适用
MODE_2	10 kΩ	56 kΩ	$>0.1 \times VDDIO^1$
MODE_3	56 kΩ 开路	10 kΩ	$>0.5 \times VDDIO^1$
MODE_4	10 kΩ	10 kΩ	$>0.9 \times VDDIO^1$

¹ 请注意，LED_0引脚的供电轨为AVDD_3P3，而不是VDDIO。因此，应将LED_0引脚上的任何上拉电阻上拉到AVDD_3P3。

选择所示的电压电平，保持低于标准 V_{IH}/V_{IL} 电压电平，以免连接到引脚的禁用器件的输入驱动器中产生直通电流（和未知电压电平）。 V_{IH}/V_{IL} 电压电平与电压和器件相关。因此，并不总是能够避免这种伪像。

选择表20中推荐的大电阻值以使梯形电阻的功耗最小。也可以使用较小值的电阻，但对于所使用的值，用户必须保持相同的电阻比。

硬件配置引脚功能

以下功能可通过ADIN1200硬件引脚配置（引脚详细信息参见表21）：

- PHY地址
- 强制/广告PHY速度
- 复位后软件关断模式
- 降速使能
- 能量检测关断模式
- 高能效以太网使能
- 自动MDIX
- MAC接口选择(RGMII/RMII/MII)

PHY地址配置

PHY地址配置与RXD_3引脚至RXD_0引脚共享，可以根据表22进行配置。ADIN1200有四个引脚可用于配置PHY地址。这些是双电平配置引脚，意味着可以将ADIN1200配置为16个可能PHY地址中的任何一个。许多应用使用默认地址0x0，在这种情况下，可能没有必要在外部配置这些引脚，因为RXD_3引脚至RXD_0引脚内置弱下拉电阻。这假设连接到这些节点的其他系统级电路，例如MAC或以太网交换机，在这些引脚上没有内部上拉电阻。

表21. 硬件配置引脚总结

配置功能	功能引脚/硬件配置引脚名称 ¹	引脚电平	内部下拉电阻 ²	默认配置
PHYAD_0至PHYAD_3配置	RXD_3/PHYAD_3 RXD_2/PHYAD_2 RXD_1/PHYAD_1 RXD_0/PHYAD_0	2 2 2 2	是 是 是 是	PHY地址0x0
强制/广告PHY速度, 复位后软件关断模式, 降速使能, 能量检测关断模式, 高能效以太网	LINK_ST/PHY_CFG1 LED_0/COL/TX_ER/PHY_CFG0	4 4	无 无	未知 (需要外部电阻)
自动MDIX	GP_CLK/RX_ER/MDIX_MODE	4	无	未知 (需要外部电阻)
MAC接口选择	RX_CTL/RX_DV/CRS_DV/MACIF_SEL1 RXC/RX_CLK/MACIF_SELO	2 2	是 是	RGMII RXC/TXC 2 ns延迟

¹ 硬件配置引脚是引脚名称中的最后一个名称。

² 内部下拉电阻的典型值为45 kΩ。

表22. PHY地址配置

PHY地址	PHYAD_3引脚	PHYAD_2引脚	PHYAD_1引脚	PHYAD_0引脚
0	低	低	低	低
1	低	低	低	高
2	低	低	高	低
3	低	低	高	高
4	低	高	低	低
5	低	高	低	高
6	低	高	高	低
7	低	高	高	高
8	高	低	低	低
9	高	低	低	高
10	高	低	高	低
11	高	低	高	高
12	高	高	低	低
13	高	高	低	高
14	高	高	高	低
15	高	高	高	高

表23. PHY配置

强制/广告	PHY速度配置 ¹	其他功能使能 ²	PHY_CFG1	PHY_CFG0	行号
广告速度 (自动协商使能)	10 HD/FD和100 HD/FD	降速、EDPD和EEE	MODE_4	MODE_4	1
	10 HD/FD和100 HD/FD		MODE_1	MODE_4	2
	10 HD/FD和100 HD/FD	复位后软件关断模式	MODE_3	MODE_4	3
	10 FD和100 FD		MODE_4	MODE_3	4
	100 FD		MODE_4	MODE_1	5
强制速度 (自动协商禁用)	10 FD		MODE_1	MODE_2	6
	100 HD		MODE_2	MODE_2	7
	100 FD		MODE_3	MODE_3	8

¹ HD表示半双工，FD表示全双工。

² 如果此列中没有列出任何功能，则使用此行仅配置PHY速度。

PHY配置

PHY_CFG1和PHY_CFG0硬件配置引脚分别与LINK_ST和LED_0功能引脚共享。这些硬件配置引脚具有以下功能，可以根据表23进行配置：

- 强制/广告PHY速度
- 复位后软件关断模式
- 降速使能
- 能量检测关断(EDPD)模式
- EEE使能

PHY_CFG1引脚和PHY_CFG0引脚无内部上拉电阻。因此，必须使用外部电阻来配置这些功能。

强制/广告PHY速度

如表23所示，可以广告所有PHY速度能力或其一个子集，设置半双工或全双工模式，以及使能或禁用自动协商。

表23中的前五行使能了自动协商，例如在广告速度模式的情况下。还可以在禁用自动协商的情况下配置强制速度模式，此时速度为强制设定值（表23的第6行至第8行）。

参考表23，三种PHY_CFG1和PHY_CFG0硬件配置引脚设置产生相同的链路速度配置（第1行、第2行和第3行）。但是，第1行还使能了其他三个功能，第2行未使能任何额外的功能，而在第4行，ADIN1200配置为复位后进入软件关断模式。自动协商和广告速度设置的使能或禁用也可以通过标准IEEE寄存器MII_CONTROL（地址0x0000）和AUTONEG_ADV（地址0x0004）来设置。

复位后软件关断

如果ADIN1200配置为复位后不进入软件关断模式，则ADIN1200在退出复位后会尝试以配置的速度和MDI/MDIX配置启动一个链路。如果ADIN1200配置为复位后进入软件关断模式（第3行），则ADIN1200将在软件关断模式下等待，直到其通过MDIO接口配置，此时可以设置PHY配置为由软件退出软件关断。通过设置SFT_PD位（MII_CONTROL寄存器，地址0x0000）也可以将ADIN1200置于软件关断模式。

降速配置

如果使能降速，则多次尝试仍无法以广告的最高速度建立链路时，PHY会降速到较低速度。为了使用降速，需要使能自动协商并广告多个速度。降速的默认操作可以在软件中覆盖，即写入DN_SPEED_TO_10_EN（PHY_CTRL_2寄存器，地址0x0016，位10）和NUM_SPEED_RETRY（PHY_CTRL_3寄存器，地址0x0017，位[12:10]）。

能量检测关断配置

如果使能了能量检测关断，并且MDI_x_x引脚上没有检测到能量，则ADIN1200进入低功耗模式。因此，当没有连接电缆或远程PHY关断时，此模式可省电。

高能效以太网

如果远程PHY使能且广告了EEE，则当任何一端都没有传输数据时，ADIN1200可以进入低功耗模式（低功耗空闲）。更多信息参见“EEE，低功耗空闲模式”部分。

自动MDIX配置

自动MDIX配置模式与GP_CLK引脚共享, 可以根据表24进行配置。该引脚没有内部上拉电阻。因此, 必须使用外部电阻来设置MDI/MDIX模式。

表24. 自动MDIX配置

配置	MDIX_MODE
手动MDI	MODE_1
手动MDIX	MODE_2
自动MDIX, MDIX优先	MODE_3
自动MDIX, MDI优先	MODE_4

如果使能了自动MDIX (MODE_3或MODE_4), 则ADIN1200自动确定是否必须使用MDI或MDIX配置。否则, ADIN1200会被强制使用所选的MDI或MDIX配置。

如果使能自动MDIX, 则ADIN1200支持自动MDIX, 优先使用MDI或MDIX。这决定了自动交叉算法中以哪个MDI/MDIX设置优先。为了在某些情况下实现更快的MDI/MDIX解析, 当使用交叉电缆时, 应将两个PHY设置为相同的优先配置 (MDI或MDIX); 如果使用直连电缆, 则应设置为相反的优先配置, 其优点是接线不匹配时仍能工作, 从而优化解析自动MDIX的时间。

自动MDIX的默认操作可以在软件中覆盖, 即写入AUTO_MDI_EN位 (PHY_CTRL_1寄存器, 地址0x0012) 和MAN_MDIX位 (PHY_CTRL_1寄存器, 地址0x0012)。

MAC接口选择

MAC接口选择与RX_CTL/RX_DV/CRS_DV引脚和RXC/RX_CLK引脚共享, 可以根据表25进行配置。在RGMII模式下, 可以仅在RXC上使能2 ns延迟, 或在RXC和TXC上同时使能2 ns延迟。RX_CTL/RX_DV/CRS_DV和RXC/RX_CLK引脚内置弱下拉电阻。因此, ADIN1200默认配置为RGMII模式, RXC和TXC上有2 ns延迟。要选择其余MAC接口模式, 必须使用外部电阻。

MAC接口选择也可以通过软件 (GE_RGMII_CFG和GE_RMII_CFG寄存器) 完成, 内部2 ns延迟通过GE_RGMII_CFG寄存器 (地址0xFF23) 中的GE_RGMII_RXLD_EN位和GE_RGMII_TXLD_EN位配置。在对MAC接口配置寄存器进行任何更改之前设置SFT_PD位 (MII_CONTROL寄存器, 地址0x0000), 可将PHY置于软件关断模式。由于RMII模式需要50 MHz参考时钟, 因此不应使用软件将MAC接口配置为RMII。

表25. MAC接口选择

MAC接口选择	MACIF_SEL1	MACIF_SELO
RGMII RXC/TXC 2 ns延迟	低	低
仅RGMII RXC, 2 ns延迟	高	低
MII	低	高
RMII	高	高

片内诊断

环回模式

PHY内核提供多种环回模式：全数字环回、MII环回、外部电缆环回、线路驱动器环回和远程环回（参见图28）。这些环回模式测试并验证PHY内的各种功能模块。使用帧生成器和帧检查器可以对PHY内核中的数字和模拟数据路径进行完全自足的在线测试。

全数字环回

默认环回模式是全数字环回模式。数据在PHY内的模拟/数字边界处循环，以检查PHY操作是否正确，但不要求外部模拟元件、连接或模拟电源准确。在全数字环回模式中，也可以发送到MDI_x_x引脚，这对于发送测试很有用。默认设置LB_ALL_DIG_SEL位（PHY_CTRL_STATUS_1寄存器，地址0x0013），以选择全数字环回模式；同时设置LB_TX_SUP位（PHY_CTRL_STATUS_1寄存器的位6），以抑制到MDI引脚的信号传输。将PHY_CTRL_STATUS_1寄存器设置为0x1001的值可选择传输到MDI_x_x引脚的数字环回。要使能全数字环回模式，还必须设置环回位（MII_CONTROL寄存器，地址0x0000，位14）。

外部电缆环回

外部电缆环回验证整个模拟和数字路径，包括外部元件和电缆。这要求将第0对和第1对短路，以在电缆的末端提供模拟环回。

调整信号处理，使得发送的信号不被取消。设置LB_EXT_EN位（PHY_CTRL_STATUS_1寄存器，地址0x0013）以使用外部电缆环回。

线路驱动器环回

对于线路驱动器环回，MDI_x_x引脚应保持开路，从而传输至未端接的连接器或电缆中。然后，PHY可以通过接收其自身传输的反射来操作。这提供了与外部电缆环回类似的功能，而无需通过拔掉电缆来创建任何电线短路。设置LB_LD_SEL位（PHY_CTRL_STATUS_1寄存器，地址0x0013）以选择线路驱动器环回。要使能线路驱动器环回，还必须设置环回位（MII_CONTROL寄存器，地址0x0000，位14）。

远程环回

远程环回需要建立与远程PHY的链路，用于将从远程PHY接收的数据环回到远程PHY。此链路允许远程PHY验证链路的完整性，确保PHY能接收到正确的数据。将PHY_CTRL_STATUS_1寄存器设置为0x0241的值可选择远程环回，PHY接收的数据也会被发送到MAC。设置PHY_CTRL_STATUS寄存器中的LB_TX_SUP位，将寄存器值设置为0x0341，选择远程环回，PHY接收的数据不会被发送到MAC。对于这种类型的环回，请勿设置环回位（MII_CONTROL寄存器，地址0x0000，位14）。

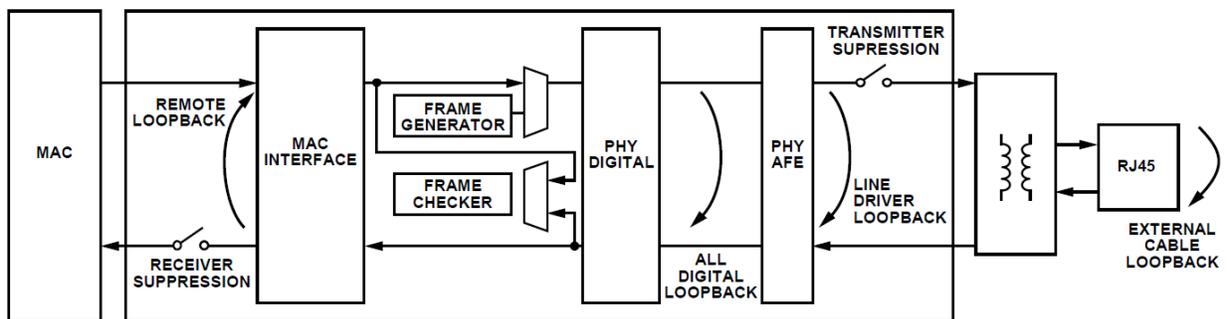


图28. 环回模式

2159-031

帧生成器和检查器

ADIN1200可以配置为生成帧并检查接收的帧（参见图29）。帧生成器和检查器可以独立使用，以仅生成帧或仅检查帧，或者可以一起使用，同时生成帧和检查帧。如果帧环回到远端，则帧检查器可用于检查ADIN1200生成的帧。

使能帧生成器后，PHY的数据源来自帧生成器，而不是MAC接口。要使用帧生成器，还必须使能诊断时钟（DIAG_CLK_EN位，PHY_CTRL_1寄存器，地址0x0012）。

帧生成器控制寄存器配置要发送的帧的类型（随机数据、全1）、帧长度和要生成的帧数。使能帧生成器（设置FG_EN位，地址0x9415），所请求的帧的生成即开始。当帧的生成完成时，帧生成器完成位（FG_DONE位，地址0x941E）设置。

帧检查器通过帧检查器使能位（FC_EN位，地址0x9403）使能。帧检查器可以配置为检查和分析从MAC接口或PHY接收的帧，这可通过帧检查器发送选择位（FC_TX_SEL位，地址0x9407）来配置。帧检查器报告收到的帧数、循环冗余校验(CRC)错误以及各种其他帧错误。帧检查器帧计数器寄存器和帧检查器错误计数器寄存器统计这些事件。

帧检查器计数CRC错误的数量，并在接收错误计数器寄存器（RX_ERR_CNT寄存器，地址0x0014）中报告。为确保帧检查器错误计数器和帧检查器帧计数器同步，当读取接收错误计数器寄存器时，所有计数器皆被锁存。因此，当使用帧检查器时，首先应读取接收错误计数器，然后读取所有其他帧计数器和错误计数器。接收帧计数器寄存器的锁存副本可通过FC_FRM_CNT_H寄存器和FC_FRM_CNT_L寄存器（地址分别为0x940A和0x940B）获得。

除CRC错误外，帧检查器还统计帧长度错误、帧对齐错误、符号错误、过大帧错误和过小帧错误。除接收的帧外，帧检查器在100BASE-TX或10BASE-Te模式下还统计具有奇数半字节的帧，在100BASE-TX模式下还统计前同步码中具有奇数半字节的帧。帧检查器在10BASE-Te模式下还统计具有非整数个半字节的帧，以及虚假载波事件的数量，也就是进入错误帧起始定界符(SSD)状态的次数。

帧生成器和检查器配合有两个PHY的远程环回使用

使用两个PHY器件，用户可以对PHY到PHY的连接进行方便自足的验证。图29概要显示了如何配置每个PHY。在两个器件之间连接外部以太网电缆，PHY 1使用帧生成器产生帧。PHY 2在MAC端使能远程环回。PHY 1发出的帧通过电缆发送，经过PHY 2信号链，由PHY 2远程环回返回，再次经过以太网电缆送回，并由PHY 1帧检查器检查。

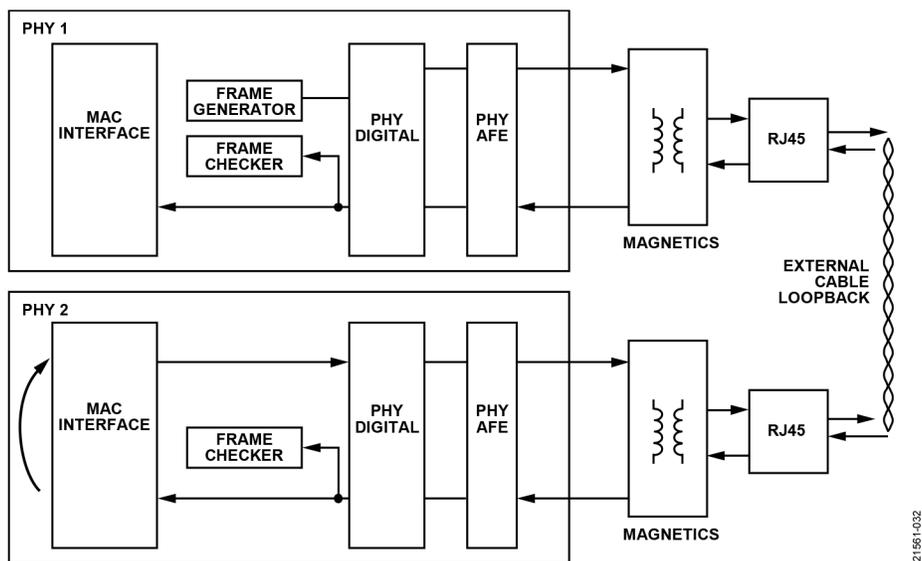


图29. 远程环回用在两个PHY上以进行自检

21561-032

电缆诊断

ADIN1200具有片内电缆诊断功能。该电缆分析可用于检测电缆损伤，以免因此导致链路速度不能建立或性能降低。链路运行时或链路关闭时均可执行电缆分析。

每次启动100BASE-TX链路时，ADIN1200都会根据信号处理情况报告电缆长度的估计值。这可以在电缆诊断电缆长度估计寄存器（CDIAG_CBL_LEN_EST寄存器，地址0xBA25）中读取。此估计不适用于10BASE-Te链路。各线对的极性反转在线对极性反转寄存器位（PHY_2_STATUS寄存器，地址0x001F，位[13:10]）和B_10_POL_INV位（PHY_STATUS_1寄存器，地址0x001A）中报告。线对交换在线对交换寄存器位（PAIR_01_SWAP位，地址0x001A）中报告。当链路启动时，各线对的信号质量在线对的均方误差寄存器（MSE_A寄存器，地址0x8402）中给出。

当链路关闭时，ADIN1200可以使用时域反射仪（TDR）运行电缆故障检测。通过发送脉冲并分析反射，PHY可以检测开路、短路、跨对短路等电缆故障以及与最接近故障的距离。PHY还可以确定线对端接是否良好，以及是否有任何故障。运行电缆故障检测时应将远程PHY置于关断状态或断开PHY，因为远程PHY链路脉冲可能会干扰对反射脉冲的分析，并且可能返回线对繁忙结果。

电缆故障检测在两个线对上自动运行，查看线对故障的所有组合：首先将PHY置于待机状态（LINK_EN位清0，PHY_CTRL_3寄存器，地址0x0017），然后使能诊断时钟（设置DIAG_CLK_EN位，PHY_CTRL_1寄存器，地址0x0012）。然后便可运行电缆诊断（设置CDIAG_RUN寄存器中的CDIAG_RUN位，地址0xBA1B）。每对的结果在电缆诊断结果寄存器CDIAG_DTLTLD_RSLTS_0和CDIAG_DTLTLD_RSLTS_1（分别为地址0xBA1D和地址0xBA1E）中报告。每个线对的第一个故障的距离在电缆故障距离寄存器CDIAG_FLT_DIST_0和CDIAG_FLT_DIST_1（分别为地址0xBA21和地址0xBA22）中报告。

增强型链路检测

ADIN1200支持增强型链路检测，即早期检测和指示链路损耗。这是监视接收信号的特性，如果相当数量的连续信号样本不符合预期，则发出链路关闭的早期指示。ADIN1200可以同时监视大量的连续0、大量的连续1或大量的连续无效电平。

如果使能增强型链路检测，ADIN1200通常在10 μ s内对电缆断裂作出反应，并通过LINK_ST引脚指示链路已关闭。如果未使能增强型链路检测，则ADIN1200遵循IEEE标准，在100BASE-TX中，可能需要超过350 ms或750 ms的时间才会作出反应。

对于100BASE-TX，增强型链路检测通过增强型链路检测使能寄存器位（FLD_EN寄存器，地址0x8E27，位5、位3和位1）使能。

增强型链路检测功能的锁存状态可以通过增强型链路检测状态位（FAST_LINK_DOWN_LAT，地址0x8E38）读取。

数据包起始指示

ADIN1200包括发送和接收侧的数据包起始（SOP）的检测和指示，以支持IEEE 1588时间戳控制，并给予MAC更精确的时序信息。

根据软件配置，发送和接收SOP指示可以通过以下任何引脚获得：GP_CLK、LINK_ST、INT_N和LED_0使用以下覆盖控制寄存器：

- GE_IO_GP_CLK_OR_CNTRL位，地址0xFF3D
- GE_IO_GP_OUT_OR_CNTRL位，地址0xFF3E
- GE_IO_INT_N_OR_CNTRL位，地址0xFF3F
- GE_IO_LED_A_OR_CNTRL位，地址0xFF41

发送SOP的检测是在内部PHY FIFO之后进行。因此，该引脚的SOP指示与MDI_x_x引脚处的实际SOP之间存在一个固定延迟。

数据包起始指示通过设置SOP发送和接收使能位（SOP_TX_EN位和SOP_RX_EN位，地址0x9428）来使能。

SOP默认在帧的第一个字节或半字节置为有效。通过设置SOP SFD使能位（SOP_SFD_EN，地址0x9428），可以将SOP配置为在帧中检测到帧起始定界符（SFD）时置为有效。

默认情况下, SOP在帧的持续时间内一直有效。可以配置SOP, 使其在可编程数量的周期内有效。这是通过设置SOP N周期使能位 (SOP_NCYC_EN, 地址0x9428) 来配置, 这种情况下的周期数通过SOP N乘8减1周期寄存器 (SOP_N_8_CYC_M_1_D_EN寄存器, 地址0x9428, 位[6:4]) 来配置。

ADIN1200数据包起始检测和指示电路具有将每个SOP发送和接收指示延迟可编程数量时钟周期的能力。这种能力在接收方

面的作用是支持具有长延迟的MAC接口, 使得接收帧SOP指示不在MAC接收到帧之前置为有效。在发送方面的作用是让发送SOP指示置位时间接近MDI_x_x引脚上设置的基准点 (从而不必在MAC/交换机芯片侧调整时间戳点)。10BASE-TX模式和10BASE-T模式针对发送和接收有可编程的延迟寄存器。这些延迟通过SOP_RX_DEL寄存器和SOP_TX_DEL寄存器 (分别为地址0x9429和地址0x942A) 设置。

应用信息

系统概述

ADIN1200是一款具有低延迟特性的低功耗、单端口、10 Mbps/100 Mbps以太网收发器，主要设计用于工业以太网应用。图30显示了带有fido5200 REM交换机芯片的基本系统框图。请注意，关于各MAC接口配置模式的具体信息，请查阅“MAC接口”部分。

REM交换机芯片fido5200

fido5200是一款REM交换机芯片（可编程IEEE 802.3 10 Mbps/100 Mbps以太网互联网协议第6版(IPv6)和互联网协议第4版(IPv4)），支持几乎任何第2层或第3层协议。交换机芯片可以通过从主机处理器下载的固件进行定制，以支持所需的协议。

fido5200可配置以支持下列协议：EtherCAT、PROFINET实时(RT)和等时实时(IRT)、有和无器件级环(DLR)的EtherNet/IP、Modbus TCP及POWERLINK。

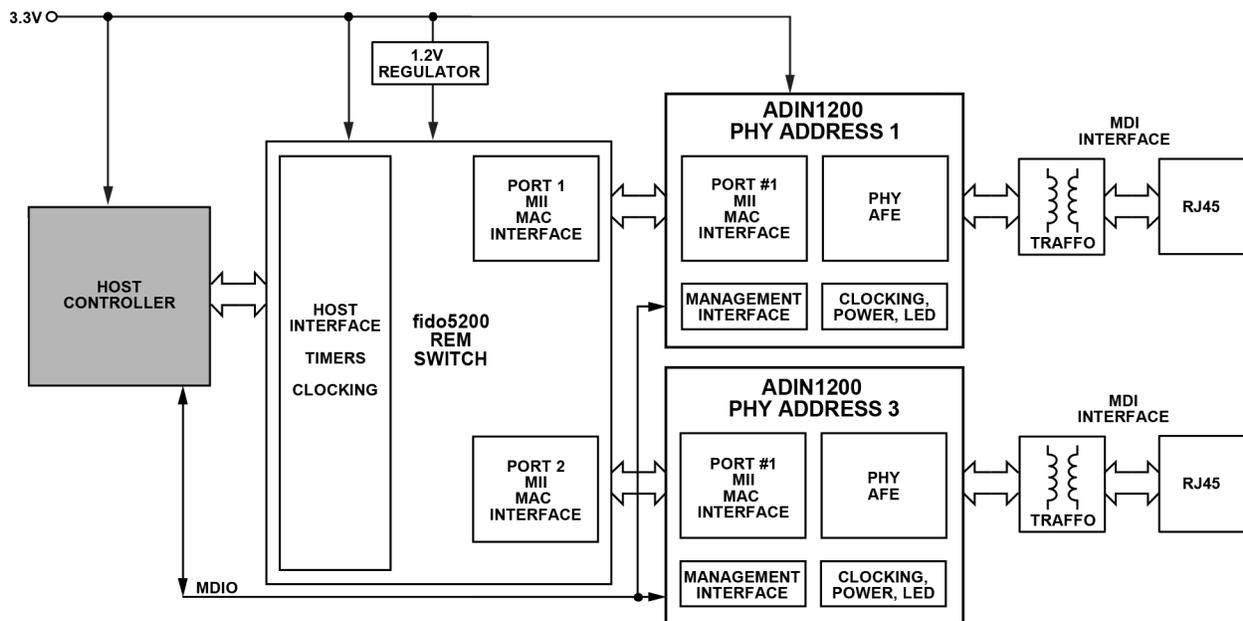


图30. 典型应用简化框图

21961-029

fifo5200和ADIN1200详细说明

图31显示了ADIN1200和fifo5200互连的细节。有些细节经过简化处理。

PHY地址

ADIN1200有四个PHY地址引脚。这些引脚与RXD_3引脚至RXD_0引脚共享，并且是双电平配置引脚，能够配置16个PHY地址。

ADIN1200的所有PHYAD_x引脚上都内置弱下拉电阻。在此应用中，为了用不同地址配置ADIN1200器件，一个PHY的PHYAD_0增加了外部上拉电阻，第二个PHY的PHYAD_0（地址 = 0x1）和PHYAD_1（地址 = 0x3）也增加了外部上拉电阻。外部电阻也可以增加到PHYAD_2和PHYAD_3，以便在外部将其下拉。

检查是否有任何电路的引脚悬空，这可能会影响预期的PHY地址设置。

MAC接口

MAC接口选择与RX_CTL/RX_DV/ CRS_DV/MACIF_SEL1引脚和RXC/RX_CLK/MACIF_SEL0引脚共享，可以根据表25进行配置。为了配置MII接口，应使MACIF_SEL1 = MODE_1（将其拉至地），而MACIF_SEL0 = MODE_4（将其拉至VDDIO）。

速度配置

PHY配置引脚也是共用引脚，没有内部上拉电阻。因此，必须使用外部电阻来配置相应的功能。这些引脚是多电平检测引脚，支持配置四个不同的电压电平以提供更宽的配置范围，如“PHY配置”部分所述。

在图31中，PHY_CFG1有一个外部下拉电阻，配置MODE_1（0 V），而PHY_CFG0有一个上拉电阻，配置MODE_4（3.3 V）。此设置将PHY配置为自动协商并广告10 HD/FD和100 HD/FD速度，如表23所示。连接到链路合作伙伴时，器件会以最高共同速度启动链路。电阻值如表20所示。

MDIX配置

MDI配置由共享功能引脚MDIX_MODE确定。该引脚没有内部上拉电阻。它是一个多电平检测引脚，其配置有四个电压电平选项，必须利用外部电阻来配置。对于此配置，MDIX_MODE引脚具有外部上拉和下拉电阻（阻值如表20所示）。因此，自动MDIX模式根据表26所示进行选择。这使得器件能够自动检测适合链路合作伙伴的适当MDI或MDIX配置。

表26. 自动MDIX配置

配置	MDIX_MODE
手动MDI	MODE_1
手动MDIX	MODE_2
自动MDIX; MDIX优先	MODE_3
自动MDIX; MDI优先	MODE_4

电源

fifo5200和ADIN1200的电源要求是两个电源轨：一个与交换机芯片和PHY共用的3.3 V电源轨，一个用于交换机芯片的1.2 V电源轨。

ADIN1200至少需要一个电源轨。AVDD_3P3是PHY MDI接口、模拟电路、XTAL振荡器、DLL、RESET_N和LED电路的3.3 V模拟电源输入。

VDDIO使MDIO和MAC接口电压电源可以独立于ADIN1200上的其他电路进行配置。VDDIO电源电压可以是1.8 V到3.3 V。

所有器件都必须具有局部解耦，解耦电容应尽可能靠近引脚。

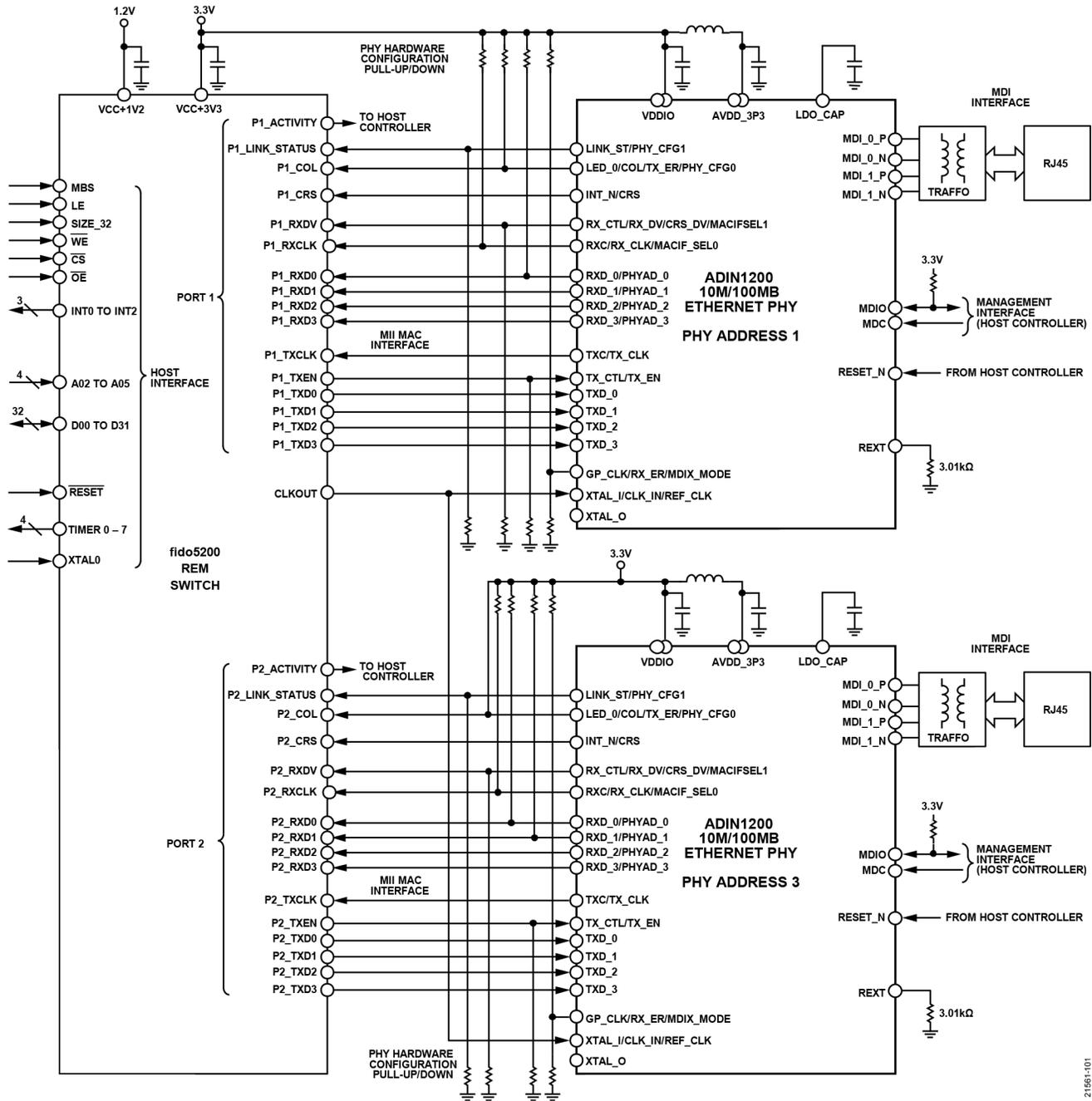


图31. fido5200和两个ADIN1200 PHY的详细框图

21861-01

元件推荐

晶振

外部晶振(XTAL)的典型连接如图32所示。为确保电流消耗最小且杂散电容最少，晶振、电容和地之间的连接应尽可能靠近ADIN1200。欲了解建议负载信息和晶振性能规格，请向各个晶振供应商咨询。

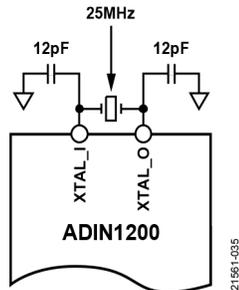


图32. 晶体振荡器连接

外部时钟输入

如果在XTAL_I/CLK_IN/REF_CLK上使用单端参考时钟，则XTAL_O应保持开路。此时钟必须为单极性2.5 V、25 MHz正弦波或方波信号。CLK_IN也可以由1.8 V方波信号驱动。使用RMII MAC接口时，需要50 MHz参考时钟(REF_CLK)。该时钟可以由MAC或外部源提供。

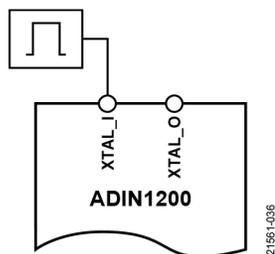


图33. 外部时钟连接

磁体

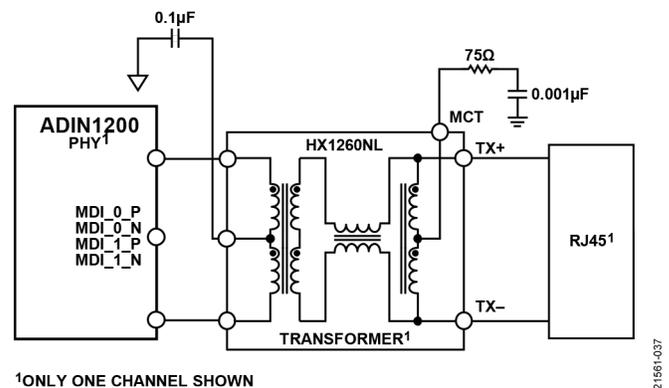
在使用以太网协议发送/接收数据的应用中，任何两个点对点通信节点之间须有电流隔离，以防范故障和瞬变，并实现最佳电磁兼容性能。PHY和RJ45之间的磁耦合是实现这种隔离的最常见方式。

磁体可以是分立式或集成式，两者都有优点和缺点。选择分立方案通常要占据更多电路板空间，但在布局方面更自由，往往比集成磁体更便宜，并提供更好的性能。

集成方法是RJ45连接器插孔与内置磁体的组合，由于元件更少而更紧凑；在空间非常宝贵的应用中，它能压缩所需的面积，但成本往往更高。磁体核心趋于越来越小且彼此更接近，这可能会损害EMC性能，增加串扰的可能性，并且会增加损耗和引入非线性失真，从而对性能产生影响。

为获得最佳性能，建议将集成共模扼流圈的分立变压器用于ADIN1200 PHY。共模扼流圈很重要，因为它能衰减双绞线电缆从环境中拾取的共模信号，从而提高系统的信噪比。共模扼流圈后有自耦变压器级的变压器能进一步衰减共模噪声。

ADIN1200发送驱动器是带片内终端的电压模式驱动器。因此，应通过0.1μF电容将ADIN1200侧变压器上的每个中心抽头引脚分别接地。



¹ONLY ONE CHANNEL SHOWN

图34. 使用分立磁体进行隔离，仅显示了一个通道，每个通道有单独的接地元件

表27列出了磁体的重要注意事项。

表27. 磁体选择

参数	值	条件
匝数比	1CT:1CT	
开路电感	350 μH	最小值: 100 mV, 100 kHz, 8 mA
插入损耗	-1 dB	最大值: 0 MHz至100 MHz

电源要求

ADIN1200具有以下两个电源域，需要至少一个电源：

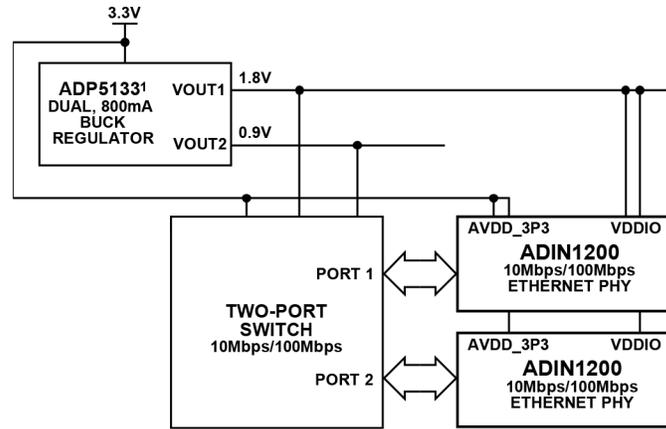
- AVDD_3P3是PHY MDI接口、模拟电路、晶体振荡器、DLL、RESET_N和LED电路的3.3 V模拟电源输入。
- VDDIO使MDIO和MAC接口电压电源可以独立于ADIN1200上的其他电路进行配置。

施加于器件的电源没有顺序要求。更多信息参见“上电时序”部分。

以下简化的系统级电源解决方案显示了三种推荐布置，用于为ADIN1200 PHY和伴随的双端口交换机芯片供电（请注意，根据双端口交换机芯片的选择，电源要求可能与所示情况不同）。

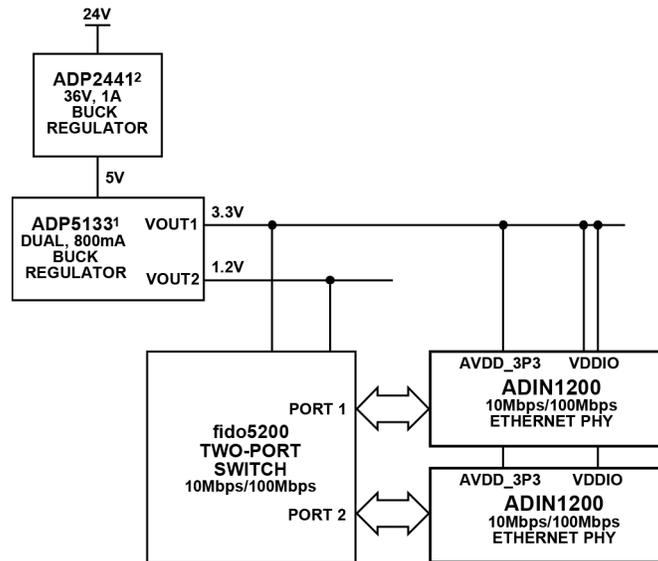
电源去耦

建议通过并联的0.1 μF 电容和0.01 μF 电容将AVDD_3P3和VDDIO电源的各引脚解耦至地。解耦电容应尽量靠近相关引脚，并确保电容地直接连到该层。



¹ALTERNATIVES ARE ADP5023 OR ADP5024 (WITH LDO CHANNEL).

图35. 3.3 V电源推荐解决方案，RGMII以VDDIO = 1.8 V工作



¹ALTERNATIVES ARE ADP5023 OR ADP5024 (WITH LDO CHANNEL).

²ALTERNATIVES ARE ADP2443, 3A CAPABLE.

图36. 24 V系统电源的推荐电源解决方案，使用fido5200，MII以VDDIO = 3.3 V工作

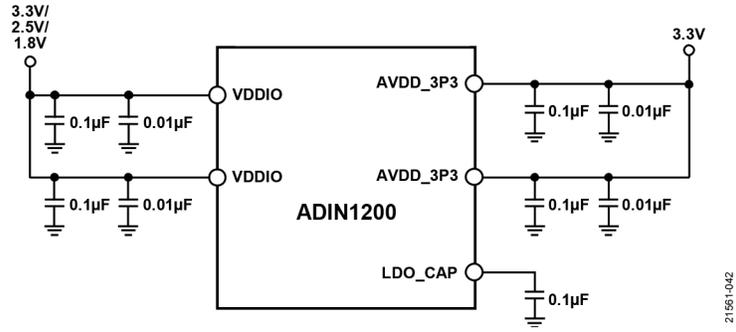


图37. 电源解耦概览

寄存器汇总

MII管理接口在主机处理器或MAC与ADIN1200之间提供一个双线串行接口，以便访问子系统和PHY内核管理寄存器中的控制和状态信息。该接口兼容IEEE标准802.3第22条和第45条管理帧结构。

该器件使用一组额外的间接访问寄存器对IEEE标准802.3规定的寄存器进行了补充。这些寄存器称为扩展管理接口(EMI)寄存器。EMI寄存器可以使用第45条指定的接口进行访问。但是，对于不支持该接口的系统，提供了另一种访问机制，即使用第22条指定的接口。

“PHY内核寄存器汇总”部分和“子系统寄存器汇总”部分列出了PHY内核和子系统的寄存器。

PHY内核寄存器汇总

PHY内核寄存器由以下三个寄存器分组组成：

- 0x0000至0x000F，IEEE标准寄存器
- 0x0010至0x001F，供应商特定寄存器
- PHY内核EMI寄存器，位于器件地址0x1E

IEEE标准寄存器和供应商特定寄存器使用第22条访问机制进行访问，EMI寄存器使用第45条访问机制进行访问。ADIN1200支持与EEE相关联的IEEE第45条MDIO可管理器件(MMD)寄存器。这些寄存器全部重新映射到器件地址0x1E。因此，可以使用与PHY扩展管理寄存器的其余部分相同的器件地址访问这些寄存器。对于不支持第45条指定的接口的系统，EMI寄存器可以利用第22条访问机制通过寄存器0x0010和寄存器0x0011进行访问。

某些寄存器的默认值由硬件配置引脚的值确定，在RESET_N引脚置为无效后可立即读取（参见“硬件配置引脚”部分）。这样，在非托管应用中可以配置ADIN1200的默认操作。表28中的默认值假设ADIN1200配置如下：

- 自动MDIX，MDI优先
- 自动协商使能
- 广告所有速度
- EEE、能量检测关断和降速禁用
- ADIN1200未配置为复位后进入软件关断
- 选择RGMII MAC接口，RXC和TXC上有2 ns内部延迟

表28. PHY内核寄存器汇总

地址	名称	描述	复位	访问
0x0000	MII_CONTROL	MII控制寄存器。	0x1000	R/W
0x0001	MII_STATUS	MII状态寄存器。	0x7949	R
0x0002	PHY_ID_1	PHY标识符1寄存器。	0x0282	R
0x0003	PHY_ID_2	PHY标识符2寄存器。	0xBC20	R
0x0004	AUTONEG_ADV	自动协商广告寄存器。	0x01E1	R/W
0x0005	LP_ABILITY	自动协商链路合作伙伴基页面能力寄存器。	0x0000	R
0x0006	AUTONEG_EXP	自动协商扩展寄存器。	0x0064	R
0x0007	TX_NEXT_PAGE	自动协商下一页发送寄存器。	0x2001	R/W
0x0008	LP_RX_NEXT_PAGE	自动协商链路合作伙伴接收下一页寄存器。	0x0000	R
0x000A	MSTR_SLV_STATUS	主从状态寄存器。	0x0000	R
0x000F	EXT_STATUS	扩展状态寄存器。	0x0000	R
0x0010	EXT_REG_PTR	扩展寄存器指针寄存器。	0x0000	R/W
0x0011	EXT_REG_DATA	扩展寄存器数据寄存器。	0x0000	R/W
0x0012	PHY_CTRL_1	PHY控制1寄存器。	0x0002	R/W
0x0013	PHY_CTRL_STATUS_1	PHY控制状态1寄存器。	0x1041	R/W
0x0014	RX_ERR_CNT	接收错误计数寄存器。	0x0000	R
0x0015	PHY_CTRL_STATUS_2	PHY控制状态2寄存器。	0x0000	R/W
0x0016	PHY_CTRL_2	PHY控制2寄存器。	0x0308	R/W
0x0017	PHY_CTRL_3	PHY控制3寄存器。	0x3048	R/W
0x0018	IRQ_MASK	中断屏蔽寄存器。	0x0000	R/W
0x0019	IRQ_STATUS	中断状态寄存器。	0x0000	R
0x001A	PHY_STATUS_1	PHY状态1寄存器。	0x0300	R
0x001B	LED_CTRL_1	LED控制1寄存器。	0x0001	R/W
0x001C	LED_CTRL_2	LED控制2寄存器。	0x210A	R/W
0x001D	LED_CTRL_3	LED控制3寄存器。	0x1855	R/W

地址	名称	描述	复位	访问
0x001D	LED_CTRL_3	LED控制3寄存器。	0x1855	R/W
0x001F	PHY_STATUS_2	PHY状态2寄存器。	0x03FC	R
0x8000	EEE_CAPABILITY	高效以太网能力寄存器。	0x0006	R
0x8001	EEE_ADV	高效以太网广告寄存器。	0x0000	R/W
0x8002	EEE_LP_ABILITY	高效以太网链路合作伙伴能力寄存器。	0x0000	R
0x8008	EEE_RSLVD	高效以太网解析寄存器。	0x0000	R
0x8402	MSE_A	均方误差A寄存器。	0x0000	R
0x8E27	FLD_EN	增强型链路检测使能寄存器。	0x003D	R/W
0x8E38	FLD_STAT_LAT	增强型链路检测锁存状态寄存器。	0x0000	R
0x9400	RX_MII_CLK_STOP_EN	接收MII时钟停止使能寄存器。	0x0400	R/W
0x9401	PCS_STATUS_1	物理编码子层(PCS)状态1寄存器。	0x0040	R
0x9403	FC_EN	帧检查器使能寄存器。	0x0001	R/W
0x9406	FC_IRQ_EN	帧检查器中断使能寄存器。	0x0001	R/W
0x9407	FC_TX_SEL	帧检查器发送选择寄存器。	0x0000	R/W
0x9408	FC_MAX_FRM_SIZE	帧检查器最大帧大小寄存器。	0x05F2	R/W
0x940A	FC_FRM_CNT_H	帧检查器计数高位寄存器。	0x0000	R
0x940B	FC_FRM_CNT_L	帧检查器计数低位寄存器。	0x0000	R
0x940C	FC_LEN_ERR_CNT	帧检查器长度错误计数寄存器。	0x0000	R
0x940D	FC_ALGN_ERR_CNT	帧检查器对齐错误计数寄存器。	0x0000	R
0x940E	FC_SYMB_ERR_CNT	帧检查器符号错误计数器寄存器。	0x0000	R
0x940F	FC_OSZ_CNT	帧检查器过大帧计数寄存器。	0x0000	R
0x9410	FC_USZ_CNT	帧检查器过小帧计数寄存器。	0x0000	R
0x9411	FC_ODD_CNT	帧检查器奇数半字节帧计数寄存器。	0x0000	R
0x9412	FC_ODD_PRE_CNT	帧检查器奇数前同步码数据包计数寄存器。	0x0000	R
0x9413	FC_DRIBBLE_BITS_CNT	帧检查器运球位帧计数寄存器。	0x0000	R
0x9414	FC_FALSE_CARRIER_CNT	帧检查器假载波计数寄存器。	0x0000	R
0x9415	FG_EN	帧生成器使能寄存器。	0x0000	R/W
0x9416	FG_CNTRL_RSTRT	帧生成器控制和重启寄存器。	0x0001	R/W
0x9417	FG_CONT_MODE_EN	帧生成器连续模式使能寄存器。	0x0000	R/W
0x9418	FG_IRQ_EN	帧生成器中断使能寄存器。	0x0000	R/W
0x941A	FG_FRM_LEN	帧生成器帧长度寄存器。	0x006B	R/W
0x941B	FG_IFG_LEN	帧生成器帧间间隙长度寄存器。	0x000C	R/W
0x941C	FG_NFRM_H	帧生成器帧数高位寄存器。	0x0000	R/W
0x941D	FG_NFRM_L	帧生成器帧数低位寄存器。	0x0100	R/W
0x941E	FG_DONE	帧生成器完成寄存器。	0x0000	R
0x9427	FIFO_SYNC	FIFO同步寄存器。	0x0000	R/W
0x9428	SOP_CTRL	数据包起始控制寄存器。	0x0034	R/W
0x9429	SOP_RX_DEL	数据包起始接收检测延迟寄存器。	0x0000	R/W
0x942A	SOP_TX_DEL	数据包起始发送检测延迟寄存器。	0x0000	R/W
0x9602	DPTH_MII_BYTE	MII模式FIFO深度控制寄存器。	0x0001	R/W
0xA000	LPI_WAKE_ERR_CNT	LPI唤醒错误计数寄存器。	0x0000	R
0xB403	B_10_E_EN	Base 10e使能寄存器。	0x0001	R/W
0xB412	B_10_TX_TST_MODE	10BASE-T发送测试模式寄存器。	0x0000	R/W
0xB413	B_100_TX_TST_MODE	100BASE-TX发送测试模式寄存器。	0x0000	R/W
0xBA1B	CDIAG_RUN	运行自动电缆诊断寄存器。	0x0000	R/W
0xBA1C	CDIAG_XPAIR_DIS	电缆诊断跨对故障检查禁用寄存器。	0x0000	R/W
0xBA1D	CDIAG_DTLTD_RSLTS_0	电缆诊断结果0寄存器。	0x0000	R
0xBA1E	CDIAG_DTLTD_RSLTS_1	电缆诊断结果1寄存器。	0x0000	R
0xBA21	CDIAG_FLT_DIST_0	电缆诊断故障距离线对0寄存器。	0x00FF	R
0xBA22	CDIAG_FLT_DIST_1	电缆诊断故障距离线对1寄存器。	0x00FF	R
0xBA25	CDIAG_CBL_LEN_EST	电缆诊断电缆长度估计寄存器。	0x00FF	R
0xBC00	LED_PUL_STR_DUR	LED脉冲展宽持续时间寄存器。	0x0011	R/W

PHY内核寄存器详解

MII控制寄存器

地址：0x0000，复位：0x1000，名称：MII_CONTROL

该地址对应于标准802.3第22.2.4.1条规定的MII控制寄存器。请注意，此寄存器的默认复位值取决于硬件配置引脚设置。

表29. MII_CONTROL的位功能描述

位	位名称	描述	复位	访问
15	SFT_RST	软件复位位。注意，此位自动清0。当复位操作完成时，该位返回到1'b0。 1：PHY复位。 0：正常工作。	0x0	R/W
14	LOOPBACK	使能/禁用环回模式。 1：使能环回模式。 0：禁用环回模式。	0x0	R/W
13	SPEED_SEL_LSB	速度选择MSB和LSB寄存器位用于配置链路速度。请注意，此寄存器位的默认值可通过硬件配置引脚配置。这样，在非托管应用中可以配置PHY的默认操作。 11：保留。 10：保留。 01：100 Mbps。 00：10 Mbps。	0x0	R/W
12	AUTONEG_EN	自动协商使能位用于使能/禁用自动协商。请注意，此寄存器位的默认值可通过硬件配置引脚配置。这样，在非托管应用中可以配置PHY的默认操作。 1：使能自动协商过程。 0：禁用自动协商过程。	0x1	R/W
11	SFT_PD	软件关断位。请注意，此寄存器位的默认值可通过硬件配置引脚配置。PHY可以保持复位状态，直至被软件初始化。 1：软件关断。 0：正常工作。	0x0	R/W
10	ISOLATE	隔离位。 1：将MAC接口引脚设置为三态（即使活动），使PHY与MAC接口电气隔离。 0：正常工作。	0x0	R/W
9	RESTART_ANEG	重启自动协商位。注意，此位自动清0。当自动协商过程重新启动时，该位返回到1'b0。 1：重启自动协商过程。 0：正常工作。	0x0	R/W
8	DPLX_MODE	双工模式位。 1：全双工。 0：半双工。	0x0	R/W
7	COLTEST	冲突测试位。 1：使能冲突信号测试。 0：禁用冲突信号测试。	0x0	R/W
6	SPEED_SEL_MSB	参见SPEED_SEL_LSB位描述。 11：保留。 10：保留。 01：100 Mbps。 00：10 Mbps。	0x0	R/W
5	UNIDIR_EN	单向使能寄存器位为只读位，读出值始终为1'b0。只有当PHY确定已经建立了有效链路时，才能从媒介独立接口传输。	0x0	R
[4:0]	RESERVED	保留。	0x0	R

MII状态寄存器

地址：0x0001，复位：0x7949，名称：MII_STATUS

该地址对应于IEEE标准802.3第22.2.4.2条规定的MII状态寄存器。

表30. MII_STATUS的位功能描述

位	位名称	描述	复位	访问
15	T_4_SPRT	100BASE-T4能力位读出值始终为1'b0，因为PHY不支持100BASE-T4。	0x0	R
14	FD_100_SPRT	100BASE-TX全双工能力位读出值始终为1'b1，因为PHY支持100BASE-TX全双工。	0x1	R
13	HD_100_SPRT	100BASE-TX半双工能力位读出值始终为1'b1，因为PHY支持100BASE-TX半双工。	0x1	R
12	FD_10_SPRT	10BASE-T全双工能力位读出值始终为1'b1，因为PHY支持10BASE-T全双工。	0x1	R
11	HD_10_SPRT	10BASE-T半双工能力位读出值始终为1'b1，因为PHY支持10BASE-T半双工。	0x1	R
10	FD_T_2_SPRT	100BASE-T2全双工能力位读出值始终为1'b0，因为PHY不支持100BASE-T2。	0x0	R
9	HD_T_2_SPRT	100BASE-T2半双工能力位读出值始终为1'b0，因为PHY不支持100BASE-T2。	0x0	R
8	EXT_STAT_SPRT	扩展状态支持位读出值始终为1'b1，表示PHY在寄存器0x000F中提供扩展状态信息。	0x1	R
7	UNIDIR_ABLE	当单向能力寄存器位为0时，表示当PHY确定有效链路已建立时，PHY只能从媒介独立接口发送数据。此位读出值始终为1'b0。	0x0	R
6	MF_PREAM_SUP_ABLE	管理帧前同步帧码抑制能力位。读出值始终为1'b1，因为PHY接受抑制前同步码的管理帧。	0x1	R
5	AUTONEG_DONE	自动协商完成位。 1：自动协商过程已完成。 0：自动协商过程未完成。	0x0	R
4	REM_FLT_LAT	远程故障位。当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。 1：检测到远程故障情况。 0：未检测到远程故障情况。	0x0	R
3	AUTONEG_ABLE	自动协商能力位。此位读出值始终为1'b1。 1：PHY能够执行自动协商。 0：PHY无法执行自动协商。	0x1	R
2	LINK_STAT_LAT	链路状态位。如果链路随后断开，该位将锁存低电平，直到通过读取解除锁存。 1：链路已启动。 0：链路已关闭。	0x0	R
1	JABBER_DET_LAT	含混检测位。当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。 1：检测到含混情况。 0：未检测到含混情况。	0x0	R
0	EXT_CAPABLE	扩展能力位读出值始终为1'b1，因为PHY提供了一组扩展能力。	0x1	R

PHY标识符1寄存器

地址：0x0002，复位：0x0283，名称：PHY_ID_1

该地址对应于IEEE标准802.3第22.2.4.3.1条规定的供应MII状态寄存器，允许观察16位的组织唯一标识符(OUI)。

表31. PHY_ID_1的位功能描述

位	位名称	描述	复位	访问
[15:0]	PHY_ID_1	组织唯一标识符位[3:18]。	0x283	R

PHY标识符2寄存器

地址：0x0003，复位：0xBC20，名称：PHY_ID_2

该地址对应于IEEE标准802.3第22.2.4.3.1条规定的MII状态寄存器，允许观察6位的OUI以及型号和版本号。

表32. PHY_ID_2的位功能描述

位	位名称	描述	复位	访问
[15:10]	PHY_ID_2_OUI	组织唯一标识符位[19:24]。	0x2F	R
[9:4]	MODEL_NUM	制造商产品型号。	0x2	R
[3:0]	REV_NUM	制造商版本号。	0x0	R

自动协商广告寄存器

地址：0x0004，复位：0x01E1，名称：AUTONEG_ADV

该地址对应于IEEE标准802.3第28.2.4.1.3条规定的自动协商广告寄存器。请注意，此寄存器的默认复位值取决于硬件配置引脚设置。

表33. AUTONEG_ADV的位功能描述

位	位名称	描述	复位	访问
15	NEXT_PAGE_ADV	下一页交换发生在交换基本链路码字之后。下一页交换包括使用正常自动协商仲裁过程发送下一页消息。下一页传输终止于链路段的两端设置下一页位为逻辑0时，表示两端均无更多内容要发送。	0x0	R/W
14	RESERVED	保留。	0x0	R
13	REM_FLT_ADV	远程故障位为简单故障信息的传输提供了一种标准传输机制。	0x0	R/W
12	EXT_NEXT_PAGE_ADV	扩展下一页位表示本地器件支持传输扩展下一页。扩展下一页的使用与协商的数据速率、介质或链路技术互不相关。	0x0	R/W
11	APAUSE_ADV	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位广告全双工链路的非对称暂停操作。	0x0	R/W
10	PAUSE_ADV	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位广告全双工链路的暂停操作。	0x0	R/W
9	T_4_ADV	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位广告100BASE-T4，读出值始终为1'b0，因为器件不支持此技术。	0x0	R
8	FD_100_ADV	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位广告100BASE-TX全双工。请注意，此寄存器位的默认值可通过硬件配置引脚配置，允许在非托管应用中配置PHY的默认操作。	0x1	R/W

位	位名称	描述	复位	访问
7	HD_100_ADV	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位广告100BASE-TX半双工。请注意，此寄存器位的默认值可通过硬件配置引脚配置，允许在非托管应用中配置PHY的默认操作。	0x1	R/W
6	FD_10_ADV	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位广告10BASE-T全双工。请注意，此寄存器位的默认值可通过硬件配置引脚配置，允许在非托管应用中配置PHY的默认操作。	0x1	R/W
5	HD_10_ADV	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位广告10BASE-T半双工。请注意，此寄存器位的默认值可通过硬件配置引脚配置，允许在非托管应用中配置PHY的默认操作。	0x1	R/W
[4:0]	SELECTOR_ADV	选择器字段是一个5位宽的字段，编码32个可能的消息。此字段读出值始终为1'b1，表示PHY仅支持IEEE标准802.3。	0x1	R/W

自动协商链路合作伙伴基页面能力寄存器

地址：0x0005，复位：0x0000，名称：LP_ABILITY

该地址对应于IEEE标准802.3第28.2.4.1.4条规定的链路合作伙伴能力寄存器。

表34. LP_ABILITY的位功能描述

位	位名称	描述	复位	访问
15	LP_NEXT_PAGE	链路合作伙伴下一页位。下一页交换发生在交换基本链路码字之后。下一页交换包括使用正常自动协商仲裁过程发送下一页消息。下一页传输终止于链路段的另一端设置下一页位为逻辑0时，表示两端均无更多内容要发送。	0x0	R
14	LP_ACK	该位由自动协商中的内部握手使用，须予以忽略。 1：链路合作伙伴已成功收到链路码字。 0：链路合作伙伴尚未收到链路码字。	0x0	R
13	LP_REM_FLT	链路合作伙伴远程故障位为简单故障信息的传输提供了一种标准传输机制。	0x0	R
12	LP_EXT_NEXT_PAGE_ABLE	链路合作伙伴扩展下一页位表示链路合作伙伴支持传输扩展下一页。扩展下一页的使用与协商的数据速率、介质或链路技术互不相关。	0x0	R
11	LP_APAUSE_ABLE	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位表示链路合作伙伴广告全双工链路的非对称暂停操作。	0x0	R
10	LP_PAUSE_ABLE	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位表示链路合作伙伴广告全双工链路的暂停操作。	0x0	R
9	LP_T_4_ABLE	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位表示链路合作伙伴广告100BASE-T4。	0x0	R
8	LP_FD_100_ABLE	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位表示链路合作伙伴广告100BASE-TX全双工。	0x0	R
7	LP_HD_100_ABLE	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位表示链路合作伙伴广告100BASE-TX半双工。	0x0	R
6	LP_FD_10_ABLE	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位表示链路合作伙伴广告10BASE-T全双工。	0x0	R

位	位名称	描述	复位	访问
5	LP_HD_10_ABLE	技术能力字段是一个7位宽的字段（该寄存器中的位[11:5]），其中的信息表示所支持的技术（特定于选择器字段值）。该位表示链路合作伙伴广告10BASE-T半双工。	0x0	R
[4:0]	LP_SELECTOR	链路合作伙伴选择器字段。这是一个5位宽的字段，编码32个可能的消息。值0x1表示IEEE标准802.3。	0x0	R

自动协商扩展寄存器

地址：0x0006，复位：0x0064，名称：AUTONEG_EXP

该地址对应于IEEE标准802.3第28.2.4.1.5条规定的自动协商扩展寄存器。

表35. AUTONEG_EXP的位功能描述

位	位名称	描述	复位	访问
[15:7]	RESERVED	保留。	0x0	R
6	RX_NP_LOC_ABLE	接收下一页位置能力位读出值始终为1'b1，因为接收的下一页存储在寄存器0x0008中。 1：接收的下一页存储位置由位5 (RX_NP_LOC)指定。 0：接收的下一页存储位置不由位5 (RX_NP_LOC)指定。	0x1	R
5	RX_NP_LOC	接收下一页位置位读出值始终为1'b1。 1：链路合作伙伴下一页存储在寄存器0x0008中。 0：链路合作伙伴下一页存储在寄存器0x0005中。	0x1	R
4	PAR_DET_FLT	并行检测故障位。当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。 1：通过并行检测功能检测到故障。 0：通过并行检测功能未检测到故障。	0x0	R
3	LP_NP_ABLE	链路合作伙伴下一页能力位。 1：链路合作伙伴支持下一页。 0：链路合作伙伴不支持下一页。	0x0	R
2	NP_ABLE	下一页能力位读出值始终为1'b1，表示PHY支持下一页。 1：本地器件支持下一页。 0：本地器件不支持下一页。	0x1	R
1	PAGE_RX_LAT	收到页面位。当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。 1：已收到新页面。 0：未收到新页面。	0x0	R
0	LP_AUTONEG_ABLE	链路合作伙伴自动协商能力位。 1：链路合作伙伴支持自动协商。 0：链路合作伙伴不支持自动协商。	0x0	R

自动协商下一页发送寄存器

地址：0x0007，复位：0x2001，名称：TX_NEXT_PAGE

该地址对应于IEEE标准802.3第28.2.4.1.6条规定的自动协商下一页发送寄存器。

表36. TX_NEXT_PAGE的位功能描述

位	位名称	描述	复位	访问
15	NP_NEXT_PAGE	下一页(NP)由下一页功能使用，表示随后还有更多页面。否则，这是要传输的最后一页。	0x0	R/W
14	RESERVED	保留。	0x0	R
13	NP_MSG_PAGE	消息页面(MP)由下一页功能使用，表示这是一个消息页面。否则，这是一个未格式化的页面。	0x1	R/W
12	NP_ACK_2	应答2 (Ack2)由下一页功能使用，表示器件有能力符合消息要求。	0x0	R/W
11	NP_TOGGLE	切换(T)由仲裁功能使用，确保在下一页交换期间与链路合作伙伴同步。该位始终取前一交换链路码字中的切换位的相反值。	0x0	R

位	位名称	描述	复位	访问
[10:0]	NP_CODE	消息代码字段是一个11位宽的字段，编码2048个可能的消息。如果消息页面位设置为逻辑0，则链路码字的位编码被解释为未格式化的页面。	0x1	R/W

自动协商链路合作伙伴接收下一页寄存器

地址：0x0008，复位：0x0000，名称：LP_RX_NEXT_PAGE

该地址对应于IEEE标准802.3第28.2.4.1.7条规定的自动协商链路合作伙伴接收下一页寄存器。

表37. LP_RX_NEXT_PAGE的位功能描述

位	位名称	描述	复位	访问
15	LP_NP_NEXT_PAGE	链路合作伙伴下一页(NP)由下一页功能使用，表示链路合作伙伴要发送更多页面。否则，这是要传输的最后一页。	0x0	R
14	LP_NP_ACK	该位由自动协商中的内部握手使用，须予以忽略。 1: 链路合作伙伴已成功收到链路码字。 0: 链路合作伙伴尚未收到链路码字。	0x0	R
13	LP_NP_MSG_PAGE	链路合作伙伴消息页面(MP)由下一页功能使用，表示这是一个消息页面。否则，这是一个未格式化的页面。	0x0	R
12	LP_NP_ACK_2	应答2(Ack2)由下一页功能使用，表示链路合作伙伴有能力符合消息要求。	0x0	R
11	LP_NP_TOGGLE	链路合作伙伴切换(T)由仲裁功能使用，确保在下一页交换期间与链路合作伙伴同步。该位始终取前一交换链路码字中的切换位的相反值。	0x0	R
[10:0]	LP_NP_CODE	链路合作伙伴消息代码字段是一个11位宽的字段，编码2048个可能的消息。如果消息页面位设置为逻辑0，则链路码字的位编码被解释为未格式化的页面。	0x0	R

主从状态寄存器

地址：0x000A，复位：0x0000，名称：MSTR_SLV_STATUS

该地址对应于IEEE标准802.3第40.5.1.1条规定的主从状态寄存器。

表38. MSTR_SLV_STATUS的位功能描述

位	位名称	描述	复位	访问
[15:14]	RESERVED	保留。	0x0	R
13	LOC_RCVR_STATUS	本地接收器状态位。由LOC_RCVR_STATUS的值定义，如IEEE标准802.3的第40.4.5.1条所述。 1: 本地接收器正常 (LOC_RCVR_STATUS = 正常)。 0: 本地接收器不正常 (LOC_RCVR_STATUS = 不正常)。	0x0	R
12	REM_RCVR_STATUS	远程接收器状态位。由REM_RCVR_STATUS的值定义，如IEEE标准802.3的第40.4.5.1条所述。 1: 远程接收器正常 (REM_RCVR_STATUS = 正常)。 0: 远程接收器不正常 (REM_RCVR_STATUS = 不正常)。	0x0	R
11	LP_FD_1000_ABLE	链路合作伙伴1000BASE-T全双工能力位。该位仅在PAGE_RX_LAT位（寄存器0x0006，位1）设置为1时保证有效。 1: 链路合作伙伴支持1000BASE-T全双工。 0: 链路合作伙伴不支持1000BASE-T全双工。	0x0	R
10	LP_HD_1000_ABLE	链路合作伙伴1000BASE-T半双工能力位。该位仅在PAGE_RX_LAT位(6.1)设置为1时保证有效。 1: 链路合作伙伴支持1000BASE-T半双工。 0: 链路合作伙伴不支持1000BASE-T半双工。	0x0	R
[9:8]	RESERVED	保留。	0x0	R
[7:0]	IDLE_ERR_CNT	这些空闲误差计数位包含接收器接收空闲时检测到的错误的累计数量。有关更多信息，请参阅IEEE标准802.3的第40.5.1.1条。	0x0	R

扩展状态寄存器

地址：0x000F，复位：0x0000，名称：EXT_STATUS

该地址对应于IEEE标准802.3第22.2.4.4条规定的扩展状态寄存器。

表39. EXT_STATUS的位功能描述

位	位名称	描述	复位	访问
15	FD_1000_X_SPRT	该位始终为0，因为PHY不支持全双工1000BASE-X。	0x0	R
14	HD_1000_X_SPRT	该位始终为0，因为PHY不支持半双工1000BASE-X。	0x0	R
13	FD_1000_SPRT	该位始终为0，因为PHY不支持全双工1000BASE-T。	0x0	R
12	HD_1000_SPRT	该位始终为0，因为PHY不支持半双工1000BASE-T。	0x0	R
[11:0]	RESERVED	保留。	0x0	R

扩展寄存器指针寄存器

地址：0x0010，复位：0x0000，名称：EXT_REG_PTR

扩展寄存器指针和扩展寄存器数据寄存器提供了一种通过直接可访问寄存器访问间接访问地址映射的机制，适用于站管理不支持第45条的情况。

表40. EXT_REG_PTR的位功能描述

位	位名称	描述	复位	访问
[15:0]	EXT_REG_PTR	扩展寄存器指针和扩展寄存器数据寄存器提供了一种通过正常第22条访问权限访问EMI寄存器的间接机制，适用于站管理不支持第45条的情况。将16位寄存器地址写入EXT_REG_PTR寄存器。通过读取或写入EXT_REG_DATA寄存器可以读取或写入EMI寄存器。EMI寄存器可以使用第45条访问机制直接访问。	0x0	R/W

扩展寄存器数据寄存器

地址：0x0011，复位：0x0000，名称：EXT_REG_DATA

扩展寄存器指针和扩展寄存器数据寄存器提供了一种通过直接可访问寄存器访问间接访问地址映射的机制，适用于站管理不支持第45条的情况。

表41. EXT_REG_DATA的位功能描述

位	位名称	描述	复位	访问
[15:0]	EXT_REG_DATA	扩展寄存器指针和扩展寄存器数据寄存器提供了一种通过正常第22条访问权限访问EMI寄存器的间接机制，适用于站管理不支持第45条的情况。详情参见表40。	0x0	R/W

PHY控制1寄存器

地址：0x0012，复位：0x0002，名称：PHY_CTRL_1

该寄存器提供对各种PHY控制寄存器位的访问，特别是诊断时钟控制和MDI交叉。

表42. PHY_CTRL_1的位功能描述

位	位名称	描述	复位	访问
[15:11]	RESERVED	保留。	0x0	R
10	AUTO_MDI_EN	自动MDI/MDIX解析使能寄存器位允许控制PHY的自动电缆交叉特性。请注意，此寄存器位的默认值可通过硬件配置引脚配置，允许在非托管应用中配置PHY的默认操作。 1：使能自动MDI/MDIX。如果MAN_MDIX为1'b0，则MDI优先；如果MAN_MDIX为1'b1，则MDIX优先。 0：禁用自动MDI/MDIX。	0x0	R/W

位	位名称	描述	复位	访问
9	MAN_MDIX	该位置1且AUTO_MDI_EN位清0时，PHY以MDIX配置工作。该配置没有实现交叉，PCS的逻辑对对应于AFE的物理对。该位清0且AUTO_MDI_EN位清0时，PHY以MDI配置工作，线对交叉。如果AUTO_MDI_EN位置1，则MAN_MDIX位确定MDI还是MDIX优先。 1：以MDIX配置工作。 0：以MDI配置工作。	0x0	R/W
[8:3]	RESERVED	保留。	0x0	R
2	DIAG_CLK_EN	使能PHY诊断时钟。PHY内的某些诊断功能需要此时钟，例如帧生成器/检查器。 1：使能PHY诊断时钟。 0：禁用PHY诊断时钟。	0x0	R/W
[1:0]	RESERVED	保留。	0x2	R/W

PHY控制状态1寄存器

地址：0x0013，复位：0x1041，名称：PHY_CTRL_STATUS_1

该寄存器提供对PHY环回控制位的访问。

表43. PHY_CTRL_STATUS_1的位功能描述

位	位名称	描述	复位	访问
[15:13]	RESERVED	保留。	0x0	R/W
12	LB_ALL_DIG_SEL	设置此位将选择所有数字时钟。数据在PHY内的模拟/数字边界处循环，MAC接口TXD_x引脚上接收的数据环回到RXD_x引脚。这要求设置IEEE环回位（寄存器0x0000，位14）。	0x1	R/W
11	RESERVED	保留。	0x0	R
10	LB_LD_SEL	设置此位将选择线路驱动器环回。如果设置了该寄存器位，则每次设置环回位时，PHY都会进入线路驱动器环回模式。在线路驱动器环回模式下，应将MDI引脚保持开路以产生较大阻抗不匹配。然后，PHY可以通过接收其自身传输的反射来操作。	0x0	R/W
9	LB_REMOTE_EN	设置此位将使能远程环回。这需要与远程PHY建立链路，使用PHY的所有数字和模拟电路将从远程PHY收到的数据环回到远程PHY。	0x0	R/W
8	ISOLATE_RX	设置该位将抑制环回期间发送到MAC的数据。	0x0	R/W
7	LB_EXT_EN	设置此位将使能外部电缆环回。这要求将外部电缆的第0对和第1对以及第2对和第3对短路，以在电缆的末端提供模拟环回。调整PHY的所有数字和模拟电路以及信号处理，使得发送的信号不被取消。不得设置IEEE环回位（寄存器0x0000，位14）。	0x0	R/W
6	LB_TX_SUP	设置该位将抑制所有数字环回中MDI引脚的发送信号。	0x1	R/W
[5:1]	RESERVED	保留。	0x0	R
0	LB_MII_LS_OK	在MII环回期间，设置该位可将链路状态信号设置为正常。	0x1	R/W

接收错误计数寄存器

地址：0x0014，复位：0x0000，名称：RX_ERR_CNT

接收错误计数器寄存器用于访问与PHY中的帧检查器相关的接收错误计数器。

表44. RX_ERR_CNT位功能描述

位	位名称	描述	复位	访问
[15:0]	RX_ERR_CNT	这是与PHY中的帧检查器相关的接收错误计数器。注意，此位读取后会自动清0。	0x0	R

PHY控制状态2寄存器

地址：0x0015，复位：0x0000，名称：PHY_CTRL_STATUS_2

该寄存器提供对各种PHY控制和状态寄存器的访问，特别是自动协商控制以及能量检测关断控制和状态位。

表45. PHY_CTRL_STATUS_2的位功能描述

位	位名称	描述	复位	访问
[15:4]	RESERVED	保留。	0x0	R
3	NRG_PD_EN	设置此位将使能量检测关断。如果持续若干秒没有检测到信号能量，则PHY进入能量检测关断模式。请注意，此寄存器位的默认值可通过硬件配置引脚配置。这样，在非托管应用中可以配置PHY的默认操作。 1：使能量检测关断模式。 0：禁用能量检测关断模式。	0x0	R/W
2	NRG_PD_TX_EN	当该位置1时，在能量检测关断状态，PHY周期性唤醒并发送多个脉冲。这是为了避免锁定情况，即线路两端的PHY均处于能量检测关断模式。请注意，此寄存器位的默认值可通过硬件配置引脚配置。这样，在非托管应用中可以配置PHY的默认操作。 1：在能量检测关断模式下使能脉冲的周期性传输。 0：在能量检测关断模式下禁用脉冲的周期性传输。	0x0	R/W
1	PHY_IN_NRG_PD	该状态位指示PHY处于能量检测关断模式。 1：PHY处于能量检测关断模式。 0：PHY未处于能量检测关断模式。	0x0	R
0	RESERVED	保留。	0x0	R/W

PHY控制2寄存器

地址：0x0016，复位：0x0308，名称：PHY_CTRL_2

该寄存器提供对各种PHY控制寄存器的访问，用以控制时钟、组MDIO访问和自动协商。

表46. PHY_CTRL_2的位功能描述

位	位名称	描述	复位	访问
[15:11]	RESERVED	保留。	0x0	R/W
10	DN_SPEED_TO_10_EN	设置该位将使能降至10BASE-T。请注意，还必须使能自动协商。如果PHY无法以高速启动链路，则必要时它会自动下降到10BASE-T（假设此速度已被广告）。 1：使能降至10BASE-T。 0：禁用降至10BASE-T。	0x0	R/W
[9:7]	RESERVED	保留。	0x6	R/W
6	GROUP_MDIO_EN	组MDIO使能寄存器位可用于将PHY置于组MDIO模式中。在此模式下，PHY会响应对PHY地址5'd31的任何写入或地址操作，就像是对自己的PHY地址的访问一样。建议仅在执行特定序列时设置该位，然后再次清零。	0x0	R/W
[5:0]	RESERVED	保留。	0x8	R/W

PHY控制3寄存器

地址：0x0017，复位：0x3048，名称：PHY_CTRL_3

该寄存器提供对PHY控制寄存器位的访问，用于控制链路使能和自动协商。

表47. PHY_CTRL_3的位功能描述

位	位名称	描述	复位	访问
[15:14]	RESERVED	保留。	0x0	R
13	LINK_EN	设置此位将使能链路。如果禁用链路，则PHY进入待机状态，不会尝试启动链路。待机状态可用于运行诊断，包括电缆诊断。 1：使能链路。 0：禁用链路。	0x1	R/W
[12:10]	NUM_SPEED_RETRY	如果使能了降速，则此寄存器位指定PHY必须以广告的速度尝试启动链路的重试次数，然后才能广告较低速度。默认情况下，PHY在降速之前会尝试启动链路5次（重试4次）。	0x4	R/W
[9:0]	RESERVED	保留。	0x48	R/W

中断屏蔽寄存器

地址：0x0018，复位：0x0000，名称：IRQ_MASK

中断屏蔽寄存器允许屏蔽或取消屏蔽中断。

表48. IRQ_MASK的位功能描述

位	位名称	描述	复位	访问
[15:11]	RESERVED	保留。	0x0	R/W
10	CBL_DIAG_IRQ_EN	电缆诊断中断使能位。 1：使能电缆诊断中断。 0：禁用电缆诊断中断。	0x0	R/W
9	MDIO_SYNC_IRQ_EN	MDIO同步丢失中断使能位。 1：使能MDIO同步丢失中断。 0：禁用MDIO同步丢失中断。	0x0	R/W
8	AN_STAT_CHNG_IRQ_EN	自动协商状态变更中断使能位。 1：使能自动协商状态变更中断。 0：禁用自动协商状态变更中断。	0x0	R/W
7	FC_FG_IRQ_EN	帧检查器/生成器中断使能位。 1：使能中断。 0：禁用变更中断。	0x0	R/W
6	PAGE_RX_IRQ_EN	自动协商页面接收中断使能位。 1：使能自动协商页面接收中断。 0：禁用自动协商页面接收中断。	0x0	R/W
5	IDLE_ERR_CNT_IRQ_EN	空闲错误计数器饱和中断使能位。 1：使能空闲错误计数器饱和中断。 0：禁用空闲错误计数器饱和中断。	0x0	R/W
4	FIFO_OU_IRQ_EN	MAC接口FIFO上溢/下溢中断使能位。 1：使能MAC接口FIFO上溢/下溢中断。 0：禁用MAC接口FIFO上溢/下溢中断。	0x0	R/W
3	RX_STAT_CHNG_IRQ_EN	接收状态变更中断使能位。 1：使能接收状态变更中断。 0：禁用接收状态变更中断。	0x0	R/W
2	LNK_STAT_CHNG_IRQ_EN	链路状态变更中断使能位。 1：使能链路状态变更中断。 0：禁用链路状态变更中断。	0x0	R/W
1	SPEED_CHNG_IRQ_EN	速度变更中断使能位。 1：使能速度变更中断。 0：禁用速度变更中断。	0x0	R/W

位	位名称	描述	复位	访问
0	HW_IRQ_EN	设置此位将使能硬件中断引脚INT_N；当生成中断时，INT_N置为有效。 1：使能硬件中断引脚INT_N。 0：禁用硬件中断引脚INT_N。	0x0	R/W

中断状态寄存器

地址：0x0019，复位：0x0000，名称：IRQ_STATUS

此中断状态寄存器用于检查自上次读取以来触发了哪些中断。当相关中断触发，然后锁存高电平时，每位都会变为高电平，直到读取后才解除锁存（请注意，读取该寄存器中的任何位都会解锁寄存器中的所有位）。即使相关中断未使能，IRQ_STATUS的位也会变为高电平。但是，当生成IRQ_PENDING指示时，仅考虑与已使能中断相关的位。

表49. IRQ_STATUS的位功能描述

位	位名称	描述	复位	访问
[15:11]	RESERVED	保留。	0x0	R
10	CBL_DIAG_IRQ_STAT	如果电缆诊断中断状态位为1，则表示自上次读取以来触发了相关中断。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R
9	MDIO_SYNC_IRQ_STAT	如果MDIO同步丢失中断状态位为1，则表示自上次读取以来触发了相关中断。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R
8	AN_STAT_CHNG_IRQ_STAT	如果自动协商状态变更中断状态位为1，则表示自上次读取以来触发了相关中断。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R
7	FC_FG_IRQ_STAT	如果帧检查器/生成器中断状态位为1，则表示自上次读取以来触发了相关中断。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R
6	PAGE_RX_IRQ_STAT	如果自动协商页面接收中断状态位为1，则表示自上次读取以来触发了相关中断。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R
5	IDLE_ERR_CNT_IRQ_STAT	如果空闲错误计数器饱和和中断状态位为1，则表示自上次读取以来触发了相关中断。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R
4	FIFO_OU_IRQ_STAT	如果MAC接口RGMII发送FIFO上溢/下溢中断状态位为1，则表示自上次读取以来触发了相关中断。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R
3	RX_STAT_CHNG_IRQ_STAT	如果接收状态变更中断状态位为1，则表示自上次读取以来触发了相关中断。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R
2	LNK_STAT_CHNG_IRQ_STAT	如果链路状态变更中断状态位为1，则表示自上次读取以来触发了相关中断。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R
1	SPEED_CHNG_IRQ_STAT	如果速度变更中断状态位为1，则表示自上次读取以来触发了相关中断。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R
0	IRQ_PENDING	如果中断挂起状态位为1，则表示中断已发生并挂起。请注意，当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。	0x0	R

PHY状态1寄存器

地址：0x001A，复位：0x0300，名称：PHY_STATUS_1

该寄存器提供对各种PHY状态寄存器的访问。

表50. PHY_STATUS_1的位功能描述

位	位名称	描述	复位	访问
15	PHY_IN_STNDBY	1表示PHY处于待机状态，不会尝试启动链路。待机状态可用于运行诊断，包括电缆诊断。	0x0	R
14	保留	保留	0x0	R
13	PAR_DET_FLT_STAT	并行检测故障状态位。1表示并行检测过程中发生故障。该位是PAR_DET_FLT (AUTONEG_EXP寄存器，地址0x0006) 的副本。读取PAR_DET_FLT_STAT位不会清除PAR_DET_FLT。	0x0	R
12	AUTONEG_STAT	自动协商状态位。1表示自动协商已完成。该位是AUTONEG_DONE (MII_STATUS寄存器，地址0x0001) 的副本。读取AUTONEG_STAT位不会清除AUTONEG_DONE。	0x0	R
11	PAIR_01_SWAP	1表示第0对和第1对已交换。	0x0	R
10	B_10_POL_INV	1表示10BASE-T信号的极性已经反转。	0x0	R
[9:7]	HCD_TECH	该字段指示链路建立后解析的技术。 111: 保留。 110: 保留。 101: 保留。 100: 保留。 011: 速度解析为100BASE-TX全双工。 010: 速度解析为100BASE-TX半双工。 001: 速度解析为10BASE-T全双工。 000: 速度解析为10BASE-T半双工。	0x6	R
6	LINK_STAT	1表示链路已启动。	0x0	R
5	TX_EN_STAT	1表示发送使能(TX_EN)置为有效。	0x0	R
4	RX_DV_STAT	1表示接收数据有效(RX_DV)置为有效。	0x0	R
3	COL_STAT	1表示冲突置为有效。	0x0	R
2	AUTONEG_SUP	1表示本地和远程PHY支持自动协商。	0x0	R
1	LP_PAUSE_ADV	1表示链路合作伙伴已广告暂停。链路合作伙伴暂停广告位表示链路合作伙伴广告了对全双工链路上暂停操作的支持。该位提供与LP_PAUSE_ABLE相同的信息。	0x0	R
0	LP_APAUSE_ADV	1表示链路合作伙伴已广告非对称暂停。链路合作伙伴非对称暂停广告位表示链路合作伙伴广告了对全双工链路上非对称暂停操作的支持。该位提供与LP_APAUSE_ABLE相同的信息。	0x0	R

LED控制1寄存器

地址：0x001B，复位：0x0001，名称：LED_CTRL_1

该寄存器提供对各种PHY LED控制寄存器位的访问。

表51. LED_CTRL_1的位功能描述

位	位名称	描述	复位	访问
[15:11]	RESERVED	保留。	0x0	R/W
10	LED_A_EXT_CFG_EN	使能LED_0引脚的扩展配置集。另见LED_CTRL_2寄存器，地址0x001C，位[3:0]。 1：使能LED_0引脚的扩展配置集。 0：禁用LED_0引脚的扩展配置集。	0x0	R/W
[9:8]	RESERVED	保留。	0x0	R
[7:4]	LED_PAT_PAUSE_DUR	LED_0的内部LED模式暂停持续时间。在闪烁模式被驱动到LED_0引脚之后，最后一位将保持LED模式暂停持续时间寄存器字段所指定的持续时间。此持续时间等于LED节拍持续时间的值（例如每位的时间）乘以LED模式暂停持续时间寄存器字段的值。另见LED_PAT寄存器字段（LED_CTRL_3寄存器，地址0x001D，位[7:0]）和LED_PAT_TICK_DUR寄存器字段（LED_CTRL_3寄存器，地址0x001D，位[13:8]）。默认闪烁为亮0.5秒、灭0.5秒模式。	0x0	R/W
[3:2]	LED_PUL_STR_DUR_SEL	该位域选择脉冲展宽的持续时间。 11：用户可编程。在这种情况下，脉冲展宽的持续时间可由LED_PUL_STR_DUR寄存器（地址0xBC00，位[5:0]）编程。 10：102 ms。 01：64 ms。 00：32 ms。	0x0	R/W
1	LED_OE_N	LED低电平有效输出使能寄存器位。 1：禁用LED输出。 0：使能LED输出。	0x0	R/W
0	LED_PUL_STR_EN	设置该位将使能发送、接收或冲突LED事件的脉冲展宽，以便可以看见非常短的持续时间。LED脉冲展宽使能寄存器表示PHY必须拉伸任何指示发送、接收或碰撞的脉冲。在不展宽的情况下，这些脉冲可能太短而不会导致LED发光。	0x1	R/W

LED控制2寄存器

地址：0x001C，复位：0x210A，名称：LED_CTRL_2

该寄存器提供对各种PHY LED控制寄存器位的访问。

表52. LED_CTRL_2的位功能描述

位	位名称	描述	复位	访问
[15:4]	RESERVED	保留。	0x210	R/W
[3:0]	LED_A_CFG	LED_0配置由五位组成。位[3:0]是LSB，位4来自LED_A_EXT_CFG_EN（LED_CTRL_1寄存器，地址0x001B）。该五位组合配置LED_0，根据以下设置选择32个可能的配置功能中的一个。默认设置为01010（链路启动时亮起，有活动时闪烁）。 11111：若为10BASE-Te链路则亮起，若为100BASE-TX链路则闪烁。 11110：若为10BASE-Te链路则亮起。 11101：若为100BASE-TX链路则亮起，若为10BASE-Te链路则闪烁。 11100：若为100BASE-TX链路则亮起。 11011：若为10BASE-Te链路则闪烁。 11010：若发送则闪烁。 11001：若有活动则闪烁。 11000：保留。 10111：保留。 10110：保留。 10101：保留。	0xA	R/W

位	位名称	描述	复位	访问
		10100: 保留。 10011: 若为100BASE-TX链路则亮起, 若有活动则闪烁。 10010: 若为10BASE-Te链路则亮起, 若有活动则闪烁。 10001: 保留。 10000: 若为10BASE-Te或100BASE-TX链路则亮起。 01111: 熄灭。 01110: 亮起。 01101: 闪烁。 01100: 若为全双工链路则亮起, 若有冲突则闪烁。 01011: 有链路时亮起, 接收时闪烁。 01010: 有链路时亮起, 有活动时闪烁。 01001: 冲突时亮起。 01000: 全双工链路时亮起。 00111: 有活动时亮起(发送或接收)。 00110: 接收时亮起。 00101: 发送时亮起。 00100: 链路启动时亮起。 00011: 若为100BASE-TX则闪烁。 00010: 保留。 00001: 保留。 00000: 保留。		

LED控制3寄存器

地址: 0x001D, 复位: 0x1855, 名称: LED_CTRL_3

该寄存器提供对各种PHY LED控制寄存器位的访问。

表53. LED_CTRL_3的位功能描述

位	位名称	描述	复位	访问
[15:14]	LED_PAT_SEL	LED_PAT_SEL位域始终为2'b00, 允许用户通过LED_PAT、LED_PAT_TICK_DUR和LED_PAT_PAUSE_DUR位域设置LED_0闪烁模式。 11: 保留。 10: 保留。 01: 保留。 00: 对LED_0闪烁模式寄存器进行读/写访问。	0x0	R/W
[13:8]	LED_PAT_TICK_DUR	闪光模式位域(LED_PAT)中的每一位都被驱动到相应的LED引脚, 并保持该6位LED模式持续时间位域所指定的持续时间。持续时间等于该寄存器加1的值乘以8, 例如8 ms、16 ms.....504 ms。值63具有特殊意义, 表示1 ms节拍持续时间。另见LED_PAT_PAUSE_DUR位域(LED_CTRL_1寄存器, 地址0x001B)。默认闪烁为亮0.5秒、灭0.5秒模式。	0x18	R/W
[7:0]	LED_PAT	LED_0的内部LED模式可以通过此字段读取或写入。LED_PAT_SEL字段选择访问LED_0的哪一组内部闪烁模式寄存器。LED模式的默认值为0x55, 即交替0/1模式(LED_CTRL_1寄存器, 地址0x001B)。默认闪烁为亮0.5秒、灭0.5秒模式。	0x55	R/W

PHY状态2寄存器

地址：0x001F，复位：0x03FC，名称：PHY_STATUS_2

该寄存器提供对各种PHY状态寄存器位的访问。

表54. PHY_STATUS_2的位功能描述

位	位名称	描述	复位	访问
[15:12]	RESERVED	保留。	0x0	R
11	PAIR_1_POL_INV	1表示第1对上的极性已反转。	0x0	R
10	PAIR_0_POL_INV	1表示第0对上的极性已反转。	0x0	R
[9:0]	RESERVED	保留。	0x1FE	R

高效以太网能力寄存器

地址：0x8000，复位：0x0006，名称：EEE_CAPABILITY

该地址对应于IEEE标准802.3第45.2.3.9条规定的EEE能力寄存器；在IEEE标准中，它是MMD寄存器地址3.20。该寄存器用于指示每个PHY类型的PCS支持EEE功能的能力。

表55. EEE_CAPABILITY的位功能描述

位	位名称	描述	复位	访问
[15:7]	RESERVED	保留。	0x0	R
6	EEE_10_G_KR_SPRT	10GBASE-KR EEE能力位读出值始终为1'b0。 1: 10GBASE-KR支持EEE。 0: 10GBASE-KR不支持EEE。	0x0	R
5	EEE_10_G_KX_4_SPRT	10GBASE-KX4 EEE能力位读出值始终为1'b0。 1: 10GBASE-KX4支持EEE。 0: 10GBASE-KX4不支持EEE。	0x0	R
4	EEE_1000_KX_SPRT	1000BASE-KX EEE能力位读出值始终为1'b0。 1: 1000BASE-KX支持EEE。 0: 1000BASE-KX不支持EEE。	0x0	R
3	EEE_10_G_SPRT	10GBASE-T EEE能力位读出值始终为1'b0。 1: 10GBASE-T支持EEE。 0: 10GBASE-T不支持EEE。	0x0	R
2	EEE_1000_SPRT	1000BASE-T EEE能力位读出值始终为1'b1。 1: 1000BASE-T支持EEE。 0: 1000BASE-T不支持EEE。	0x1	R
1	EEE_100_SPRT	100BASE-TX EEE能力位读出值始终为1'b1。 1: 100BASE-TX支持EEE。 0: 100BASE-TX不支持EEE。	0x1	R
0	RESERVED	保留。	0x0	R

高效以太网广告寄存器

地址：0x8001，复位：0x0000，名称：EEE_ADV

该地址对应于标准802.3第45.2.7.13条规定的EEE广告寄存器；在IEEE标准中，它是MMD寄存器地址7.60。该寄存器用于定义自动协商期间的EEE广告。该寄存器的复位值为0x0000，除非硬件配置引脚设置为使能EEE。在这种情况下，复位值为0x0006。

表56. EEE_ADV的位功能描述

位	位名称	描述	复位	访问
[15:7]	RESERVED	保留。	0x0	R
6	EEE_10_G_KR_ADV	10GBASE-KR EEE广告位读出值始终为1'b0。 1: 广告10GBASE-KR具有EEE能力。 0: 不广告10GBASE-KR具有EEE能力。	0x0	R

位	位名称	描述	复位	访问
5	EEE_10_G_KX_4_ADV	10GBASE-KX4 EEE广告位读出值始终为1'b0。 1: 广告10GBASE-KX4具有EEE能力。 0: 不广告10GBASE-KX4具有EEE能力。	0x0	R
4	EEE_1000_KX_ADV	1000BASE-KX EEE广告位读出值始终为1'b0。 1: 广告1000BASE-KX具有EEE能力。 0: 不广告1000BASE-KX具有EEE能力。	0x0	R
3	EEE_10_G_ADV	10GBASE-T EEE广告位读出值始终为1'b0。 1: 广告10GBASE-T具有EEE能力。 0: 不广告10GBASE-T具有EEE能力。	0x0	R
2	EEE_1000_ADV	1000BASE-T EEE广告寄存器位读出值始终为1'b0。 1: 广告1000BASE-T具有EEE能力。 0: 不广告1000BASE-T具有EEE能力。	0x0	R/W
1	EEE_100_ADV	100BASE-TX EEE广告寄存器位的默认值取决于硬件配置引脚设置。当通过这些引脚使能EEE时，默认值为1'b1，禁用时默认值为1'b0。 1: 广告100BASE-TX具有EEE能力。 0: 不广告100BASE-TX具有EEE能力。	0x0	R/W
0	RESERVED	保留。	0x0	R

高效以太网链路合作伙伴能力寄存器

地址: 0x8002, 复位: 0x0000, 名称: EEE_LP_ABILITY

该地址对应于标准802.3第45.2.7.14条规定的EEE链路合作伙伴能力寄存器；在IEEE标准中，它是MMD寄存器地址7.61。该寄存器反映自动协商期间链路合作伙伴的EEE广告。

表57. EEE_LP_ABILITY的位功能描述

位	位名称	描述	复位	访问
[15:7]	RESERVED	保留。	0x0	R
6	LP_EEE_10_G_KR_ABLE	链路合作伙伴10GBASE-KR EEE能力位。 1: 链路合作伙伴广告10GBASE-KR的EEE能力。 0: 链路合作伙伴未广告10GBASE-KR的EEE能力。	0x0	R
5	LP_EEE_10_G_KX_4_ABLE	链路合作伙伴10GBASE-KX4 EEE能力位。 1: 链路合作伙伴广告10GBASE-KX4的EEE能力。 0: 链路合作伙伴未广告10GBASE-KX4的EEE能力。	0x0	R
4	LP_EEE_1000_KX_ABLE	链路合作伙伴1000BASE-KX EEE能力位。 1: 链路合作伙伴广告1000BASE-KX的EEE能力。 0: 链路合作伙伴未广告1000BASE-KX的EEE能力。	0x0	R
3	LP_EEE_10_G_ABLE	链路合作伙伴10GBASE-T EEE能力位。 1: 链路合作伙伴广告10GBASE-T的EEE能力。 0: 链路合作伙伴未广告10GBASE-T的EEE能力。	0x0	R
2	LP_EEE_1000_ABLE	链路合作伙伴1000BASE-T EEE能力位。 1: 链路合作伙伴广告1000BASE-T的EEE能力。 0: 链路合作伙伴未广告1000BASE-T的EEE能力。	0x0	R
1	LP_EEE_100_ABLE	链路合作伙伴100BASE-TX EEE能力位。 1: 链路合作伙伴广告100BASE-TX的EEE能力。 0: 链路合作伙伴未广告100BASE-TX的EEE能力。	0x0	R
0	RESERVED	保留。	0x0	R

高效以太网解析寄存器

地址：0x8008，复位：0x0000，名称：EEE_RSLVD

该寄存器指示链路建立后的已解析技术是否支持EEE。

表58. EEE_RSLVD的位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	EEE_RSLVD	该位指示链路建立后的已解析技术支持EEE。这是一个供应商特定的寄存器位。 1: 已解析技术支持EEE。	0x0	R

均方误差A寄存器

地址：0x8402，复位：0x0000，名称：MSE_A

该寄存器指示信号质量，衡量A维度上的均方误差。

表59. MSE_A的位功能描述

位	位名称	描述	复位	访问
[15:8]	RESERVED	保留。	0x0	R
[7:0]	MSE_A	当100BASE-TX链路启动时，该寄存器指示信号质量，衡量A维度上的均方误差。	0x0	R

增强型链路检测使能寄存器

地址：0x8E27，复位：0x003D，名称：FLD_EN

该寄存器控制增强型链路检测功能的使能。这是链路损耗的早期检测和指示。

表60. FLD_EN的位功能描述

位	位名称	描述	复位	访问
[15:8]	RESERVED	保留。	0x0	R
7	FLD_PCS_ERR_B_100_EN	100BASE-TX的增强型链路检测PCS接收错误检测使能。	0x0	R/W
6	RESERVED	保留。	0x0	R/W
5	FLD_SLCR_OUT_STUCK_B_100_EN	增强型链路检测PMA切片器输出卡在检测使能，用于100BASE-TX。	0x1	R/W
4	RESERVED	保留。	0x1	R/W
3	FLD_SLCR_IN_ZDET_B_100_EN	增强型链路检测PMA切片器输入零检测使能，用于100BASE-TX。	0x1	R/W
2	RESERVED	保留。	0x1	R/W
1	FLD_SLCR_IN_INVLD_B_100_EN	增强型链路检测PMA切片器输入无效电平检测使能，用于100BASE-TX。 设置为高电平时使能。	0x0	R/W
0	RESERVED	保留。	0x1	R/W

增强型链路检测锁存状态寄存器

地址：0x8E38，复位：0x0000，名称：FLD_STAT_LAT

该寄存器指示增强型链路检测功能的锁存状态。该位被锁存，直到下一链路启动时被清除。

表61. FLD_STAT_LAT的位功能描述

位	位名称	描述	复位	访问
[15:14]	RESERVED	保留。	0x0	R
13	FAST_LINK_DOWN_LAT	主增强型链路检测锁存指示。	0x0	R
[12:0]	RESERVED	保留。	0x0	R

接收MII时钟停止使能寄存器

地址：0x9400，复位：0x0400，名称：RX_MII_CLK_STOP_EN

该寄存器包含IEEE标准802.3第45.2.3.1.4条规定的时钟停止使能位；在IEEE标准中，它是MMD寄存器地址3.0位10。

表62. RX_MII_CLK_STOP_EN的位功能描述

位	位名称	描述	复位	访问
[15:11]	RESERVED	保留。	0x0	R
10	RX_MII_CLK_STOP_EN	如果设置该位，则PHY在发出低功耗使能(LPI)时，可以停止接收MII时钟。否则，它会保持时钟活动。 1：PHY可以在LPI期间停止时钟。 0：时钟无法停止。	0x1	R/W
[9:0]	RESERVED	保留。	0x0	R

PCS状态1寄存器

地址：0x9401，复位：0x0040，名称：PCS_STATUS_1

该寄存器中包含的位对应于IEEE标准802.3第45.2.3.2条规定的PCS状态1寄存器中的位；在IEEE标准中，它是MMD寄存器地址3.1位[11:8]和位6。

表63. PCS_STATUS_1的位功能描述

位	位名称	描述	复位	访问
[15:12]	RESERVED	保留。	0x0	R
11	TX_LPI_RCVD	发送LPI接收位是TX_LPI的锁存版本。当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。 1：发送PCS已收到LPI。 0：未收到LPI。	0x0	R
10	RX_LPI_RCVD	接收LPI接收位是RX_LPI的锁存版本。当该位变为高电平时，它会锁存高电平，直到通过读取解除锁存。 1：接收PCS已收到LPI。 0：未收到LPI。	0x0	R
9	TX_LPI	发送LPI位。 1：发送PCS当前正在接收LPI。 0：PCS当前未在接收LPI。	0x0	R
8	RX_LPI	接收LPI位。 1：接收PCS当前正在接收LPI。 0：PCS当前未在接收LPI。	0x0	R
7	RESERVED	保留。	0x0	R
6	TX_MII_CLK_STOP_CPBL	发送MII时钟停止能力位读出值始终为1'b1。 1：MAC可以在LPI期间停止时钟。 0：时钟无法停止。	0x1	R
[5:0]	RESERVED	保留。	0x0	R

帧检查器使能寄存器

地址：0x9403，复位：0x0001，名称：FC_EN

此寄存器用于使能帧检查器。帧检查器分析从MAC接口或PHY（参见FC_TX_SEL寄存器，地址0x9407，位0）接收的帧，以报告接收的帧数、CRC错误数和各种其他帧错误数。帧检查器帧和错误计数器寄存器统计这些事件。

表64. FC_EN的位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	FC_EN	该位设置时，使能帧检查器。	0x1	R/W

帧检查器中断使能寄存器

地址：0x9406，复位：0x0001，名称：FC_IRQ_EN

此寄存器用于使能帧检查器中断。发生接收错误时产生中断。在中断屏蔽寄存器中使能帧检查器/生成器中断。设置FC_FG_IRQ_EN位（IRQ_MASK寄存器，地址0x0018）。中断状态可以通过FC_FG_IRQ_STAT位（IRQ_STATUS寄存器，地址0x0019）读取。

表65. FC_IRQ_EN位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	FC_IRQ_EN	该位设置时，使能帧检查器中断。	0x1	R/W

帧检查器发送选择寄存器

地址：0x9407，复位：0x0000，名称：FC_TX_SEL

该寄存器用于选择要检查的帧来自发送侧还是接收侧。如果设置，则检查要发送的在MAC接口上接收的帧。帧检查器可用于验证通过MAC接口接收的数据是否正确，它在远程环回使能时也很有用（参见LB_REMOTE_EN位，即PHY_CTRL_STATUS_1寄存器，地址0x0013，位9），因为环回到MAC接口后，可以使用它来检查接收的数据。

表66. FC_TX_SEL位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	FC_TX_SEL	该位设置时，表示帧检查器必须检查接收的要由PHY发送的帧。 1：检查来自MAC接口的要由PHY发送的帧。 0：检查PHY从远程终端接收的帧。	0x0	R/W

帧检查器最大帧大小寄存器

地址：0x9408，复位：0x05F2，名称：FC_MAX_FRM_SIZE

此寄存器指定最大帧大小。长于此大小的帧被统计为过大帧。

表67. FC_MAX_FRM_SIZE的位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_MAX_FRM_SIZE	此位域指定最大帧大小。长于此大小的接收帧被统计为过大帧。请注意，此帧长度不包括前同步码和帧起始定界符。	0x5F2	R/W

帧检查器计数高位寄存器

地址：0x940A，复位：0x0000，名称：FC_FRM_CNT_H

该寄存器是32位接收帧计数器寄存器的[31:16]位的锁存副本。当读取接收错误计数器（RX_ERR_CNT寄存器，地址0x0014）时，接收帧计数器寄存器被锁存。当读取计数时，会锁存接收帧计数器寄存器的副本，以便错误计数和接收帧数同步。

表68. FC_FRM_CNT_H位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_FRM_CNT_H	接收帧数的位[31:16]的锁存副本。	0x0	R

帧检查器计数低位寄存器

地址：0x940B，复位：0x0000，名称：FC_FRM_CNT_L

该寄存器是32位接收帧计数器寄存器的[15:0]位的锁存副本。当读取接收错误计数器（RX_ERR_CNT寄存器，地址0x0014）时，接收帧计数器寄存器被锁存。当读取RX_ERR_CNT时，会锁存接收帧计数器寄存器的副本，以便错误计数和接收帧数同步。

表69. FC_FRM_CNT_L位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_FRM_CNT_L	接收帧数的位[15:0]的锁存副本。	0x0	R

帧检查器长度错误计数器寄存器

地址：0x940C，复位：0x0000，名称：FC_LEN_ERR_CNT

该寄存器是帧长度错误计数器寄存器的锁存副本。该寄存器表示具有长度错误状态的接收帧的数量。当读取接收错误计数器（RX_ERR_CNT寄存器，地址0x0014）时，帧长度错误计数器寄存器被锁存，以确保帧长度错误计数和接收帧数同步。

表70. FC_LEN_ERR_CNT位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_LEN_ERR_CNT	帧长度错误计数器的锁存副本。	0x0	R

帧检查器对齐错误计数器寄存器

地址：0x940D，复位：0x0000，名称：FC_ALGN_ERR_CNT

该寄存器是帧对齐错误计数器寄存器的锁存副本。该寄存器表示具有对齐错误状态的接收帧的数量。当读取接收错误计数器（RX_ERR_CNT寄存器，地址0x0014）时，对齐错误计数器寄存器被锁存，以确保帧对齐错误计数和接收帧数同步。

表71. FC_ALGN_ERR_CNT位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_ALGN_ERR_CNT	帧对齐错误计数器的锁存副本。	0x0	R

帧检查器符号错误计数器寄存器

地址：0x940E，复位：0x0000，名称：FC_SYMB_ERR_CNT

该寄存器是符号错误计数器寄存器的锁存副本。该寄存器表示设置了RX_ER和RX_DV的接收帧的数量。当读取接收错误计数器（RX_ERR_CNT寄存器，地址0x0014）时，符号错误计数器寄存器被锁存，以确保符号错误计数和接收帧数同步。

表72. FC_SYMB_ERR_CNT位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_SYMB_ERR_CNT	符号错误计数器的锁存副本。	0x0	R

帧检查器过大帧计数寄存器**地址：0x940F，复位：0x0000，名称：FC_OSZ_CNT**

该寄存器是过大帧错误计数器寄存器的锁存副本。该寄存器表示长度大于帧检查器最大帧大小 (FC_MAX_FRM_SIZE寄存器，地址0x9407) 指定值的接收帧数。当读取接收错误计数器 (RX_ERR_CNT寄存器，地址0x0014) 时，过大帧错误计数器寄存器被锁存，以确保过大帧错误计数和接收帧数同步。

表73. FC_OSZ_CNT位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_OSZ_CNT	过大帧错误计数器的锁存副本。	0x0	R

帧检查器过小帧计数寄存器**地址：0x9410，复位：0x0000，名称：FC_USZ_CNT**

该寄存器是过小帧错误计数器寄存器的锁存副本。该寄存器表示长度小于64字节的接收帧的数量。当读取接收错误计数器 (RX_ERR_CNT寄存器，地址0x0014) 时，过小帧错误计数器寄存器被锁存，以确保过小帧错误计数和接收帧数同步。

表74. FC_USZ_CNT位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_USZ_CNT	过小帧错误计数器的锁存副本。	0x0	R

帧检查器奇数半字节帧计数寄存器**地址：0x9411，复位：0x0000，名称：FC_ODD_CNT**

该寄存器是奇数半字节帧计数器寄存器的锁存副本。该寄存器表示100BASE-TX或10BASE-T模式下具有奇数半字节数的接收帧的数量。当读取接收错误计数器 (RX_ERR_CNT寄存器，地址0x0014) 时，奇数半字节帧计数器寄存器被锁存，以确保奇数半字节帧计数和接收帧数同步。

表75. FC_ODD_CNT位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_ODD_CNT	奇数半字节计数器的锁存副本。	0x0	R

帧检查器奇数前同步码数据包计数寄存器**地址：0x9412，复位：0x0000，名称：FC_ODD_PRE_CNT**

该寄存器是奇数前同步码数据包计数器寄存器的锁存副本。该寄存器表示100BASE-TX模式下前同步码具有奇数半字节数的接收帧的数量。当读取接收错误计数器 (RX_ERR_CNT寄存器，地址0x0014) 时，奇数前同步码数据包计数器寄存器被锁存，以确保奇数前同步码数据包计数和接收帧数同步。

表76. FC_ODD_PRE_CNT位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_ODD_PRE_CNT	奇数前同步码数据包计数器的锁存副本。	0x0	R

帧检查器运球位帧计数寄存器**地址：0x9413，复位：0x0000，名称：FC_DRIBBLE_BITS_CNT**

该寄存器是运球位帧计数器寄存器的锁存副本。该寄存器表示10BASE-T模式下具有非整数半字节数的接收帧的数量。当读取接收错误计数器 (RX_ERR_CNT寄存器，地址0x0014) 时，运球位帧计数器寄存器被锁存，以确保运球位帧计数和接收帧数同步。

表77. FC_DRIBBLE_BITS_CNT的位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_DRIBBLE_BITS_CNT	运球位帧计数器的锁存副本。	0x0	R

帧检查器假载波计数寄存器

地址：0x9414，复位：0x0000，名称：FC_FALSE_CARRIER_CNT

该寄存器是假载波事件计数器寄存器的锁存副本。它表示进入不良SSD状态的次数。当读取接收错误计数器（RX_ERR_CNT寄存器，地址0x0014）时，假载波事件计数器寄存器被锁存，以确保假载波事件计数和接收帧数同步。

表78. FC_FALSE_CARRIER_CNT位功能描述

位	位名称	描述	复位	访问
[15:0]	FC_FALSE_CARRIER_CNT	假载波事件计数器的锁存副本。	0x0	R

帧生成器使能寄存器

地址：0x9415，复位：0x0000，名称：FG_EN

此寄存器用于使能帧生成器。使能帧生成器后，PHY的数据源来自帧生成器，而不是MAC接口。要使用帧生成器，还必须使能诊断时钟。设置DIAG_CLK_EN位（PHY_CTRL_1寄存器，地址0x0012，位2）。

表79. FG_EN位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	FG_EN	该位设置时，使能内置帧生成器。	0x0	R/W

帧生成器控制和重启寄存器

地址：0x9416，复位：0x0001，名称：FG_CNTRL_RSTRT

该寄存器提供帧生成器控制和重启功能。

表80. FG_CNTRL_RSTRT位功能描述

位	位名称	描述	复位	访问
[15:4]	RESERVED	保留。	0x0	R
3	FG_RSTRT	该位设置时，重新启动帧生成器。此位自动清0。	0x0	R/W
[2:0]	FG_CNTRL	此位域根据以下编码控制帧生成器： 111：保留。 110：保留。 101：数据字段从255（十进制）递减到0。 100：MAC客户端数据帧字段中为备用0x55。 011：MAC客户端数据帧字段中为全1。 010：MAC客户端数据帧字段中为全0。 001：MAC客户端数据帧字段中为随机数。 000：当前帧完成后没有帧。	0x1	R/W

帧生成器连续模式使能寄存器

地址：0x9417，复位：0x0000，名称：FG_CONT_MODE_EN

此寄存器用于将帧生成器置于连续模式。默认工作模式是突发模式，生成的帧数由FG_NFRM_H寄存器和FG_NFRM_L寄存器（地址0x941C和地址0x941D）指定。

表81. FG_CONT_MODE_EN位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	FG_CONT_MODE_EN	此位用于将帧生成器置于连续模式或突发模式。 1: 帧生成器以连续模式运行。在此模式下，帧生成器无限期地生成帧。 0: 帧生成器以突发模式运行。在此模式下，帧生成器生成突发数量的帧，然后停止。 突发帧数由FG_NFRM_H寄存器和FG_NFRM_L寄存器确定。	0x0	R/W

帧生成器中断使能寄存器

地址：0x9418，复位：0x0000，名称：FG_IRQ_EN

该寄存器用于使能帧生成器中断。当已生成请求数量的帧时，产生中断。在IRQ_MASK寄存器中使能帧检查器/生成器中断。设置FC_FG_IRQ_EN位（地址0x0018，位7）。中断状态可以通过IRQ_STATUS寄存器FC_FG_IRQ_STAT位（地址0x0019，位7）读取。

表82. FG_IRQ_EN位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	FG_IRQ_EN	当该位设置时，表示当帧生成器发送完设定数量的帧时，必须产生中断。 1: 使能帧生成器中断。 0: 禁用帧生成器中断。	0x0	R/W

帧生成器帧长度寄存器

地址：0x941A，复位：0x006B，名称：FG_FRM_LEN

此寄存器指定MAC客户端数据字段帧长度（以字节为单位）。除数据字段外，还要为来源地址增加6字节，为目标地址增加6字节，为长度字段增加2字节，为帧检查序列(FCS)增加4字节。帧总长度为数据字段长度加18。

表83. FG_FRM_LEN位功能描述

位	位名称	描述	复位	访问
[15:0]	FG_FRM_LEN	数据字段帧长度（以字节为单位）。	0x6B	R/W

帧生成器帧间间隙寄存器

地址：0x941B，复位：0x000C，名称：FG_IFG_LEN

该寄存器指定要在帧生成器生成的帧之间插入帧间间隙的字节长度。

表84. FG_IFG_LEN的位功能描述

位	位名称	描述	复位	访问
[15:8]	RESERVED	保留。	0x0	R
[7:0]	FG_IFG_LEN	帧间间隙长度（以字节为单位）	0xC	R/W

帧生成器帧数高位寄存器

地址：0x941C，复位：0x0000，名称：FG_NFRM_H

该寄存器是指定每次使能或重启帧生成器时要生成的帧数的32位寄存器的位[31:16]。

表85. FG_NFRM_H位功能描述

位	位名称	描述	复位	访问
[15:0]	FG_NFRM_H	要生成的帧数的位[31:16]。	0x0	R/W

帧生成器帧数低位寄存器

地址：0x941D，复位：0x0100，名称：FG_NFRM_L

该寄存器是指定每次使能或重启帧生成器时要生成的帧数的32位寄存器的位[15:0]。

表86. FG_NFRM_L位功能描述

位	位名称	描述	复位	访问
[15:0]	FG_NFRM_L	要生成的帧数的位[15:0]。	0x100	R/W

帧生成器完成寄存器

地址：0x941E，复位：0x0000，名称：FG_DONE

该寄存器用于指示帧生成器已完成FG_NFRM_H寄存器和FG_NFRM_L寄存器（分别为地址0x941C和地址0x941D）请求的帧数的生成。

表87. FG_DONE位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	FG_DONE	该位读出值为1'b1，表示帧的生成已完成。当设置时，该位变为高电平并锁存高电平，直到通过读取解除锁存。	0x0	R

FIFO_SYNC寄存器

地址：0x9427，复位：0x0000，名称：FIFO_SYNC

当设置时，发送FIFO配置为同步操作以使延迟最小。

表88. FIFO_SYNC的位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	FIFO_SYNC	FIFO_SYNC。当设置时，发送FIFO配置为同步操作以使延迟最小。	0x0	R/W

数据包起始控制寄存器

地址：0x9428，复位：0x0034，名称：SOP_CTRL

该寄存器控制IEEE 1588时间戳控制的数据包起始(SOP)检测。

表89. SOP_CTRL的位功能描述

位	位名称	描述	复位	访问
[15:7]	RESERVED	保留。	0x0	R
[6:4]	SOP_N_8_CYCM_1	当SOP_NCYC_EN位设置时，SOP_N_8_CYCM_1位域指定发送和接收SOP指示保持置位的MII RX_CLK时钟周期数。指定的值加1，然后乘以8，即得到周期数。请注意，SOP指示总是在帧结束时置为无效。	0x3	R/W
3	SOP_NCYC_EN	当设置该位时，发送和接收SOP指示的持续时间由SOP_N_8_CYCM_1位域定义。否则，SOP指示设置为帧的持续时间。	0x0	R/W
2	SOP_SFD_EN	设置该位会使能SFD检测，从而当在帧中检测到SFD时，SOP信号置为有效。如果该寄存器位清0，则SOP信号在帧的第一个字节或半字节置为有效。注意，如果在发送或接收数据包时该信号改变，SOP信号可能会错误地置为有效。因此，只能在链路关闭时或SOP_TX_EN和SOP_RX_EN清0时改变该信号。	0x1	R/W
1	SOP_RX_EN	设置该位将使能接收帧的SOP检测的生成。	0x0	R/W
0	SOP_TX_EN	设置该位将使能发送帧的SOP检测的生成。为使SOP指示偏差最小，在使用发送FIFO的模式中，检测在发送FIFO之后完成。	0x0	R/W

数据包起始接收检测延迟寄存器

地址：0x9429，复位：0x0000，名称：SOP_RX_DEL

该寄存器控制接收侧SOP检测延迟。

表90. SOP_RX_DEL的位功能描述

位	位名称	描述	复位	访问
[15:11]	SOP_RX_10_DEL_NCYC	该寄存器字段指定MII RX_CLK时钟周期数，用以延迟10BASE-T链路的接收帧SOP指示。	0x0	R/W
[10:6]	SOP_RX_100_DEL_NCYC	该寄存器字段指定MII RX_CLK时钟周期数，用以延迟100BASE-TX链路的接收帧SOP指示。	0x0	R/W
[5:0]	保留	保留。	0x0	R/W

数据包起始发送检测延迟寄存器

地址：0x942A，复位：0x0000，名称：SOP_TX_DEL

该寄存器控制发送侧SOP检测延迟。

表91. SOP_TX_DEL的位功能描述

位	位名称	描述	复位	访问
[15:13]	RESERVED	保留。	0x0	R
[12:8]	SOP_TX_10_DEL_N_8_NS	该位域指定8 ns周期数，用以延迟10BASE-T链路的发送帧SOP指示。为使发送SOP指示置位接近MDI引脚上设置的基准点，应将此寄存器设置为5'd20。	0x0	R/W
[7:4]	SOP_TX_100_DEL_N_8_NS	该位域指定8 ns周期数，用以延迟100BASE-TX链路的发送帧SOP指示。为使发送SOP指示置位接近MDI引脚上设置的基准点，应将此寄存器设置为4'd0。	0x0	R/W
[3:0]	保留	保留	0x0	R/W

MII模式FIFO深度控制寄存器

地址：0x9602，复位：0x0001，名称：DPTH_MII_BYTE

MII模式下的FIFO深度（以字节为单位）。

表92. DPTH_MII_BYTE的位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	DPTH_MII_BYTE	适用于10 Mbps和100 Mbps的MII模式。置1时，FIFO深度的单位为字节。清0时，FIFO深度的单位为半字节。该位的默认值为1。因此，FIFO预填充以字节为单位。在MII模式下，由于接口基于半字节，所以发送FIFO中的内部预填充内容更大，故延迟时间更长。	0x1	R/W

LPI唤醒错误计数寄存器

地址：0xA000，复位：0x0000，名称：LPI_WAKE_ERR_CNT

该地址对应于IEEE标准802.3第45.2.3.10条规定的EEE唤醒错误计数寄存器；在IEEE标准中，它是MMD寄存器地址3.22。

表93. LPI_WAKE_ERR_CNT的位功能描述

位	位名称	描述	复位	访问
[15:0]	LPI_WAKE_ERR_CNT	此位域计数唤醒时间故障，即PHY未在需要的时间内完成正常唤醒序列。此位域在读取时自清零。	0x0	R

Base 10e使能寄存器

地址：0xB403，复位：0x0001，名称：B_10_E_EN

设置此寄存器将使能10BASE-Te操作。10BASE-Te是10BASE-T的变体，发送电压电平更低。

表94. B_10_E_EN的位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	B_10_E_EN	10BASE-Te。设置该位将使能10BASE-Te操作，这是器件的默认操作。10BASE-Te是10BASE-T的变体，发送电压电平更低。	0x1	R/W

10BASE-T发送测试模式寄存器

地址：0xB412，复位：0x0000，名称：B_10_TX_TST_MODE

该寄存器提供发送10BASE-T测试信号的能力。

表95. B_10_TX_TST_MODE的位功能描述

位	位名称	描述	复位	访问
[15:3]	RESERVED	保留。	0x0	R
[2:0]	B_10_TX_TST_MODE	PHY提供发送10BASE-T测试信号（由5MHz或10MHz方波组成）的能力。 111：保留。 110：保留。 101：保留。 100：在维度1上发送5 MHz方波。 011：在维度0上发送5 MHz方波。 010：在维度1上发送10 MHz方波。 001：在维度0上发送10 MHz方波。 000：10BASE-T测试模式禁用。	0x0	R/W

100BASE-TX发送测试模式寄存器

地址：0xB413，复位：0x0000，名称：B_100_TX_TST_MODE

该寄存器提供发送100BASE-TX测试信号的能力。

表96. B_100_TX_TST_MODE的位功能描述

位	位名称	描述	复位	访问
[15:3]	RESERVED	保留。	0x0	R
[2:0]	B_100_TX_TST_MODE	PHY提供了发送100BASE-TX测试信号的能力,其在有效的MLT3信号电平之间连续循环:零、正、零、负。每个发送电平可以保持16 ns (短停留时间) 或112 ns (长停留时间)。16 ns停留时间的MLT3发送测试波形测量占空比失真,如ANSI标准X3.263的第9.1.8条所述。112 ns停留时间的MLT3发送测试波形测量波形过冲、幅度对称和上升/下降时间,如ANSI标准X3.263的第9.1.3/9.1.4和9.1.6条所述。 111: 保留。 110: 保留。 101: 保留。 100: 发送MLT3测试波形, 维度1上112 ns停留时间。 011: 发送MLT3测试波形, 维度0上112 ns停留时间。 010: 发送MLT3测试波形, 维度1上16 ns停留时间。 001: 发送MLT3测试波形, 维度0上16 ns停留时间。 000: 100BASE-TX测试模式禁用。	0x0	R/W

运行自动电缆诊断寄存器

地址：0xBA1B，复位：0x0000，名称：CDIAG_RUN

该寄存器用于启动电缆诊断的自动运行,并在电缆诊断结果寄存器中返回结果。

表97. CDIAG_RUN的位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	CDIAG_RUN	设置此位将启动自动电缆诊断运行。在PHY处于待机状态时运行此位。清除LINK_EN位 (PHY_CTRL_3寄存器, 地址0x0017, 位13)。当电缆诊断完成时, 此位自清零。	0x0	R/W

电缆诊断跨对故障检查禁用寄存器

地址：0xBA1C，复位：0x0000，名称：CDIAG_XPAIR_DIS

该寄存器用于检查要禁用的电缆诊断中的跨对故障。

表98. CDIAG_XPAIR_DIS的位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	CDIAG_XPAIR_DIS	设置此位将禁用跨对故障检查。 1: 禁用跨对故障检查。 0: 使能跨对故障检查。	0x0	R/W

电缆诊断结果0寄存器

地址：0xBA1D，复位：0x0000，名称：CDIAG_DTLT_RSLTS_0

该寄存器提供线对0的电缆诊断结果。

表99. CdiagDtIdRslts0的位功能描述

位	位名称	描述	复位	访问
[15:11]	RESERVED	保留。	0x0	R
10	CDIAG_RSLT_0_BSY	该位置1表示线对0繁忙。该位指示在电缆诊断期间线对0上有未知活动。	0x0	R
[9:8]	RESERVED	保留。	0x0	R
7	CDIAG_RSLT_0_XSIM_1	该位置1时，表示线对0和线对1之间存在显著的跨线对短路阻抗。	0x0	R
6	CDIAG_RSLT_0_SIM	该位置1时，表示线对0存在显著的阻抗不匹配。	0x0	R
[5:4]	RESERVED	保留。	0x0	R
3	CDIAG_RSLT_0_XSHRT_1	该位置1时，表示线对0和线对1之间存在跨线对短路。	0x0	R
2	CDIAG_RSLT_0_SHRT	该位置1时，表示线对0存在短路。	0x0	R
1	CDIAG_RSLT_0_OPN	该位置1时，表示线对0存在开路。	0x0	R
0	CDIAG_RSLT_0_GD	该位置1时，表示线对0端接良好。	0x0	R

电缆诊断结果1寄存器

地址：0xBA1E，复位：0x0000，名称：CDIAG_DTLT_RSLTS_1

该寄存器提供线对1的电缆诊断结果。

表100. CDIAG_DTLT_RSLTS_1的位功能描述

位	位名称	描述	复位	访问
[15:11]	RESERVED	保留。	0x0	R
10	CDIAG_RSLT_1_BSY	该位置1表示线对1繁忙。该位指示在电缆诊断期间线对1上有未知活动。	0x0	R
[9:8]	RESERVED	保留。	0x0	R
7	CDIAG_RSLT_1_XSIM_0	该位置1时，表示线对1和线对0之间存在显著的跨线对短路阻抗。	0x0	R
6	CDIAG_RSLT_1_SIM	该位置1时，表示线对1存在显著的阻抗不匹配。	0x0	R
[5:4]	RESERVED	保留。	0x0	R
3	CDIAG_RSLT_1_XSHRT_0	该位置1时，表示线对1和线对0之间存在跨线对短路。	0x0	R
2	CDIAG_RSLT_1_SHRT	该位置1时，表示线对1存在短路。	0x0	R
1	CDIAG_RSLT_1_OPN	该位置1时，表示线对1存在开路。	0x0	R
0	CDIAG_RSLT_1_GD	该位置1时，表示线对1端接良好。	0x0	R

电缆诊断故障距离线对0寄存器

地址：0xBA21，复位：0x00FF，名称：CDIAG_FLT_DIST_0

该寄存器提供线对0上第一个故障的距离。

表101. CDIAG_FLT_DIST_0的位功能描述

位	位名称	描述	复位	访问
[15:8]	RESERVED	保留。	0x0	R
[7:0]	CDIAG_FLT_DIST_0	该位域提供线对0上第一个故障的距离（以米为单位）。值0xFF表示未知结果。	0xFF	R

电缆诊断故障距离线对1寄存器

地址：0xBA22，复位：0x00FF，名称：CDIAG_FLT_DIST_1

该寄存器提供线对1上第一个故障的距离。

表102. CDIAG_FLT_DIST_1的位功能描述

位	位名称	描述	复位	访问
[15:8]	RESERVED	保留。	0x0	R
[7:0]	CDIAG_FLT_DIST_1	该位域提供线对1上第一个故障的距离（以米为单位）。值0xFF表示未知结果。	0xFF	R

电缆诊断电缆长度估计寄存器

地址：0xBA25，复位：0x00FF，名称：CDIAG_CBL_LEN_EST

该寄存器提供基于信号处理的电缆长度估计值（以米为单位）；对于100BASE-TX，估计是在链路建立期间进行。

表103. CDIAG_CBL_LEN_EST的位功能描述

位	位名称	描述	复位	访问
[15:8]	RESERVED	保留。	0x0	R
[7:0]	CDIAG_CBL_LEN_EST	该位域提供电缆长度估计值（以米为单位）。值0xFF表示未知结果。	0xFF	R

LED脉冲展宽持续时间寄存器

地址：0xBC00，复位：0x0011，名称：LED_PUL_STR_DUR

当LED_CTRL_1寄存器（地址0x001B，位[3:2]）中的LED_PUL_STR_DUR_SEL位域设置为2'b11时，LED_PUL_STR_DUR寄存器决定LED脉冲展宽时间。

表104. LED_PUL_STR_DUR的位功能描述

位	位名称	描述	复位	访问
[15:6]	RESERVED	保留。	0x0	R
[5:0]	LED_PUL_STR_DUR	当LED_CTRL_1寄存器（地址0x001B，位[3:2]）中的LED_PUL_STR_DUR_SEL位域设置为2'b11时，LED_PUL_STR_DUR位域决定LED脉冲展宽时间。该指定值乘以8即得到持续时间（以毫秒为单位）。	0x11	R/W

子系统寄存器汇总

子系统寄存器可使用第45条访问机制在器件地址0x1E处访问。对于不支持第45条指定的接口的系统，这些寄存器可以利用第22条访问机制通过寄存器0x0010和寄存器0x0011进行访问。

某些寄存器的默认值由硬件配置引脚的值确定，在RESET_N引脚置为无效后可立即读取（参见“硬件配置引脚”部分），因此在非托管应用中可以配置ADIN1200的默认操作。表105中列出的寄存器的默认值假设ADIN1200配置为自动协商使能，广告所有速度，并且ADIN1200未配置为复位后进入软件关断。

表105. 子系统寄存器汇总

地址	名称	描述	复位	访问
0xFF0C	GE_SFT_RST	子系统软件复位寄存器。	0x0000	R/W
0xFF0D	GE_SFT_RST_CFG_EN	子系统软件复位配置使能寄存器。	0x0000	R/W
0xFF1F	GE_CLK_CFG	子系统时钟配置寄存器。	0x0000	R/W
0xFF23	GE_RGMII_CFG	子系统RGMII配置寄存器。	0x0E07	R/W
0xFF24	GE_RMII_CFG	子系统RMII配置寄存器。	0x0116	R/W
0xFF26	GE_PHY_BASE_CFG	子系统PHY基本配置寄存器。	0x0C86	R/W
0xFF3C	GE_LNK_STAT_INV_EN	子系统链路状态反转使能寄存器。	0x0000	R/W
0xFF3D	GE_IO_GP_CLK_OR_CNTRL	子系统GP_CLK引脚覆盖控制寄存器。	0x0000	R/W
0xFF3E	GE_IO_GP_OUT_OR_CNTRL	子系统LINK_ST引脚覆盖控制寄存器。	0x0000	R/W
0xFF3F	GE_IO_INT_N_OR_CNTRL	子系统INT_N引脚覆盖控制寄存器。	0x0000	R/W
0xFF41	GE_IO_LED_A_OR_CNTRL	子系统LED_0引脚覆盖控制寄存器。	0x0000	R/W

子系统寄存器详解**子系统软件复位寄存器**

地址：0xFF0C，复位：0x0000，名称：GE_SFT_RST

软复位寄存器用于复位子系统。

表106. GE_SFT_RST的位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	GE_SFT_RST	将GE_SFT_RST设置为1可以复位子系统。子系统行为取决于GE_SFT_RST_CFG_EN寄存器的设置。 当GE_SFT_RST_CFG_EN位置1时，子系统在软件复位序列期间请求芯片提供新的一组硬件配置引脚设置。当GE_SFT_RST_CFG_EN位清0时，先前存储的硬件配置引脚设置重新加载到相应的管理寄存器中。	0x0	R/W

子系统软件复位配置使能寄存器

地址：0xFF0D，复位：0x0000，名称：GE_SFT_RST_CFG_EN

如果使用GE_SFT_RST位进行软件复位，子系统行为将取决于该寄存器位的设置。

表107. GE_SFT_RST_CFG_EN的位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	GE_SFT_RST_CFG_EN	如果使用GE_SFT_RST位进行子系统软件复位，子系统行为将取决于GE_SFT_RST_CFG_EN位的设置。 1: 当GE_SFT_RST_CFG_EN位置1时，子系统在软件复位序列期间请求芯片提供新的一组硬件配置引脚设置。 0: 当GE_SFT_RST_CFG_EN位清0时，先前存储的硬件配置引脚设置重新加载到相应的管理寄存器中。	0x0	R/W

子系统时钟配置寄存器

地址：0xFF1F，复位：0x0000，名称：GE_CLK_CFG

该寄存器允许控制子系统输出时钟配置。

表108. GE_CLK_CFG的位功能描述

位	位名称	描述	复位	访问
[15:6]	RESERVED	保留。	0x0	R
5	GE_CLK_RCVR_125_EN	设置该位时，在GP_CLK引脚驱动125 MHz PHY恢复时钟（或PLL时钟）。	0x0	R/W
4	GE_CLK_FREE_125_EN	设置该位时，在GP_CLK引脚驱动125 MHz PHY自由运行时钟。	0x0	R/W
3	RESERVED	保留。	0x0	R/W
2	GE_CLK_HRT_RCVR_EN	PHY提供数字恢复心跳时钟。根据PHY所处的模式和某些寄存器的设置，此时钟由25 MHz参考时钟或125 MHz恢复时钟提供。设置GE_CLK_HRT_RCVR_EN将导致子系统请求芯片在GP_CLK引脚驱动数字恢复心跳时钟。	0x0	R/W
1	GE_CLK_HRT_FREE_EN	PHY提供数字自由运行心跳时钟。根据PHY所处的模式和某些寄存器的设置，此时钟由25 MHz参考时钟或125 MHz自由运行时钟提供。设置GE_CLK_HRT_FREE_EN将导致子系统请求芯片在GP_CLK引脚驱动数字自由运行心跳时钟。	0x0	R/W
0	GE_CLK_25_EN	设置该位时，在GP_CLK引脚驱动来自晶体振荡器的25 MHz参考时钟（已通过数字模块处理）。	0x0	R/W

子系统RGMII配置寄存器

地址：0xFF23，复位：0x0E07，名称：GE_RGMII_CFG

该寄存器允许控制MAC接口RGMII配置。

表109. GE_RGMII_CFG的位功能描述

位	位名称	描述	复位	访问
[15:11]	RESERVED	保留。	0x1	R
10	GE_RGMII_100_LOW_LTNCY_EN	使能/禁用100BASE-TX的低RGMII延迟。 1: 使能100BASE-TX的低RGMII延迟。 0: 禁用100BASE-TX的低RGMII延迟。	0x1	R/W
9	GE_RGMII_10_LOW_LTNCY_EN	使能/禁用10BASE-T的低RGMII延迟。 1: 使能10BASE-T的低RGMII延迟。 0: 禁用10BASE-T的低RGMII延迟。	0x1	R/W
[8:6]	GE_RGMII_RX_SEL	该字段允许以数据链接层(DLL)单位延迟($t_U = 200$ ps)指定RGMII接收时钟延迟。 111: $10 \times t_U + 400$ ps。 110: $9 \times t_U + 400$ ps。 101: 保留。 100: 保留。 011: 保留。 010: $7 \times t_U + 400$ ps。 001: $6 \times t_U + 400$ ps。 000: $8 \times t_U + 400$ ps。	0x0	R/W
[5:3]	GE_RGMII_GTX_SEL	该字段允许以DLL单位延迟($t_U = 200$ ps)指定RGMII发送时钟延迟。 111: $10 \times t_U + 400$ ps。 110: $9 \times t_U + 400$ ps。 101: 保留。 100: 保留。 011: 保留。 010: $7 \times t_U + 400$ ps。 001: $6 \times t_U + 400$ ps。 000: $8 \times t_U + 400$ ps。	0x0	R/W
2	GE_RGMII_RX_ID_EN	使能/禁用RGMII模式的接收时钟内部2 ns延迟。请注意，此位的默认值可通过硬件配置引脚配置。这样，在非托管应用中可以配置PHY的默认操作。 1: 使能RGMII模式的接收时钟内部2 ns延迟。 0: 禁用RGMII模式的接收时钟内部2 ns延迟。	0x1	R/W
1	GE_RGMII_TX_ID_EN	使能/禁用RGMII模式的发送时钟内部2 ns延迟。请注意，此位的默认值可通过硬件配置引脚配置。这样，在非托管应用中可以配置PHY的默认操作。 1: 使能RGMII模式的发送时钟内部2 ns延迟。 0: 禁用RGMII模式的发送时钟内部2 ns延迟。	0x1	R/W
0	GE_RGMII_EN	该位选择RGMII MAC接口模式。请注意，此位的默认值可通过硬件配置引脚配置。这样，在非托管应用中可以配置PHY的默认操作。	0x1	R/W

子系统RMII配置寄存器

地址：0xFF24，复位：0x0116，名称：GE_RMII_CFG

该寄存器允许控制MAC接口RMII配置。

表110. GE_RMII_CFG的位功能描述

位	位名称	描述	复位	访问
[15:8]	RESERVED	保留。	0x1	R
7	GE_RMII_FIFO_RST	该位允许复位RMII FIFO。	0x0	R/W
[6:4]	GE_RMII_FIFO_DPTH	此字段允许选择RMII接收FIFO深度。 111: 保留。 110: 保留。 101: ±24位。 100: ±20位。 011: ±16位。 010: ±12位。 001: ±8位。 000: ±4位。	0x1	R/W
3	GE_RMII_TXD_CHK_EN	该位决定是否监视TXD_0引脚和TXD_1引脚以检测帧的起始。该位允许将RMII接收CRS_DV连接到RMII TX_EN信号。这样，媒介转换器应用便可进行接收到发送RMII引脚环回。这是RMII规范所不支持的。	0x0	R/W
2	GE_RMII_CRIS_EN	该位决定CRS_DV输出信号中是否编码CRS。这样，媒介转换器应用便可进行接收到发送RMII引脚环回。这是RMII规范所不支持的。	0x1	R/W
1	GE_RMII_BAD_SSD_RX_ER_EN	该位决定当检测到假载波（坏SSD）时是否将RX_ER输出信号置为有效。清0时，RX_ER仅在帧期间发生符号错误时置为有效。	0x1	R/W
0	GE_RMII_EN	该位选择RMII MAC接口模式。请注意，此寄存器位的默认值可通过硬件配置引脚配置。这样，在非托管应用中可以配置PHY的默认操作。RMII模式需要50 MHz参考时钟，因此必须从硬件配置引脚而不是软件配置RMII接口。	0x0	R/W

子系统PHY基本配置寄存器

地址：0xFF26，复位：0x0C86，名称：GE_PHY_BASE_CFG

该子系统寄存器允许将PHY的增强型链路检测功能配置为100BASE。每次发出PHY内核软件复位时，PHY都会复位其寄存器和增强型链路检测100BASE-TX使能寄存器位（在FLD_EN寄存器中，地址0x8E27）。增强型链路检测100BASE-T使能寄存器位（在FLD_EN寄存器中）的默认值通过该寄存器中的GE_FLD_100_EN_CFG位设置。如果改变了任何使能配置位的值，则PHY中相应的增强型链路检测100BASE-TX使能寄存器位仅在PHY软件复位后改变。

表111. GE_PHY_BASE_CFG的位功能描述

位	位名称	描述	复位	访问
[15:13]	RESERVED	保留。	0x0	R
12	RESERVED	保留。	0x0	R/W
11	RESERVED	保留。	0x1	R/W
10	GE_FLD_100_EN_CFG	设置该位时，若PHY建立了100BASE-TX链路，则使能增强型链路检测功能。	0x1	R/W
[9:4]	RESERVED	保留。	0x8	R/W
3	GE_PHY_SFT_PD_CFG	设置该位时，PHY将在退出复位时进入软件关断。	0x0	R/W
[2:0]	RESERVED	保留。	0x6	R/W

子系统链路状态反转使能寄存器

地址：0xFF3C，复位：0x0000，名称：GE_LNK_STAT_INV_EN

该寄存器允许将LINK_ST引脚上的链路状态输出信号反转，意味着通过将LINK_ST设置为低电平来指示链路建立。

表112. GE_LNK_STAT_INV_EN的位功能描述

位	位名称	描述	复位	访问
[15:1]	RESERVED	保留。	0x0	R
0	GE_LNK_STAT_INV_EN	该位设置为1时，使能将LINK_ST引脚上的链路状态输出信号反转，意味着通过将LINK_ST设置为低电平来指示链路建立。	0x0	R/W

子系统GP_CLK引脚覆盖控制寄存器

地址：0xFF3D，复位：0x0000，名称：GE_IO_GP_CLK_OR_CNTRL

该寄存器允许覆盖GP_CLK引脚的默认功能。

表113. GE_IO_GP_CLK_OR_CNTRL的位功能描述

位	位名称	描述	复位	访问
[15:3]	RESERVED	保留。	0x0	R
[2:0]	GE_IO_GP_CLK_OR_CNTRL	该位域允许覆盖GP_CLK引脚的默认功能。 111: PHY时钟由GE_CLK_CFG寄存器中的寄存器选择。 110: RX_ER。 101: COL。 100: CRS。 011: 接收数据包起始指示。 010: 发送数据包起始指示。 001: 链路状态。 000: 默认功能。当PHY配置为MII或RMII MAC接口时，默认功能为RX_ER。在所有其他情况下，默认功能为GP_CLK。	0x0	R/W

子系统LINK_ST引脚覆盖控制寄存器

地址：0xFF3E，复位：0x0000，名称：GE_IO_GP_OUT_OR_CNTRL

该寄存器允许覆盖LINK_ST引脚的默认功能。

表114. GE_IO_GP_OUT_OR_CNTRL的位功能描述

位	位名称	描述	复位	访问
[15:3]	RESERVED	保留。	0x0	R
[2:0]	GE_IO_GP_OUT_OR_CNTRL	该位域允许覆盖LINK_ST引脚的默认功能。 111: 链路状态。 110: 保留。 101: COL。 100: CRS。 011: 接收数据包起始指示。 010: 发送数据包起始指示。 001: 链路状态。 000: 默认功能，链路状态。	0x0	R/W

子系统INT_N引脚覆盖控制寄存器

地址：0xFF3F，复位：0x0000，名称：GE_IO_INT_N_OR_CNTRL

该寄存器允许覆盖INT_N引脚的默认功能。

表115. GE_IO_INT_N_OR_CNTRL的位功能描述

位	位名称	描述	复位	访问
[15:3]	RESERVED	保留。	0x0	R
[2:0]	GE_IO_INT_N_OR_CNTRL	该位域允许覆盖INT_N引脚的默认功能。 111: INT_N。 110: TX_ER。 101: COL。 100: CRS。 011: 接收数据包起始指示。 010: 发送数据包起始指示。 001: 链路状态。 000: 默认功能, INT_N。当配置为MII MAC接口且通过硬件引脚配置禁用EEE广告时, 默认功能为CRS。在所有其他情况下, 该引脚功能为INT_N。	0x0	R/W

子系统LED_0引脚覆盖控制寄存器

地址：0xFF41，复位：0x0000，名称：GE_IO_LED_A_OR_CNTRL

该寄存器允许覆盖LED_0引脚的默认功能。

表116. GE_IO_LED_A_OR_CNTRL的位功能描述

位	位名称	描述	复位	访问
[15:4]	RESERVED	保留。	0x0	R
[3:0]	GE_IO_LED_A_OR_CNTRL	该位域允许覆盖LED_0引脚的默认功能。 1111: LED_0。 1110: LED_0。 1101: LED_0。 1100: LED_0。 1011: LED_0。 1010: LED_0。 1001: 保留。 1000: 保留。 0111: LED_0。 0110: TX_ER。 0101: COL。 0100: CRS。 0011: 接收数据包起始指示。 0010: 发送数据包起始指示。 0001: 链路状态。 0000: 默认功能, LED_0。当配置为MII MAC接口且通过硬件配置引脚禁用EEE广告时, 默认功能为COL。当配置为MII MAC接口且通过硬件引脚配置使能EEE广告时, 默认功能为TX_ER。在所有其他情况下, 默认为LED_0。	0x0	R/W

PCB布局建议

本部分概述在PHY和相应支持元件的放置和布局期间应重点关注的方面。为使信号性能和EMC性能最佳，高速接口信号布线应小心，确保关键信号走线尽可能短以使噪声耦合最小。

PHY封装布局

LFCSP封装下面有一个裸露焊盘，出于机械和散热原因，必须将其焊接到PCB地。为了提高热阻性能并最大限度地散热，建议在裸露接地焊盘下方使用4×4阵列的热通孔。

裸露焊盘的顶部和底部还有两个禁入区域。PCB焊盘图案必须纳入带通孔的裸露接地焊盘和这两个禁入区域。任何一个禁入区域中都不能有PCB走线或通孔。EVAL-ADIN1200FMCZ在0.75 mm网格布置上使用4×4通孔阵列，如图38所示。通孔焊盘直径尺寸为0.018英寸（0.4572毫米），经表面处理的钻孔直径为0.012英寸（0.3048毫米）。

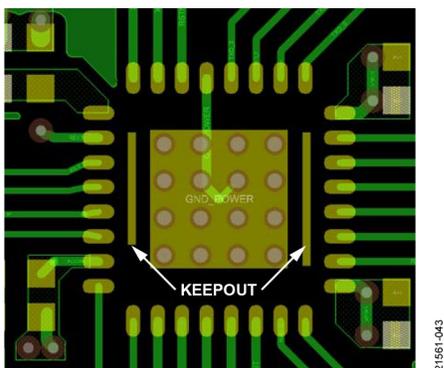


图38. EVAL-ADIN1200FMCZ上的裸露焊盘通过阵列

元件放置

确定关键走线和元件的优先级有助于简化布线作业。首先放置并定位关键走线和元件，以确保转弯、通孔和走线交叉最少，实现有效布局。对于以太网PHY布局，重要元件有晶振和负载电容、MDI线路上的变压器以及器件的所有本地旁路电容。应优先考虑这些元件及其布线。PHY芯片距离板边缘至少应有1英寸。下文详细说明各方面。

晶振放置和布线

为确保电流消耗最小且杂散电容最少，晶振、电容和地之间的连接应尽可能靠近ADIN1200。

磁体放置

磁体和RJ45根据PHY芯片的MDI_x_x引脚定位。

MDI、差分对布线

MDI接口从ADIN1200 PHY连到变压器，再连到RJ45连接器。从ADIN1200的MDI_x_x引脚到磁体的走线必须位于电路板的同一侧，尽可能短（长度最好小于1英寸），并且单根走线阻抗应低于50Ω，每对的差分阻抗为100Ω。相同的建议也适用于从磁体到RJ45连接器的走线。全程的阻抗应保持恒定，因为任何不连续都可能影响信号完整性。

每个线对必须一起布线，走线宽度始终保持相同，走线长度尽可能保持相等，并避免这些走线有任何直角（在走线中使用曲线或45°角）。所有信号走线都应避免分支。在可能的情况下，应在同一层上布设走线。

在连续参考平面上布设走线，没有中断导致电感降低。

在可能的情况下，确保所有信号走线下方存在实芯回路。信号走线应避免跨越分离层。

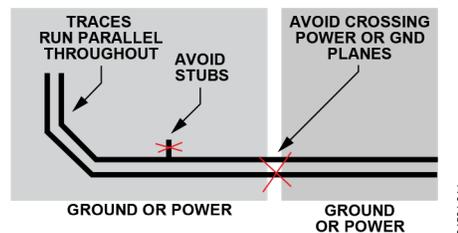


图39. 差分对布线时应避免的情况

MAC接口引脚

走线应尽可能短。走线的接地阻抗应为50Ω。

电源层和接地层

从PCB布局的角度来看，解耦电容必须尽可能靠近电源和GND引脚，以使电感最小。

磁体模块接地

变压器下方使用分离接地层可使跨越变压器和其内部相邻线圈之间的噪声耦合最小化。确保变压器下方的接地层在物理上分离。这种分离的宽度至少应有100密耳。

RJ45模块接地

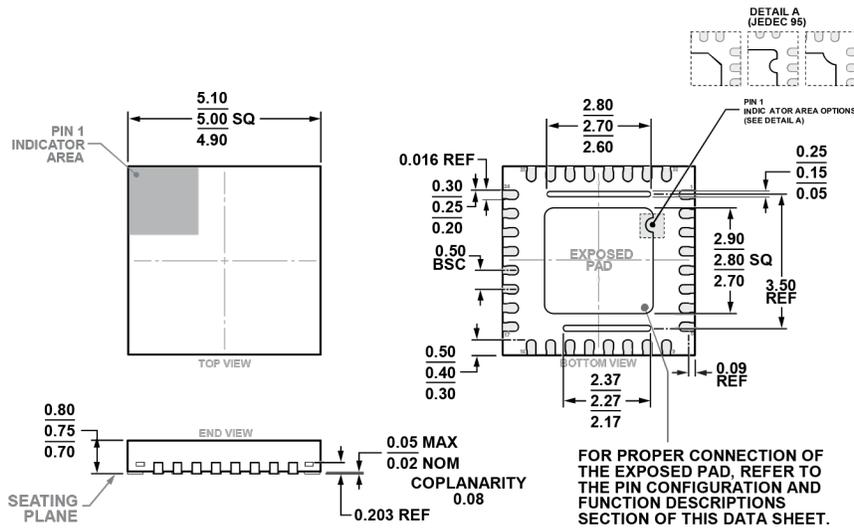
为使EMC性能最佳，建议使用金属屏蔽RJ45连接器，并且屏蔽层连接到底盘接地。底盘接地和PHY IC接地之间须有一个隔离间隙，所有层上都应有一致的隔离。

LFCSP封装布局布线指南

LFCSP封装具有裸露焊盘，出于机械方面的考虑，必须将其焊接到PCB的金属片及GND。封装的裸露焊盘的顶部和底部还有两个禁入区域。这些区域中不得使用PCB走线或通孔。

为了提高热阻性能，需要使用JEDEC 2S2P板，裸露GND焊盘下方使用4×4阵列的热通孔。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-2

图40. 32引脚引线框芯片级封装[LFCSP]
 5 mm × 5 mm本体、0.75 mm封装高度
 (CP-32-31)
 尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADIN1200CCP32Z	-40°C至+105°C	32引脚LFCSP	CP-32-31
ADIN1200CCP32Z-R7	-40°C至+105°C	32引脚LFCSP	CP-32-31
ADIN1200BCP32Z	-40°C至+85°C	32引脚LFCSP	CP-32-31
ADIN1200BCP32Z-R7	-40°C至+85°C	32引脚LFCSP	CP-32-31
EVAL-ADIN1200FMCZ		评估板	

¹ Z = 符合RoHS标准的器件。

