

特点

- 允许线路板在带电的-48V背板上安全地插入和拔出
- 电路断路器对电压阶跃和电流尖峰具有免疫能力
- 可设置涌入电流和短路电流限值
- 引脚与 LT1640L/LT1640H 兼容
- 可在 -20V 至 -80V 电源范围内工作
- 可设置过压保护
- 可设置欠压闭锁
- 电源良好控制输出
- 与 Bell-Core 兼容的 $\overline{\text{ON/OFF}}$ 门限

应用

- 中心局交换机
- -48V 分布式电源系统
- 负电源控制

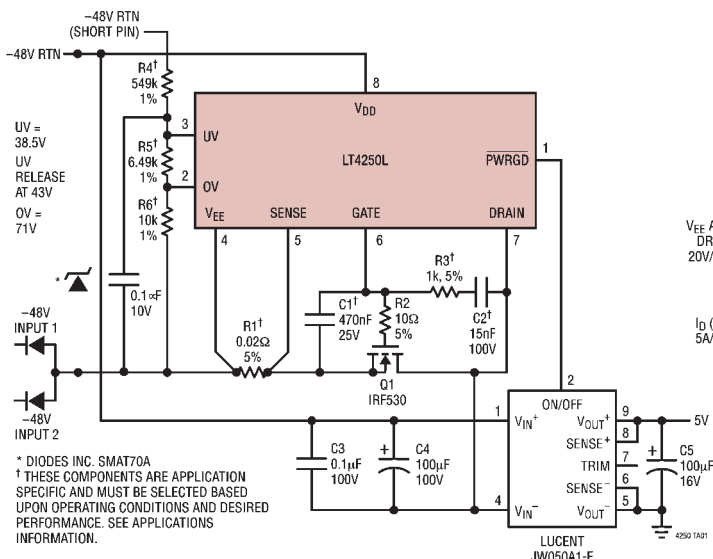
描述

LT[®]4250L/LT4250H 是 8 引脚、负 48V 热插拔 (Hot Swap[™]) 控制器，允许电路板在带电的背板上安全地插入和拔出。通过控制一个外部 N 沟道通路晶体管的门极电压，涌入电流可被限制在一个可设置的数值上。如果输入电压小于可设置的欠压门限或大于过压门限，则该通路晶体管会被关断。可设置的电流限值保护系统不受短路的破坏。在一个 500 μ s 的限时之后，电流限值启动电子电路断路器。PWRGD (LT4250L) 或 PWRGD (LT4250H) 信号可被用于直接使能一个电源模块。LT4250L 专为具有低使能输入的模块而设计，LT4250H 则专为高使能输入的模块而设计。

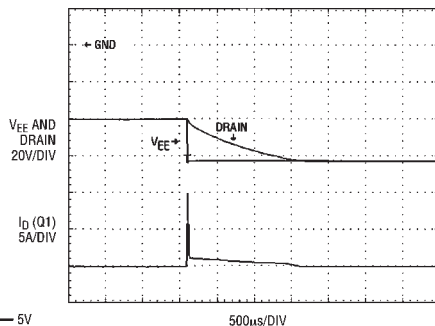
LT4250L/LT4250H 采用了 8 引脚 PDIP 和 SO 封装。

 LTC 和 LT 是凌特公司的注册商标。
Hot Swap 是凌特公司的商标。

典型应用



输入电源上的电压阶跃

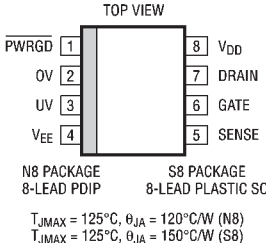
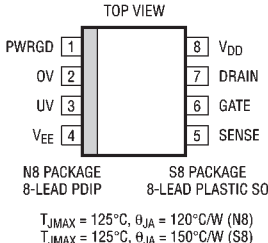


LT4250L/LT4250H

绝对最大额定值 (注1)，所有电压都以 V_{EE} 为基准。

电源电压 ($V_{DD} - V_{EE}$)	-0.3V至100V	工作温度范围	
PWRGD，PWRGD 引脚	-0.3V至100V	LT4250LC/LT4250HC	0°C至70°C
SENSE、GATE 引脚	-0.3V至20V	LT4250LI/LT4250HI	-40°C至85°C
UV、OV 引脚	-0.3V至60V	储存温度范围	-65°C至150°C
DRAIN 引脚	-2V至100V	引脚温度 (焊接时间10秒)	300°C
最大结点温度	125°C		

封装/订购信息

TOP VIEW  N8 PACKAGE 8-LEAD PDIP S8 PACKAGE 8-LEAD PLASTIC SO $T_{JMAX} = 125^{\circ}C, \theta_{JA} = 120^{\circ}C/W$ (N8) $T_{JMAX} = 125^{\circ}C, \theta_{JA} = 150^{\circ}C/W$ (S8)	器件型号 LT4250LCN8 LT4250LCS8 LT4250LIN8 LT4250LIS8 S8 器件标记 4250L 4250LI
TOP VIEW  N8 PACKAGE 8-LEAD PDIP S8 PACKAGE 8-LEAD PLASTIC SO $T_{JMAX} = 125^{\circ}C, \theta_{JA} = 120^{\circ}C/W$ (N8) $T_{JMAX} = 125^{\circ}C, \theta_{JA} = 150^{\circ}C/W$ (S8)	器件型号 LT4250HCN8 LT4250HCS8 LT4250HIN8 LT4250HIS8 S8 器件标记 4250H 4250HI

对于具有更宽工作温度范围的器件，请咨询凌特公司。

电特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指环境温度 $T_A = 25^{\circ}C$ (注2)。 $V_{DD} = 48V$ ， $V_{EE} = 0V$ ，除非特别指明。

符号	参数	条件	最小值	典型值	最大值	单位	
直流							
V _{DD}	电源电压工作范围		●	20	80	V	
I _{DD}	电源电流	UV = 3V，OV = V _{EE} ，SENSE = V _{EE}	●	1.6	5	mA	
V _{UVL}	欠压闭锁		●	15.4		V	
V _{CL}	电流限值跳变电压	V _{CL} = (V _{SENSE} - V _{EE})	●	40	50	60	mV
I _{PU}	GATE 引脚上拉电流	门极驱动开启，V _{GATE} = V _{EE}	●	-30	-45	-60	μA
I _{PD}	GATE 引脚下拉电流	门极驱动关闭		24	50	70	mA
I _{SENSE}	SENSE 引脚电流	V _{SENSE} = 50mV		-20			μA
ΔV _{GATE}	外部门极驱动	(V _{GATE} - V _{EE})，20V ≤ V _{DD} ≤ 80V	●	10	13.5	18	V
V _{UVH}	UV 引脚高门限电压	UV 增加	●	1.240	1.255	1.270	V
V _{UVL}	UV 引脚低门限电压	UV 减少	●	1.105	1.125	1.145	V
V _{UVHY}	UV 引脚迟滞			130			mV
I _{INUV}	UV 引脚输入电流	V _{UV} = V _{EE}	●	-0.02	-0.5		μA
V _{OVH}	OV 引脚高门限电压	OV 增加	●	1.235	1.255	1.275	V
V _{OVL}	OV 引脚低门限电压	OV 减少	●	1.210	1.235	1.255	V

电特性 凡标注 ● 表示该指标适合整个工作温度范围, 否则仅指环境温度 $T_A = 25^\circ\text{C}$ (注 2)。 $V_{DD} = 48\text{V}$, $V_{EE} = 0\text{V}$, 除非特别指明。

符号	参数	条件	最小值	典型值	最大值	单位
V_{OVHY}	OV 引脚迟滞			20		mV
I_{INOV}	OV 引脚输入电流	$V_{OV} = V_{EE}$	●	-0.03	-0.5	μA
V_{DL}	DRAIN 低电平门限	$V_{DRAIN} - V_{EE}$, DRAIN 减少		1.1	1.6	V
V_{GH}	GATE 高电平门限	$\Delta V_{GATE} - V_{GATE}$ 减少		1.3		V
I_{DRAIN}	漏极输入偏置电流	$V_{DRAIN} = 48\text{V}$	●	10	80	μA
V_{OL}	PWRGD 输出低电平电压	PWRGD (LT4250L), $(V_{DRAIN} - V_{EE}) < V_{DL}$	●	0.48	0.8	V
		$I_{OUT} = 1\text{mA}$	●	1.2	3.0	V
	PWRGD 输出低电平电压 (PWRGD - DRAIN)	PWRGD (LT4250H), $V_{DRAIN} = 5\text{V}$ $I_{OUT} = 1\text{mA}$	●	0.75	1.0	V
I_{OH}	输出泄漏	PWRGD (LT4250L), $V_{DRAIN} = 48\text{V}$, $V_{PWRGD} = 80\text{V}$	●	0.05	10	μA
		PWRGD (LT4250H), $V_{DRAIN} = 0\text{V}$, $V_{PWRGD} = 80\text{V}$	●	0.05	10	μA

交流

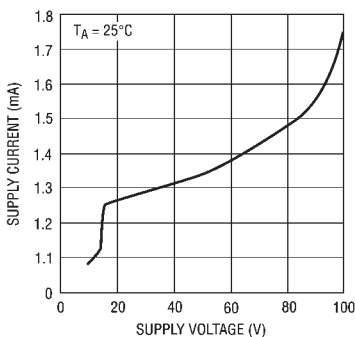
t_{PHLOV}	OV 高至 GATE 低	图 1a, 2		1.7		μs
t_{PHLUV}	UV 低至 GATE 低	图 1a, 3		1.5		μs
t_{PLHOV}	OV 低至 GATE 高	图 1a, 2		5.5		μs
t_{PLHUV}	UV 高至 GATE 高	图 1a, 3		6.5		μs
$t_{PHLSENSE}$	SENSE 高至 GATE 低	图 1a, 4a		1	3	μs
t_{PHLCB}	电流限值至 GATE 低	图 1b, 4b		500		μs
t_{PHLDL}	DRAIN 低至 PWRGD 低	(LT4250L) 图 1a, 5a		1		μs
	DRAIN 低至 (PWRGD - DRAIN) 高	(LT4250H) 图 1a, 5a		1		μs
t_{PHLGH}	GATE 高至 PWRGD 低	(LT4250L) 图 1a, 5b		1.5		μs
	GATE 高至 (PWRGD - DRAIN) 高	(LT4250H) 图 1a, 5b		1.5		μs

注 1: 绝对最大额定值指超出该值则器件可能会受损。

注 2: 所有流入器件引脚的电流均为正; 所有流出器件引脚的电流均为负。所有电压均以 V_{EE} 为基准, 除非特别说明。

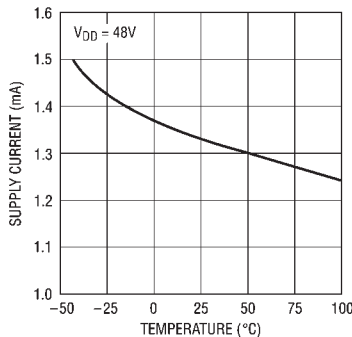
典型性能特征

电源电流与电源电压的关系曲线



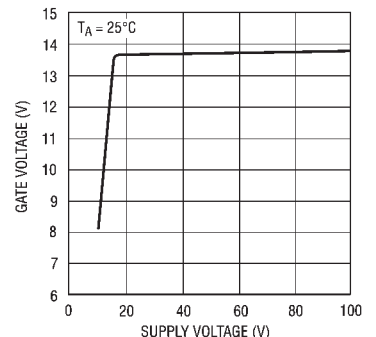
1640 001

电源电流与温度的关系曲线



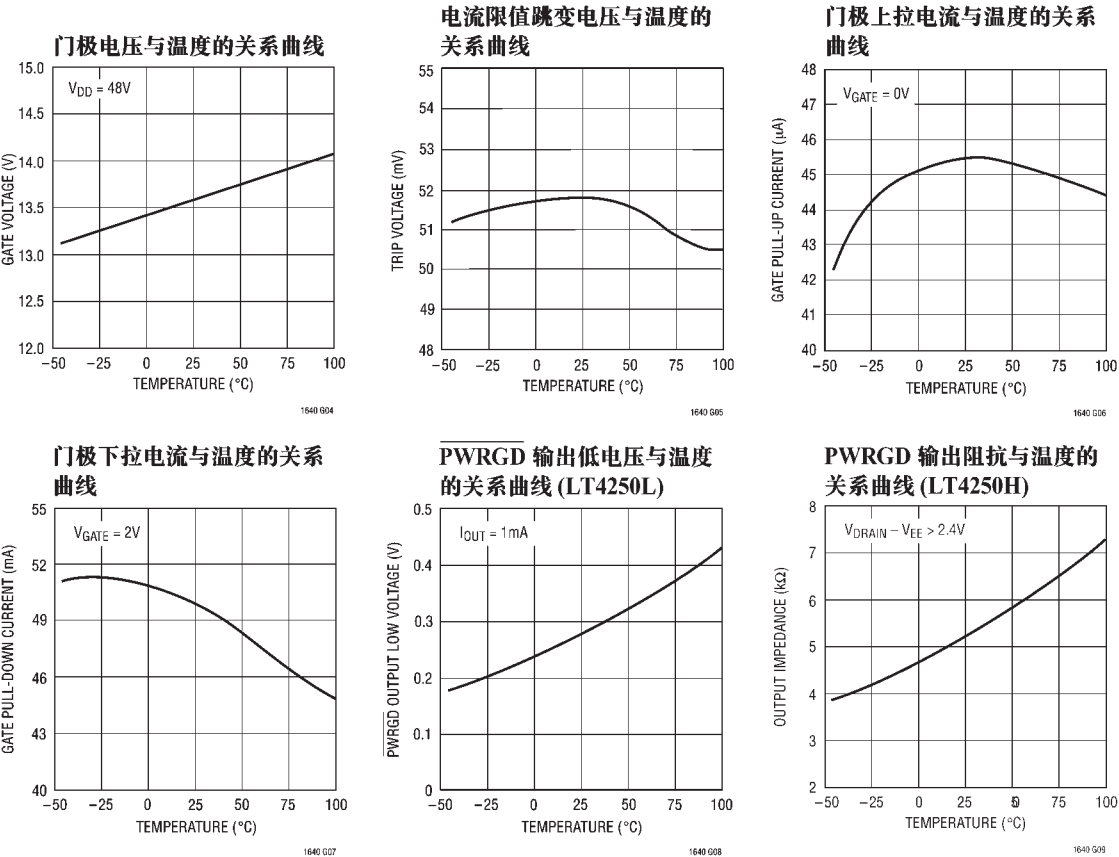
1640 002

门极电压与电源电压的关系曲线



1640 003

典型性能特征



引脚功能

PWRGD/PWRGD (引脚1)：电源良好输出引脚。当 V_{DRAIN} 在 V_{EE} 的 V_{DL} 之内以及 V_{GATE} 在 ΔV_{GATE} 的 V_{GH} 之内时，该引脚将锁定一个电源良好指示。该引脚可直接连接于一个电源模块的使能引脚上。

当 LT4250L 的 DRAIN 引脚比 V_{EE} 高出 V_{DL} 以上，或 V_{GATE} 比 V_{GH} 高出 ΔV_{GATE} 以上时，PWRGD 引脚将呈现高阻抗，使该模块使能引脚的上拉电流将该引脚拉至高电平，从而将模块关断。当 V_{DRAIN} 下降至 V_{DL} 以下和 V_{GATE} 上升至 V_{GH} 以上时，PWRGD 引脚吸收电流至 V_{EE} ，将使能引脚拉至低电平，从而启动模

块。该状态被闭锁，直到 GATE 引脚通过 UV、OV、UVLO 或电子电路断路器被关断。

当 LT4250H 的 DRAIN 引脚比 V_{EE} 高出 V_{DL} 以上或 V_{GATE} 比 V_{GH} 高出 ΔV_{GATE} 以上时，PWRGD 引脚将吸收电流至 DRAIN 引脚，将模块的使能引脚拉至低电平，迫使其关断。当 V_{DRAIN} 降至 V_{DL} 以下和 V_{GATE} 上升至 V_{GH} 以上，PWRGD 的吸入电流被关断，使模块的上拉电流可将使能引脚拉至高电平，从而启动模块。该状态被闭锁，直到 GATE 引脚通过 UV、OV、UVLO 或电子电路断路器被关断。

引脚功能

OV (引脚 2) : 模拟过压输入。当 OV 被拉至 1.255V 门限以上时, 则检测到一个过压状态, GATE 引脚将被立即拉至低电平。GATE 引脚将保持低电平, 直到 OV 下降至 1.235V 门限以下。

UV (引脚 3) : 模拟欠压输入。当 UV 被拉至 1.125V 门限以下时, 则检测到一个欠压状态, GATE 引脚将被立即拉至低电平。GATE 引脚的低电平将一直保持直到 UV 上升至 1.255V 门限以上。

UV 引脚还用来对电子电路断路器复位。如果 UV 引脚在电路断路器的跳变之后出现一个由低到高的循环, 则电路断路器被复位, 然后进入一个正常的上电过程。该引脚的响应时间为 $1.5\mu\text{s}$ 。可在该引脚上外接一个电容器以进一步滤波。

V_{EE} (引脚 4) : 负电源电压输入。连接于电源的较低电位。

SENSE (引脚 5) : 电路断路器检测引脚。利用一个置于电源通路上 V_{EE} 与 SENSE 之间的检测电阻, 过流状态将把 GATE 引脚向下拉, 并将电阻两端的电压调整为 50mV。如果过流状态出现在 500 μs 以上, 电子电路断路器将跳变并将外部 MOSFET 关断。

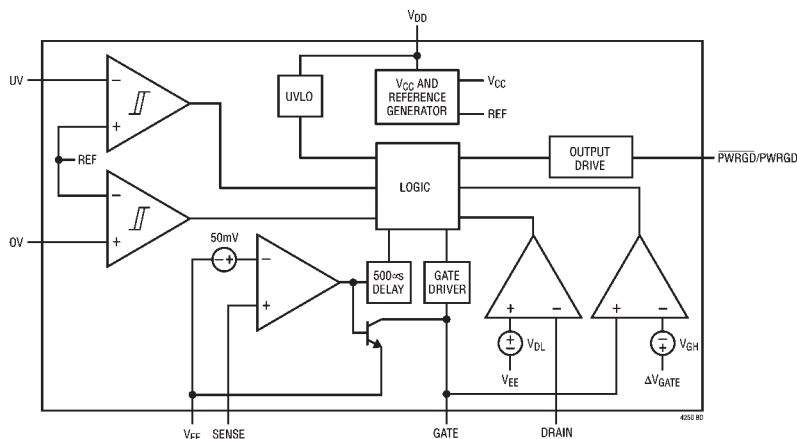
如果电流限值被设置为正常工作电流的两倍, 那么在正常工作时检测电阻两端只有 25mV 的压降。若要取消电流限值功能, 可将 V_{EE} 与 SENSE 短路。

GATE (引脚 6) : 针对外部 N 沟道 MOSFET 的门极驱动输出。在出现以下启动条件时, GATE 引脚将走高: UV 引脚为高, OV 引脚为低, $(V_{\text{SENSE}} - V_{\text{EE}}) < 50\text{mV}$ 并且 V_{DD} 引脚高于 V_{UVLOH}。GATE 引脚被一个 45 μA 电流源上拉至高电平, 以及被一个 50mA 电流源下拉至低电平。在电流限值期间, GATE 引脚用一个 100mA 电流源下拉至低电平。

DRAIN (引脚 7) : 模拟漏极检测输入。该引脚连接于外部 N 沟道 MOSFET 的漏极和电源模块的 V⁻ 引脚。当 DRAIN 引脚低于 V_{DL} 时, PWRGD/PWRGD 引脚将闭锁以指示开关处于导通状态。

V_{DD} (引脚 8) : 正电源电压输入。该引脚连接于电源输入的较高电位和电源模块的 V⁺ 引脚。一个欠压闭锁电路使芯片停止工作, 直到 V_{DD} 引脚高于 16V V_{UVLOH} 门限。

方框图



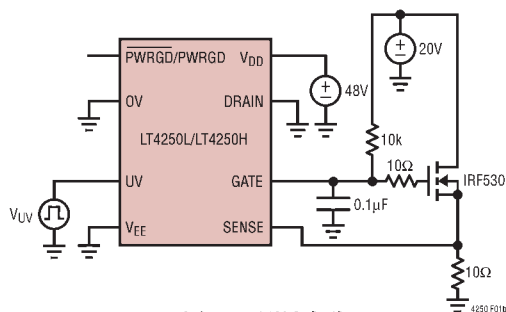
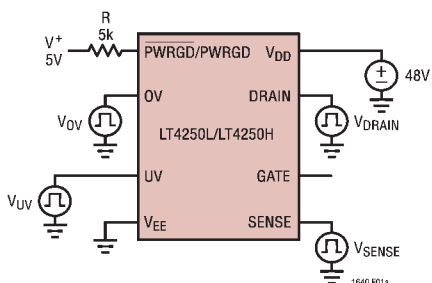
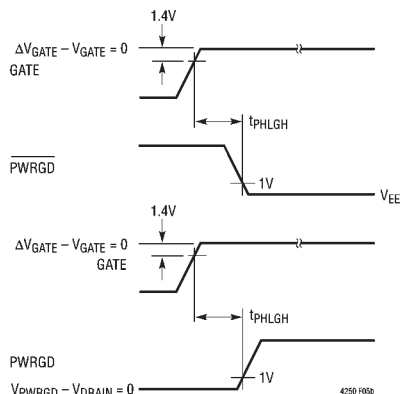
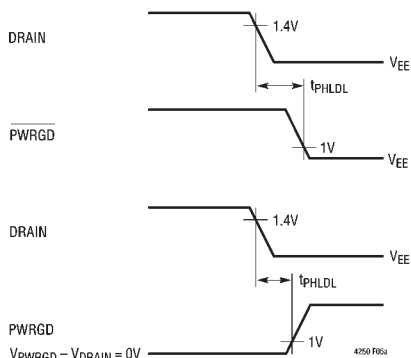
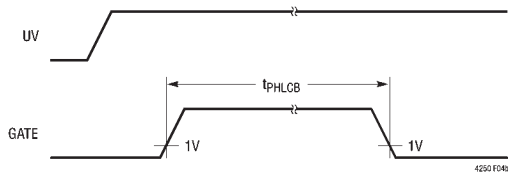
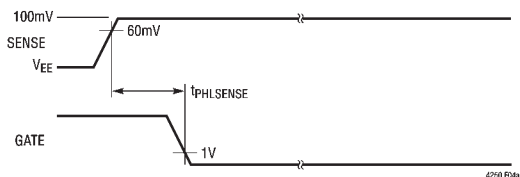
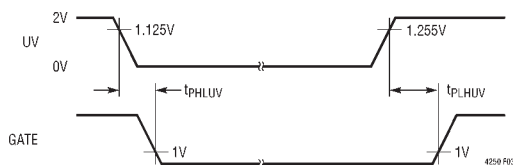


图2:OV至GATE的时序



应用信息

热电路插入

当电路板插入一个带电的 -48V 背板时，电路板电源模块或开关电源的输入端旁路电容器将充电并吸收巨大的瞬态电流。该瞬态电流可对电路板上的元器件造成永久性损害，并造成系统电源的干扰。

LT4250 被设计用来以受控方式来启动电路板的电源电压，使电路板能够在带电的背板上安全地插入或拔出。该芯片还提供欠压、过压和过流保护，同时保持电源模块关断，直到输入电压稳定并在容差范围之内。

电源斜坡式上升

在电路板电源模块的输入是通过在电源通路中安置一个外部N沟道场效应管 (Q1) 来实施控制 (图 6a，所有波形均相对于 LT4250 的 V_{EE} 引脚)。R1 提供电流故障检测，而 R2 防止高频振荡。电阻 R4、R5 和 R6 提供欠压和过压检测。通过以低速率提升 Q1 门极电压，在电路板形成连接时，对负载电容器 C3 和 C4 充电的涌入电流可被限制在一个安全值。

电阻 R3 和电容器 C2 作为一个反馈网络，可准确地控制涌入电流。C2 电容器可按以下公式计算：

$$C2 = (45\mu A \cdot C_L) / I_{NRUSH}$$

其中 C_L 为整个负载电容 = $C3 + C4 +$ 模块输入电容。

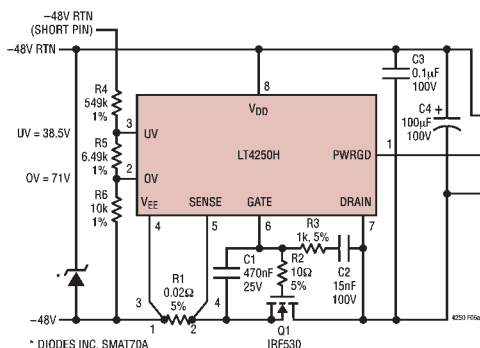


图 6a：涌入控制电路

电容器 C1 和电阻 R3 防止 Q1 在电源引脚最初接触时出现短暂导通。若没有 C1 和 R3，在 LT4250 上电并将 Q1 门极拉低之前，电容器 C2 会将 Q1 门极上拉至一个大约为 $V_{EE} \cdot C2 / C_{GS(Q1)}$ 的电压。通过将电容器 C1 与 Q1 门极电容并联，并利用电阻 R3 与 C2 隔离，就可以解决这一问题。C1 的值可通过下式算出：

$$C1 = \left(\frac{V_{INMAX} - V_{TH}}{V_{TH}} \right) \cdot (C2 + C_{GD})$$

$$\text{在 } V_{INMAX} = 72V \text{ 时, } C1 \approx 35 \cdot C2$$

其中 V_{TH} 为 MOSFET 的最小门极门限， V_{INMAX} 为最大工作输入电压。

R3 不应该超出某值而使之产生一个 $R3 \cdot C2$ 150μs 的时间常数。在 C2 的值大至 150nF 时，R3 的值为 1k 即可保证这一点。

波形如图 6b 所示。当电源引脚接触时，它们会出现一些跳跃。当接触正在跳跃时，LT4250 检测到一个欠压状态，GATE 在电源引脚断开时立即下拉至低电平。

一旦电源引脚停止跳跃，GATE 引脚开始上升。当 Q1 导通时，GATE 电压由 R3 和 C2 反馈网络维持不变。当 DRAIN 电压完成斜坡式上升后，GATE 引脚接著上升至最终值。

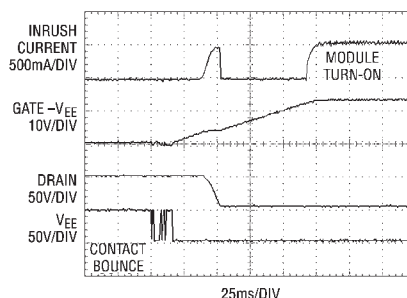


图 6b：涌入控制波形

应用信息

电流限值/电子电路断路器

LT4250 拥有一个电流限值功能，可防止短路或过大电源电流。如果电流限值在有效状态达 $500\mu\text{s}$ 以上，则电子电路断路器将跳变。通过在 V_{EE} 和 SENSE 引脚之间放置一个检测电阻，电流限值将被启动，不论检测电阻两端的电压是否大于 50mV 。

要注意电流限值应该设得足够高以应付负载电流与涌入电流的总和。涌入电流的最大值可按下列式计算：

$$I_{\text{NRUSH}} \leq 0.8 \cdot \left(\frac{40\text{mV}}{R_{\text{SENSE}}} \right) - I_{\text{LOAD}}$$

其中，因数 0.8 用来设定最坏情况下的余量，同时假定最小的跳变电压 (40mV)。

在短路的情况下，电流限值电路启动以及立即将 GATE 拉至低电平，并维持 SENSE 的电压为 50mV ，并且启动一个 $500\mu\text{s}$ 定时器。MOSFET 电流被限制在 $50\text{mV}/R_{\text{SENSE}}$ (见图 7)。如果短路保持 $500\mu\text{s}$ 以上，电路断路器发生跳变，将 GATE 引脚拉至低电平，使 MOSFET 关断。通过将 UV 拉至低电平，或重新给器件加电，电路断路器则复位。如果短路在 $500\mu\text{s}$ 时间之前被清除，电流限值将停止，并释放 GATE。

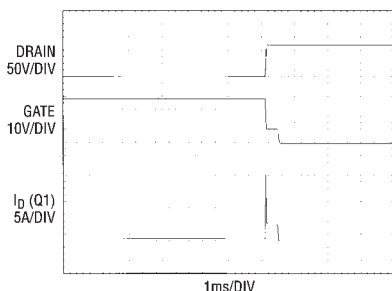


图 7：短路保护波形

LT4250 可防范输入电源上的电压阶跃。输入电源上的一个正电压阶跃 (幅度增加) 可造成一个涌入电流，它与电压的转换速率成正比，即 $I = C_L \cdot \Delta V / \Delta T$ 。如果涌入电流超过 $50\text{mV}/R_{\text{SENSE}}$ ，则电流限值将启动，如图 8 所示。GATE 引脚被拉低，将电流限制在 $50\text{mV}/R_{\text{SENSE}}$ 。在这个水平上，MOSFET 的漏极在输入电压迅速变化时不会跟随源极，反而会保持在存储于负载电容的电压。负载电容开始以 $50\text{mV}/R_{\text{SENSE}}$ 的电流充电，但持续时间不长。随著负载电容的充电， C_2 反推门极并限制 MOSFET 电流，其方式如同最初启动时的情况，此时电流小于短路限值 $50\text{mV}/R_{\text{SENSE}}$ 。这样，电路断路器不会跳变。为了在输入电压阶跃的情况下保证正确的操作， R_{SENSE} 的选值必须提供一个大于负载电流与负载电容动态电流之和的电流限值。

在 C_2 值小于 10nF 时，输入电源上的一个正电压阶跃可造成 Q1 的短暂关断，并停止输出。通过附加额外的电阻和二极管，Q1 可在电压阶跃时仍保持导通。如图 9 中的 D1 和 R7 所示。D1 的目的是在电源引脚首次接触时为 R7 分流，以及允许 C_1 将 GATE 保持为低电平。所选用的 R7 值应该使 $R_7 \cdot C_1$ 时间常数为 $33\mu\text{s}$ 。

在某些条件下，输出端的短路可造成输入电源下跌至 UV 门限以下。LT4250 关闭一次，然后再启动，直到电子电路断路器跳变。通过在 UV 至 V_{EE} 之间连接一个电容器以在 UV 引脚增加一个抗突变的延迟，可尽量减少以上情况的发生。该电容器与 UV 上的电阻形成一个 RC 时间常数，允许输入电源在 UV 引脚将电路断路器复位之前即已恢复。

应用信息

电流故障之后的一个自动复位电路断路器如图 10 所示。晶体管 Q2 和 Q3 以及 R7、R8、C4 和 D1 组成一个可设定的单次触发电路。在发生短路之前，GATE 引脚被拉高，Q3 导通，将节点 2 拉至 V_{EE} 。电阻 R8 将 Q2 关断。当发生短路时，GATE 引脚被拉低，Q3 关断。节点 2 开始对 C4 充电，以及

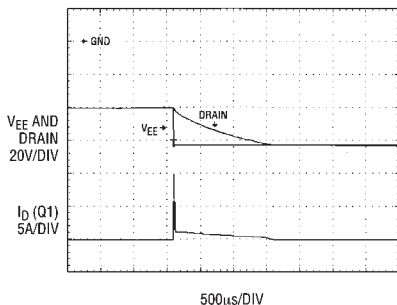


图 8：输入电源波形上的电压阶跃

Q2 导通，将 UV 引脚拉低并使电路断路器复位。一旦 C4 完全充电，R8 将 Q2 关断，UV 走高，并且 GATE 开始斜坡式上升。Q3 再次导通，并迅速将节点 2 拉回 V_{EE} 。二极管 D1 将节点 3 箝位在 V_{EE} 以下的一个二极管压降的电位上。占空比设为 10% 以防止 Q1 过热。

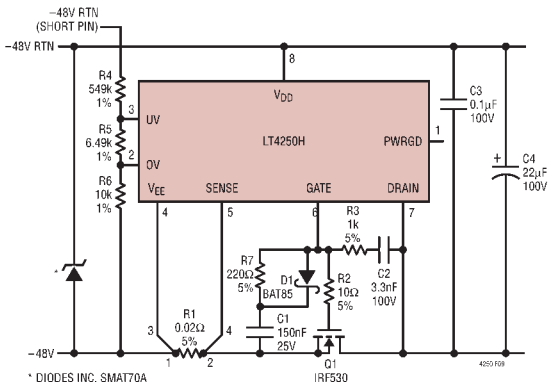


图 9：采用小值 C2 (< 10nF) 处理输入阶跃的电路

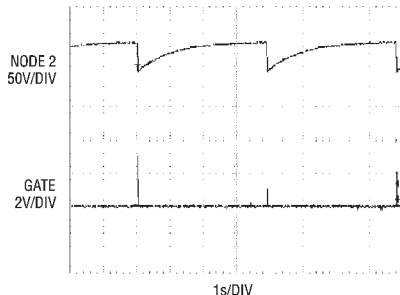
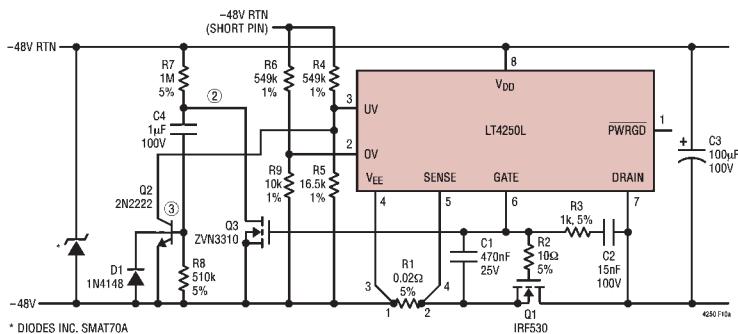


图 10：在电流故障之后自动重新启动

应用信息

欠压与过压检测

UV (引脚 3) 和 OV (引脚 2) 两只引脚可用来检测在电源输入的欠压和过压状态。UV 和 OV 引脚在内部连接于模拟比较器，分别具有 130mV 和 20mV 的迟滞。当 UV 引脚下降至其门限以下或 OV 引脚上升至其门限以上时，GATE 引脚立即被拉低。GATE 引脚一直保持为低，直到 UV 变高和 OV 变低。

欠压和过压的跳变电压可利用一个三电阻分压器来设定，如图 11 所示。在 $R4 = 549k$ 、 $R5 = 6.49k$ 及 $R6 = 10k$ 时，欠压门限被设定在 38.5V (自欠压有一个 43V 的释放)，过压门限被设定在 71V。电阻分压器还在输入端将 UV 和 OV 引脚的迟滞分别增加到 4.5V 和 1.2V。

PWRGD/PWRGD 输出

当模块的输入电压处于容差范围之内时，PWRGD/PWRGD 输出可用来直接使能一个电源模块。LT4250L 有一个 PWRGD 输出，适用于具备有源低使能输入的模块，LT4250H 有一个 PWRGD 输出，适用于具备有源高使能输入的模块。

当 LT4250H 的 DRAIN 电压相对 V_{EE} 为高时 (图

12)，或者 GATE 电压为低，其内部晶体管 Q3 被关断， I_1 和 Q2 将 PWRGD 引脚箝位在 DRAIN 引脚之上一个饱和压降 ($\approx 0.3V$) 的电平上。晶体管 Q2 吸入模块的上拉电流，模块关断。

当 DRAIN 电压下降至 V_{DL} 以下，GATE 电压为高时，Q3 将导通，使 I_1 下端与 DRAIN 短路以及 Q2 被关断。模块中的上拉电流可将 PWRGD 引脚拉高，并使模块被使能。

当 LT4250L 的 DRAIN 电压相对 V_{EE} 为高或 GATE 电压为低，内部下拉晶体管 Q2 关断，PWRGD 引脚处于高阻状态 (图 13)。PWRGD 引脚将被模块内部的上拉电流源拉高，使模块关断。当 DRAIN 电压下降至 V_{DL} 以下，并且 GATE 电压为高时，Q2 将导通，PWRGD 引脚被拉低，模块被使能。

PWRGD 信号还可用来点亮一个 LED 或导通一个光电隔离器，以示电源良好，如图 14 所示。

门极引脚电压隐压

当施于芯片的电源电压高于 20V 时，GATE 引脚电压被调整在 V_{EE} 之上的 13.5V。对于高达 80V 的电源电压，该门极电压不会超过 18V。

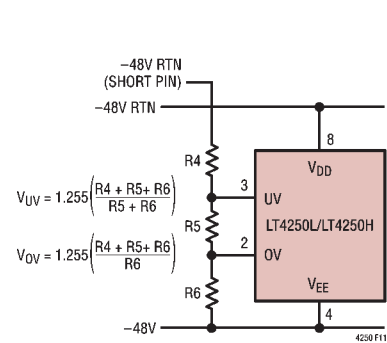


图 11：欠压和过压检测

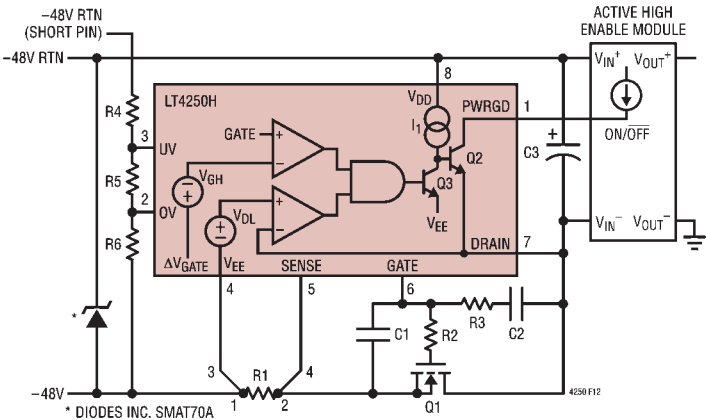


图 12：有源高使能模块

典型应用

采用一个 EMI 滤波器模块

许多应用在电源通路上放置一个 EMI 滤波器模块，以防止模块的开关噪声反向注入到电源中。采

用 Lucent 的 FLTR100V10 滤波器模块的一个典型应用如图 15 所示。当采用滤波器时，需要使用一个光电隔离器来防止共模瞬态干扰损坏 PWRGD 和 ON/OFF 引脚。

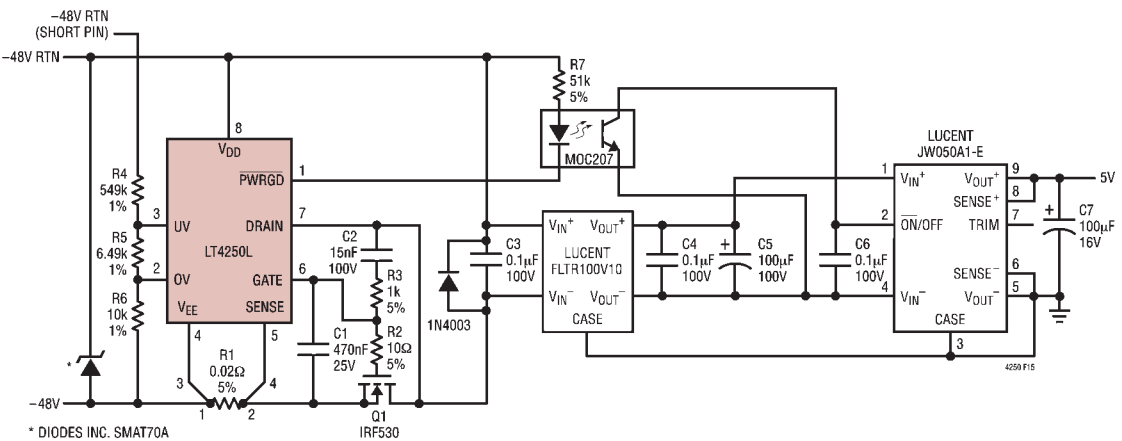


图 15：采用滤波器模块的典型应用

相关器件

型号	描述	备注
LTC®1421	双热插拔控制器，附带 -12V 控制	工作于 3V 至 12V
LTC1422	热插拔控制器，SO-8 封装	具有可设置延迟的系统复位输出
LT1640AH/LT1640AL	-48V 热插拔控制器，SO-8 封装	LT4250 是 LT1640 的一个引脚兼容的升级型号
LT1641-1/LT1641-2	+48V 热插拔控制器，SO-8 封装	反馈电流限值，9V 至 80V，自动重试/门锁关断
LTC1642	故障保护热插拔控制器	工作电压高至 16.5V，可防护电压高至 33V
LTC1643	PCI 热插拔控制器	适用 PCI 总线的 3.3V，5V，12V，-12V
LTC1645	双热插拔控制器	工作于 1.2V 至 12V，电源排序
LTC1646	双 CompactPCI 热插拔控制器	3.3V，5V 电源，具有预充电和本地 PCI 复位逻辑
LTC1647	双热插拔控制器	双 ON 引脚，适用 3V 至 15V 电源
LTC4211	热插拔控制器，具有多功能电流控制	2.5V 至 16.5V 电源，有源涌入电流限制
LTC4251	-48 热插拔控制器，SOT-23 封装	有源电流限制，针对灾难性故障的快速比较器
LTC4252	-48 热插拔控制器，MSOP 封装	有源电流限制，针对灾难性故障的快速比较器，独立 UV/OV 引脚，电源良好输出