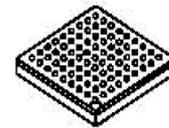


MIMX8MM6DVTLZAA
MIMX8MM4DVTLZAA
MIMX8MM2DVTLZAA

MIMX8MM5DVTLZAA
MIMX8MM3DVTLZAA
MIMX8MM1DVTLZAA

适用于消费电子产品的 i.MX 8M Mini 应用处理器 数据手册



封装信息
塑料封装

FCBGA 14 x 14 mm, 0.5 mm 间距

订购信息

参见第 6 页的表 2

1 i.MX 8M Mini 简介

i.MX 8M Mini 应用处理器是能够带来最新视频和音频体验的恩智浦产品，具有最先进的特定媒体功能，采用高性能处理技术，同时优化了功耗。

i.MX 8M Mini 系列处理器采用先进的四核 Arm® Cortex®-A53 内核，运行速度高达 1.8 GHz。一个通用型 Cortex®-M4 400 MHz 内核处理器用于低功耗处理。DRAM 控制器支持 32 位/16 位 LPDDR4、DDR4 和 DDR3L 存储器。可提供多种音频接口，包括 I2S、AC97、TDM 和 S/PDIF。提供许多其他接口用于连接外围设备，如 USB、PCIe 和以太网。

1. i.MX 8M Mini 简介	1
1.1. 功能框图	5
1.2. 订购信息	6
2. 模块列表.....	8
2.1. 未使用的输入/输出的推荐连接	12

表 1. 特性

子系统	特性
Arm Cortex-A53 MPCore 平台	Cortex-A53 四核对称处理器 <ul style="list-style-type: none"> • 32 KB L1 指令缓存 • 32 KB L1 数据缓存 • 采用 NEON 技术的媒体处理引擎(MPE)，支持高级单指令多数据架构： • 支持 VFPv4-D16 架构的浮点单元(FPU)
	支持 64 位 Armv8-A 架构
	512 KB 统一 L2 缓存
Arm Cortex-M4 内核平台	提供低功耗微处理器用于客户应用： <ul style="list-style-type: none"> • 低功耗待机模式 • 物联网特性（包括 Weave） • 管理红外或无线远程端
	Cortex M4 CPU: <ul style="list-style-type: none"> • 16 KB L1 指令缓存 • 16 KB L1 数据缓存 • 256 KB 紧耦合内存(TCM)
连接性	一个 PCI Express (PCIe) <ul style="list-style-type: none"> • 单通道，支持 PCIe Gen2 • 可用作根复合体或端点的双模式运行 • 集成 PHY 接口 • 支持 L1 低功耗子状态
	两个集成 PHY 接口的 USB 2.0 OTG 控制器： <ul style="list-style-type: none"> • 支持扩频时钟
	三个超安全数字主机控制器(uSDHC)接口： <ul style="list-style-type: none"> • MMC 5.1 符合 HS400 DDR 信令，支持高达 400 MB/sec 的速率 • SD/SDIO 3.0 符合 200 MHz SDR 信令，支持高达 100 MB/sec 的速率 • 支持 SDXC（扩展容量）
	一个千兆以太网控制器，支持高能效以太网(EEE)、以太网 AVB 和 IEEE 1588
	四个通用异步接收器/发送器(UART)模块
	四个 I ² C 模块
	三个 ECSPi 模块
片内存储器	引导 ROM (256 KB)
	片内 RAM(256 KB + 32 KB)
GPIO 和引脚多路复用	具有中断功能的通用输入/输出(GPIO)模块
	输入/输出多路复用控制器(IOMUXC)提供集中式焊盘控制
电源管理	带可编程触发点的温度传感器
	灵活的电源域分区，带内置电源开关，支持高效的电源管理

表 1. 特性 (续)

子系统	特性
外部存储器接口	32/16 位 DRAM 接口: <ul style="list-style-type: none"> • LPDDR4 (高达 1.5 GHz) • DDR4-2400 • DDR3L-1600
	8 位 NAND Flash, 包括支持 Raw MLC/SLC 器件、高达 62 位的 BCH ECC, 并且符合 ONFi3.2 (时钟速率高达 100 MHz, 数据传输速率高达 200 MB/sec)
	eMMC 5.1 Flash (2 个接口)
	SPI NOR Flash (3 个接口)
	FlexSPI 提供 XIP 支持(在低功耗模式下支持 ME)和两个相同 Flash 器件的并行读取模式
多媒体	视频处理单元: <ul style="list-style-type: none"> • 1080p60 VP9 Profile 0, 2 (10 位) • 1080p60 HEVC/H.265 解码器 • 1080p60 AVC/H.264 基线、主要、高端解码器 • 1080p60 VP8 • 1080p60 AVC/H.264 编码器 • 1080p60 VP8 • TrustZone 支持
	图形处理单元: <ul style="list-style-type: none"> • GCNanoUltra 用于 3D 加速 • GC320 用于 2D 加速
	LCDIF 显示控制器: <ul style="list-style-type: none"> • 支持多达两层的覆盖 • 通过 MIPI DSI 支持高达 1080p60 的显示
	MIPI 接口: <ul style="list-style-type: none"> • 4 通道 MIPI CSI 接口 • 4 通道 MIPI DSI 接口
	音频: <ul style="list-style-type: none"> • S/PDIF 输入和输出, 包括新的原始捕获输入模式 • 五个同步音频接口(SAI)模块支持 I2S、AC97、TDM、编解码器/DSP 和 DSD 接口, 包括一个 8 路 Tx 和 8 路 Rx 通道的 SAI、一个 4 路 Tx 和 4 路 Rx 通道的 SAI、两个双路 Tx 和双路 Rx 通道的 SAI 以及一个单路 Tx 和单路 Rx 通道的 SAI。支持超过 20 个音频通道(受 I/O 所限)。 • 8 通道脉冲密度调制(PDM)输入
	系统调试
	跟踪端口接口单元(TPIU)支持片外实时跟踪
	嵌入式跟踪 FIFO (ETF)具有 4KB 内部存储, 以提供跟踪缓冲
	统一跟踪功能, 支持四核 Cortex-A53 和 Cortex-M4 CPU
	交叉触发接口(CTI)
	支持 5 引脚(JTAG)调试接口

表 1. 特性 (续)

子系统	特性
安全性	资源域控制器(RDC)支持 4 个域和最多 8 个 DDR 区域
	Arm TrustZone (TZ)架构: • 支持 Arm Cortex-A53 MP 内核 TrustZone
	采用 OCRAM 控制器提供片内 RAM(OCRAM)安全区域保护
	高度保证启动(HAB)
	加密加速和保证模块(CAAM)以及保证模块: • 支持 Widevine 和 PlayReady 内容保护 • 基于 RSA 和椭圆曲线(ECC)算法的公共密钥加密(PKHA) • 实时完整性检查器(RTIC) • DRM 支持, 用于 RSA、AES、3DES、DES • 防御旁路攻击 • 真正的随机数生成(RNG) • 制造保护支持
	安全非易失性存储(SNVS): • 安全实时时钟(RTC)
	安全 JTAG 控制器(SJC)

注意

实际功能集取决于产品型号 (如表 2 所述)。某些特定产品型号可能并未启用某些功能, 如显示器和摄像头接口以及连接接口。

1.1 功能框图

图 1 显示了 i.MX 8M Mini 应用处理器系统的功能模块。

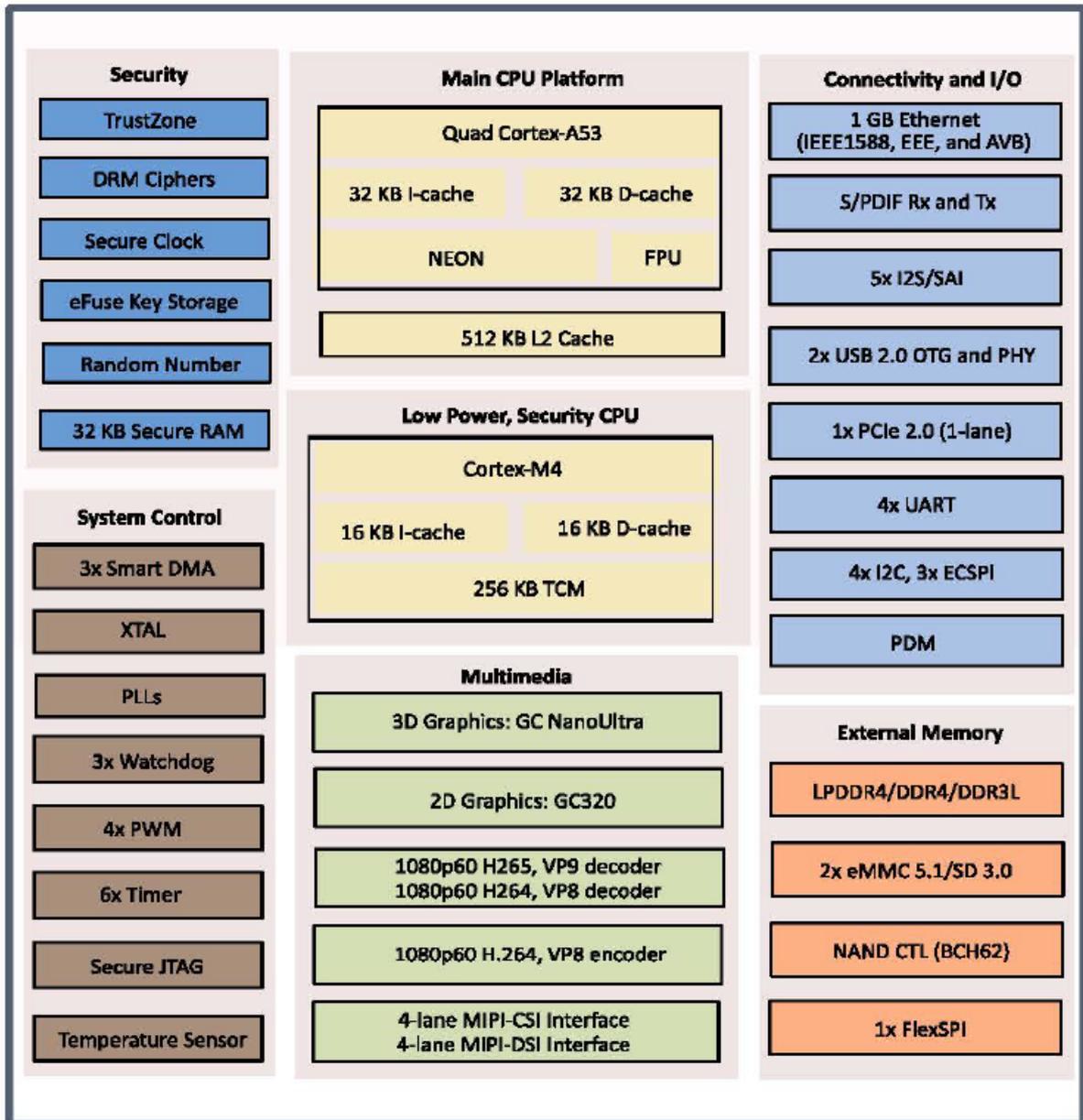


图 1. i.MX 8M Mini 系统功能框图

1.2 订购信息

表 2 所示为本数据手册中包含的可订购样品型号的示例。此表不包括所有可订购的产品型号。如果表中未列出所需的产品型号，或者您对现有器件有任何疑问，请与恩智浦代表联系。

表 2. 可订购的产品型号

系列	产品型号	器件差异	Cortex-A53 CPU 速率等级	认证等级	温度 T _j (°C)	封装
i.MX 8M Mini Quad	MIMX8MM6DVTLZAA	功能齐全, 4x A53	1.8 GHz	消费产品	0 至+95	14 x 14 mm, 0.5 mm 间距
i.MX 8M Mini QuadLite	MIMX8MM5DVTLZAA	无 VPU, 4x A53	1.8 GHz	消费产品	0 至+95	14 x 14 mm, 0.5 mm 间距
i.MX 8M Mini Dual	MIMX8MM4DVTLZAA	功能齐全, 2x A53	1.8 GHz	消费产品	0 至+95	14 x 14 mm, 0.5 mm 间距
i.MX 8M Mini DualLite	MIMX8MM3DVTLZAA	无 VPU, 2x A53	1.8 GHz	消费产品	0 至+95	14 x 14 mm, 0.5 mm 间距
i.MX 8M Mini Solo	MIMX8MM2DVTLZAA	功能齐全, 1x A53	1.8 GHz	消费产品	0 至+95	14 x 14 mm, 0.5 mm 间距
i.MX 8M Mini SoloLite	MIMX8MM1DVTLZAA	无 VPU, 1x A53	1.8 GHz	消费产品	0 至+95	14 x 14 mm, 0.5 mm 间距

图 2 描述了产品型号命名规则，以使用户识别特定产品型号的特征。

欲知更多详情，请联系恩智浦代表。

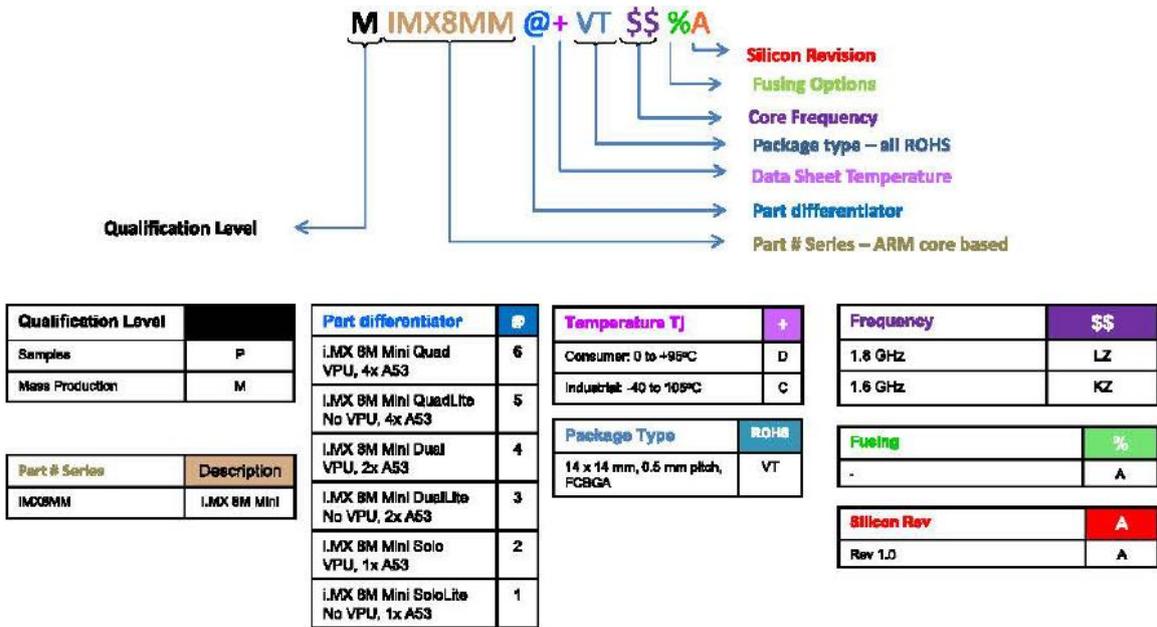


图 2. 产品型号命名规则—i.MX 8M Mini 系列处理器

2 模块列表

i.MX 8M Mini 系列处理器包含各种数字和模拟模块。表 3 按字母表排序列出了这些模块。

表 3. i.MX 8M Mini 模块列表

模块助记符	模块名称	简述
32k 振荡器	时钟系统	32 KHz 振荡器用作 RTC 和内部低速时钟的时钟源。可通过外部 32.768 KHz 的振荡器提供时钟。
APBH-DMA	NAND Flash 和 BCH ECC DMA 控制器	DMA 控制器用于 GPMM2 操作。
Arm	Arm 平台	Arm 内核平台包括一个四核 Cortex-A53 内核和一个 Cortex-M4 内核。Cortex-A53 内核包括相关的子功能块，例如 2 级缓存控制器、Snoop 控制单元(SCU)、通用中断控制器(GIC)、专用计时器、看门狗和 CoreSight 调试模块。Cortex-M4 内核用作客户微控制器。
BCH	二进制 BCH ECC 处理器	BCH 模块提供高达 62 位的 ECC 加密/解密，用于 NAND Flash 控制器(GPMI)
CAAM	加密加速器和保证模块	CAAM 是一个加密加速器和保证模块。CAAM 可实现多个加密和哈希函数、一个运行时完整性检查器、熵源发生器和一个伪随机数生成器(PRNG)。PRNG 可通过国家标准与技术局(NIST)的加密算法验证程序(CAVP)进行验证。 CAAM 还可实现安全存储器机制。i.MX 8M Mini 处理器内提供的安全存储器为 32 KB。
CCM GPC SRC	时钟控制模块、通用电源控制器、系统复位控制器	这些模块负责系统中的时钟和复位分配，还负责系统电源管理。
CSU	中央安全单元	中央安全单元(CSU)负责在 i.MX 8M Mini 平台内设置全面的安全策略。
CTI-0 CTI-1 CTI-2 CTI-3 CTI-4	交叉触发接口	交叉触发接口(CTI)允许基于连接至 CTI 的主机输入进行交叉触发。CTI 模块内置于 Cortex-A53 内核平台中。
DAP	调试访问端口	DAP 提供对调试器的实时访问，无需停止内核访问： <ul style="list-style-type: none"> 系统存储器和外设寄存器 所有调试配置寄存器 DAP 还提供调试器对 JTAG 扫描链的访问。
DDRC	双数据传输速率控制器	DDR 控制器具有以下特性： <ul style="list-style-type: none"> 支持 32/16 位 LPDDR4（高达 1.5 GHz）、DDR4-2400 和 DDR3L-1600 支持高达 8 GB DDR 的内存空间
eCSPI1 eCSPI2 eCSPI3	可配置 SPI	全双工增强同步串行接口，数据传输速率高达 52 Mbit/s。可配置为支持主/从模式，4 个芯片选择以支持多个外设。

表 3. i.MX 8M Mini 模块列表 (续)

模块助记符	模块名称	简述
ENET1	以太网控制器	以太网媒体访问控制器(MAC)旨在支持 10/100/1000 Mbps 以太网 /IEEE 802.3 网络。需要一个外部收发器接口和收发器功能来完成与媒体的接口。该模块采用专用硬件以支持 IEEE1588 标准。更多详细信息, 请参阅 <i>i.MX 8M Mini 应用处理器参考手册(IMX8MMRM)</i> 的 ENET 章节。
FlexSPI	FlexSPI	FlexSPI 模块充当外部串行 Flash 器件的接口。该模块具有以下特性: <ul style="list-style-type: none"> • 灵活的序列引擎支持各种 Flash 供应商器件 • 单焊盘/双焊盘/四焊盘运行模式 • 单数据传输速率/双数据传输速率/四数据传输速率工作模式 • 并行 Flash 模式 • DMA 支持 • 存储器映射对相连 Flash 器件的读取访问 • 具有优先权的多主机访问, 每个主机都有灵活且可配置的缓冲区
GIC	通用中断控制器	GIC 处理所有来自各种子系统的中断, 并为虚拟化做好准备。
GPIO1 GPIO2 GPIO3 GPIO4 GPIO5	通用 I/O 模块	用于外部 IC 的通用输入/输出。每个 GPIO 模块支持高达 32 位的 I/O。
GPMI	通用存储器接口	GPMI 模块支持多达 8 个 NAND 器件和最高 62 位的 ECC 加密/解密, 用于 NAND Flash 控制器(GPMI2)。GPMI 针对每个 NAND 器件支持单独的 DMA 通道。
GPT1 GPT2 GPT3 GPT4 GPT5 GPT6	通用定时器	每个 GPT 都是一个“自由运行”或“设置即用”模式的 32 位定时器, 带有可编程预分频器和比较与捕获寄存器。可以使用外部事件捕获定时器计数值, 并且可将其配置为在输入脉冲的前沿或后沿触发捕获事件。当定时器配置为在“设置即用”模式下运行时, 它能够在处理器干预最少的情形下定期提供精确的中断。计数器具有输出比较逻辑, 以提供比较时的状态和中断。此定时器可以配置为在外部时钟上运行, 也可以配置为在内部时钟上运行。
GPU3D	3D 图形处理单元	GPU3D 为 3D 图形算法提供硬件加速, 具有足够的处理器能力, 可以在显示屏上运行桌面级质量的交互式图形应用程序。
I2C1 I2C2 I2C3 I2C4	I ² C 接口	I ² C 为外部器件提供串行接口。最高可支持 320 kbps 的数据传输速率。
IOMUXC	IOMUXC 控制	该模块可实现灵活的 I/O 多路复用。每个 IO 焊盘都有一个默认功能和几个备用功能。备用功能可使用软件进行配置。

表 3. i.MX 8M Mini 模块列表 (续)

模块助记符	模块名称	简述
MIPI CSI2(4 通道)	MIPI 摄像头串行接口	该模块提供一个 4 通道 MIPI 摄像头串行接口, 最大工作比特速率为 1.5 Gbps。
MIPI DSI(4 通道)	MIPI 显示串行接口	该模块提供一个 4 通道 MIPI 显示串行接口, 最大工作比特速率为 1.5 Gbps。
OCOTP_CTRL	OTP 控制器	片内 OTP 控制器(OCOTP_CTRL)提供一个接口, 用于读取、编程和/或覆盖存储在片内保险丝元件中的识别和控制信息。该模块支持电可编程多晶硅保险丝(eFUSE)。OCOTP_CTRL 还提供一组易失性软件可访问信号, 可用于对硬件元件的软件控制, 不需要非易失性。OCOTP_CTRL 提供了主要的用户可见机制, 用于与片内保险丝元件连接。保险丝的用途包括独特的芯片标识符、掩膜修订号、加密密钥、JTAG 安全模式、启动特性以及需要永久非易失性的各种控制信号。
OCRAM	片内存储控制器	片内存储控制器(OCRAM)模块设计用作系统的 AXI 总线和内部(片内)SRAM 存储器模块之间的接口。 在 i.MX 8M Mini 处理器中, OCRAM 通过 64 位 AXI 总线用于控制 256 KB 多媒体 RAM。
PCIe1	PCI Express 2.0	PCIe IP 提供 PCI Express Gen 2.0 功能。
PDM	脉冲密度调制	PDM 最多支持 8 个通道 (4 通道)。
PMU	电源管理单元	集成式电源管理单元。用于为各种 SoC 域供电。
PWM1 PWM2 PWM3 PWM4	脉冲宽度调制	脉冲宽度调制器(PWM)具有一个 16 位计数器, 并针对从存储的采样音频图像中生成声音进行了优化。它还可以产生信号频点。它采用 16 位分辨率和 4x16 数据 FIFO 来生成声音。
SAI1 SAI2 SAI3 SAI5 SAI6	同步音频接口	SAI 模块提供一个同步音频接口(SAI), 该接口支持带帧同步的全双工串行接口, 如 I2S、AC97、TDM 和编解码器/DSP 接口。

表 3. i.MX 8M Mini 模块列表 (续)

模块助记符	模块名称	简述
SDMA	智能直接存储器访问	<p>SDMA 是一个灵活的多通道 DMA 引擎。它通过在动态数据路由中对各种内核进行卸载来帮助实现系统性能最大化。它具有以下特性：</p> <ul style="list-style-type: none"> • 由 16 位指令集 micro-RISC 引擎驱动 • 多信道 DMA 支持多达 32 个时分复用 DMA 信道 • 48 个事件，具有触发各种通道组合的灵活性 • 存储器访问包括线性、FIFO 和 2D 寻址 • 在 Arm 和 SDMA 之间共享外围设备 • 基于抢占式多任务的 2 级优先级快速任务切换 • DMA 单元具有自动刷新和预取功能 • 灵活的 DMA 传输地址管理（源地址和目标地址的增量、减量和无地址更改） • DMA 端口可以处理单向和双向流（复制模式） • 多达 8 字缓冲区，可针对 EMIv2.5 配置猝发传输 • 支持字节交换和 CRC 计算 • 提供脚本和 API 库
SJC	安全 JTAG 控制器	<p>SJC 为内部逻辑提供 JTAG 接口（旨在与 JTAG TAP 标准兼容）。i.MX 8M Mini 系列处理器使用 JTAG 端口进行生产、测试和系统调试。此外，SJC 还提供 BSR(边界扫描寄存器)标准支持，旨在与 IEEE 1149.1 和 IEEE 1149.6 标准兼容。</p> <p>在平台初始实验室启动期间，必须可以访问 JTAG 端口，以便进行制造测试和排除故障，以及由获得授权的实体进行软件调试。i.MX 8M Mini SJC 包含三种安全模式，用于防止未经授权的访问。通过 eFUSE 配置选择模式。</p>
SNVS	安全非易失性存储	安全非易失性存储，包括安全实时时钟、安全状态机、主密钥控制和违规/篡改检测和报告。
SPDIF1	索尼飞利浦数字互连格式	标准音频文件传输格式，由索尼和飞利浦公司共同开发。它支持发射器和接收器功能。
TEMPSENSOR	温度传感器	温度传感器
TZASC	Trust-Zone 地址空间控制器	TZASC (Arm 的 TZC-380) 提供目标应用所需的安全地址区域控制功能。它用于至 DRAM 控制器的路径上。

表 3. i.MX 8M Mini 模块列表 (续)

模块助记符	模块名称	简述
UART1 UART2 UART3 UART4	UART 接口	每个 UARTv2 模块都支持以下串行数据传输/接收协议和配置： <ul style="list-style-type: none"> 7 或 8 位数据字，1 或 2 个停止位，可编程奇偶校验（偶校验、奇校验或无校验） 可编程波特率高达 4 Mbps。这是相对于 TIA/EIA-232-F 标准所规定的 1.875MHz 而言更高的最大波特率。 Tx 为 32 字节 FIFO，Rx 为 32 半字 FIFO，支持自动波特率
uSDHC1 uSDHC2 uSDHC3	SD/MMC 和 SDXC 增强型多媒体卡/安全数字主机控制器	i.MX 8M Mini SoC 特性： 所有 MMC/SD/SDIO 控制器 IP 均基于 uSDHC IP。旨在支持： <ul style="list-style-type: none"> SD/SDIO 标准（最高支持 3.0 版本）。 MMC 标准（最高支持 5.1 版本）。 工作电压为 1.8 V 和 3.3 V，但不支持 1.2 V 工作电压。 1 位/4 位 SD 和 SDIO 模式，1 位/4 位/8 位 MMC 模式。 两个 uSDHC 控制器(SDHC1 和 SDHC3)最多可支持 8 位接口，另一个控制器(SDHC2)最多仅支持 4 位接口。
USB1 USB2	2x USB 2.0 控制器和 PHY	两个支持 USB 2.0 的 USB 控制器和 PHY。每个 USB 功能实例包含： <ul style="list-style-type: none"> USB 2.0 内核，可在 2.0 模式下运行
VPU	视频处理单元	一个高性能视频处理单元(VPU)，可支持许多 SD 级和 HD 级视频解码器。有关 VPU 解码和编码功能的完整列表，请参阅 <i>i.MX 8M Mini 应用处理器参考手册(IMX8MMRM)</i> 。
WDOG1 WDOG2 WDOG3	看门狗	看门狗(WDOG)定时器在每个计数期支持两个比较点。每个比较点都可配置为向 Arm 内核发起一个中断，第二个点则在 WDOG 线路上发起一个外部事件。
XTALOSC	晶体振荡器接口	XTALOSC 模块可以连接到外部晶体振荡器器件。在典型应用用例中，它用于 24 MHz 振荡器。

2.1 未使用的输入/输出的推荐连接

如果未使用 i.MX 8M Mini 的某个功能，则可以终止该功能的 I/O 和电源轨，以降低主板的整体功耗。

表 4 显示了未使用的电源轨的推荐连接。

表 4. 未使用的电源轨的推荐连接

功能	引脚名称	未使用时的推荐连接
MIP-CSI 和 MIPI-DSI	VDD_MIPI_0P9, VDD_MIPI_1P2, VDD_MIPI_1P8	不连接
PCIe	VDD_PCI_0P8, VDD_PCI_1P8	不连接

表 4.未使用电源轨的推荐连接（续）

功能	引脚名称	未使用时的推荐连接
USB1 和 USB2	VDD_USB_0P8, VDD_USB_1P8, VDD_USB_3P3	不连接
VPU	VDD_VPU	不连接
GPU	VDD_GPU	不连接
数字 I/O 电源	NVCC_CLK, NVCC_ECSPi, NVDD_ENET, NVCC_GPIO1, NVCC_I2C, NVCC_JTAG, NVCC_NAND, NVCC_SAI1, NVCC_SAI2, NVCC_SAI3, NVCC_SAI5, NVCC_SD1, NVCC_SD2, NVCC_UART, NVCC_SNVS_1P8, PVCC0_1P8, PVCC1_1P8, PVCC2_1P8	正常条件下，无论相关 I/O 引脚是否使用，此表中列出的所有数字 I/O 电源都必须上电，并且相关 I/O 引脚需要在焊盘控制寄存器中启用上拉电平以限制任何浮动栅极电流。

表 5 显示了未使用的信号触点/接口的推荐连接。

表 5.未使用的信号触点/接口的推荐连接

功能	引脚名称	未使用时的推荐连接
MIPI-CSI	MIPI_CSI_CLK_P, MIPI_CSI_CLK_N, MIPI_CSI_Dx_P, MIPI_CSI_Dx_N	所有信号接地
MIPI-DSI	MIPI_VREG_CAP, MIPI_DSI_CLK_P, MIPI_DSI_CLK_N, MIPI_DSI_Dx_P, MIPI_DSI_Dx_N	不连接
PCIe	PCIE_CLK_P, PCIE_CLK_N, PCIE_TXN_P, PCIE_TXN_N, PCIE_RXN_P, PCIE_RXN_N, PCIE_RESREF	不连接
USB1	USB1_VBUS, USB1_DN, USB1_DP, USB1_ID, USB1_TXRTUNE	不连接
USB2	USB2_VBUS, USB2_DN, USB2_DP, USB2_ID, USB2_TXRTUNE	不连接